逢　甲　大　學

資訊工程學系專題報告

VLSI - Floorplanning 之應用

學生：陳聖翔（四乙）

指導教授： 陳德生老師

中華民國九十三年四月三十日

目　錄

圖 片 目 錄

摘　　要

在 VLSI Physical Design 中許多常見的 constraints 有助於 block 之間資料的傳遞，而Outline constraint 是其中之一。這種控制數個有限制條件的 module 在一固定面積中的相關位置的問題，很不好解決。利用 GFA (Genetic Floorplan Algorithm)可以在較短的時間找到一個好的floorplan 的優點，來試著解決 Outline 的問題。最後藉由數種不同 benchmark 的實驗結果，可以證明這個方法不但有效，而且可以快速的找到一個好的解並應用在Floorplanning之外的用途上。

第 一 章　導 論

VLSI 設計按照著一定的流程。從 System Specification、Architectural Design、Functional Design、Logic Design、Circuit Design、Physical Design、Fabrication 到Packaging 共八個步驟。如Fig.1 是VLSI Design Cycle。

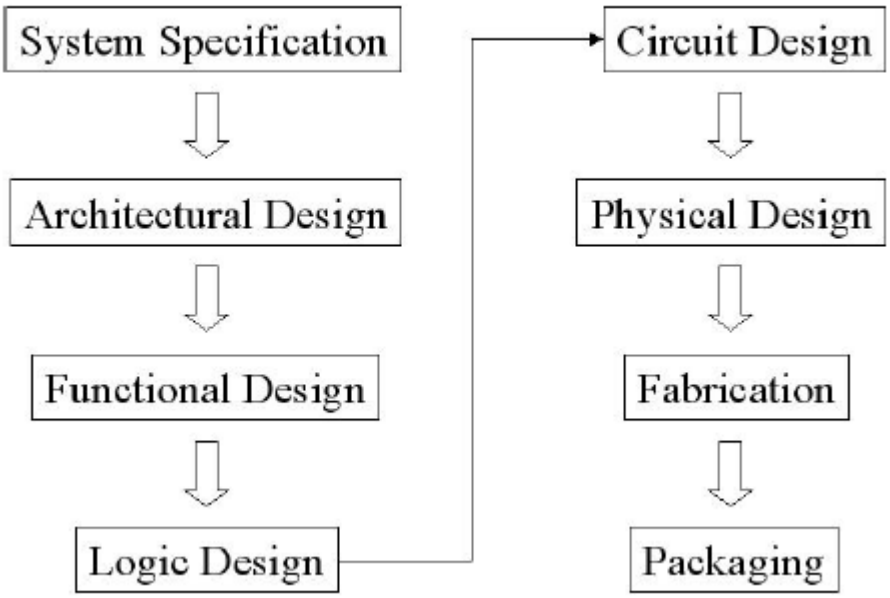

Fig.1 VLSI Design cycle

其中，System Specification 詳細說明整各VLSI System 的size、speed、power 以及功能。

Architectural Design 決定系統的架構，例如：RISC/CISC、ALU 的數量、pipeline 架構、Cache 大小.等等。這些決定都會對整各系統的效能、die area、耗電量.等等提供一些精準的判斷。

Functional Design 對各個功能性單元做定義，並且以流程圖定義他們之間的關聯，如圖Fig2。

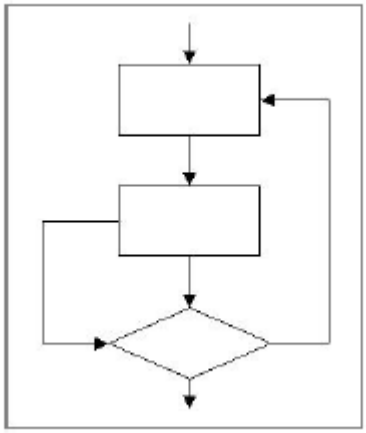

Fig.2 Functional Flow

Logic Design 對布林代數表示法、控制流程、暫存器配置.等等的邏輯做設計，稱為 RTL (Register Transfer Level)。 RTL 用 HDL (Hardware Description Language)來表示，如VHDL 、Verilog 。 Circuit Design 設計整各電路圖，如Fig.3。包括：電晶體跟內部連結.等等，結果稱為netlist。

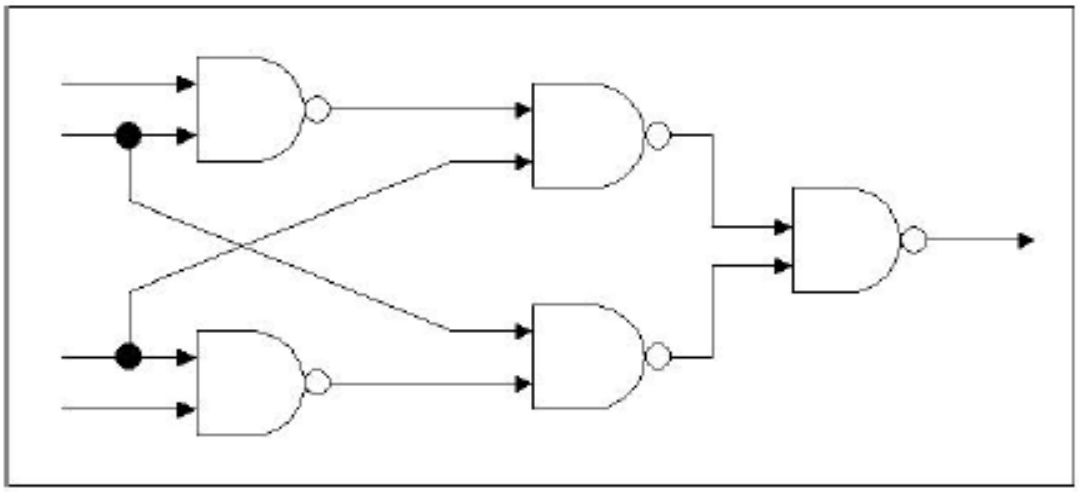

Fig.3 Circuit Design

Physical Design 把netlist 轉換成幾何的表示法，結果稱為layout。如Fig.4。

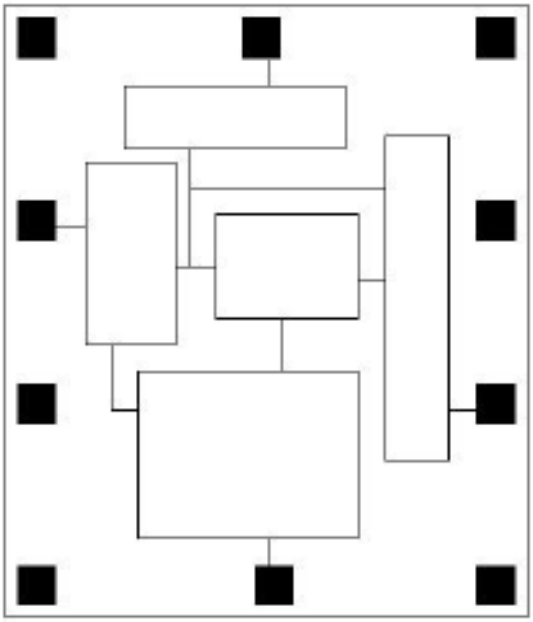

Fig.4 Layout

Fabrication 把結果經過 lithography, polishing, deposition, diffusion.等等的處理後，產生一個晶片(chip)。

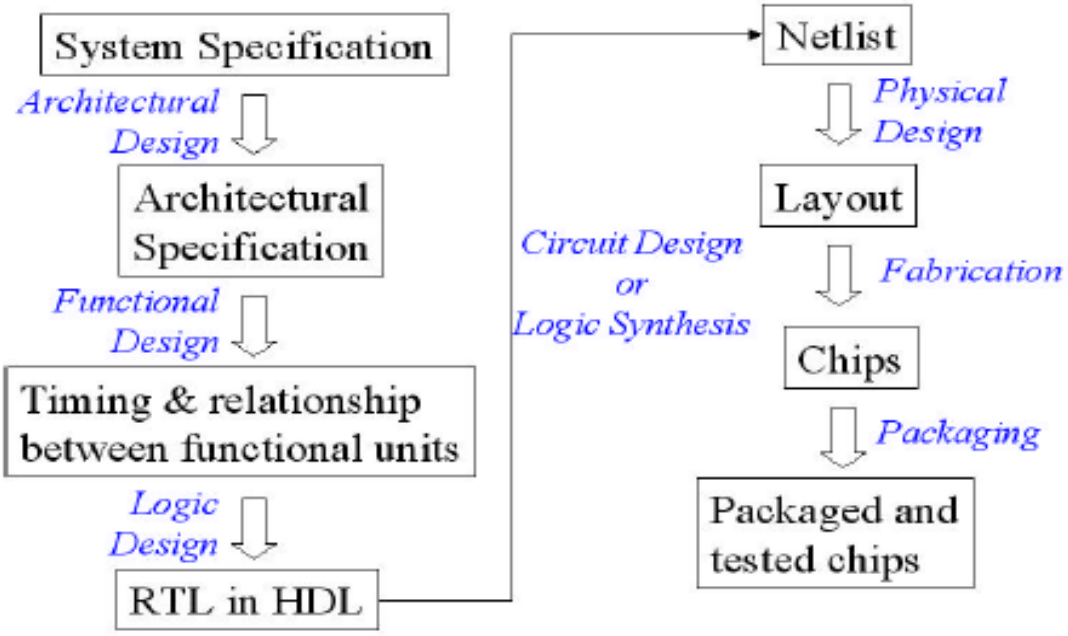

Fig.5 VLSI Design Flow

Packaging 把晶片放在 PCB (Printed Circuit Board) 或是MCM (Multi-Chip Module)。便完成了整各VLSI Design。而整個Design 的各個步驟以及結果的名稱如Fig5。

在VLSI 設計中Physical Design 佔很重要的地位。而Physical Design 包括了partition、floorplan、placement、routing.等等。

如Fig.6 就是整個Physical Design Cycle

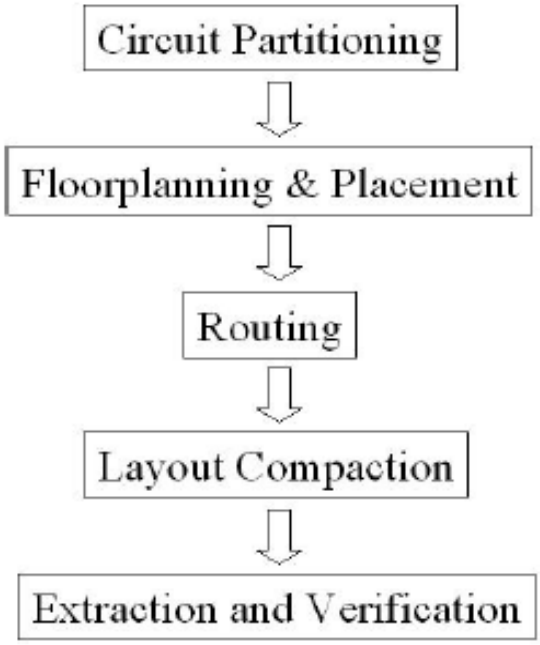

Fig.6 Physical Design Cycle

Physical Design 第一步就是 Circuit Partitioning 。這時把整個大電路分割成數個不同的子電路稱為block，如Fig.7 分割成三個 block。而在分割時要考慮到例如：block 的個數、block 的大小還有 block 之間的連線.等等。這些都會影響到之後的其他步驟，和整個設計的效能。

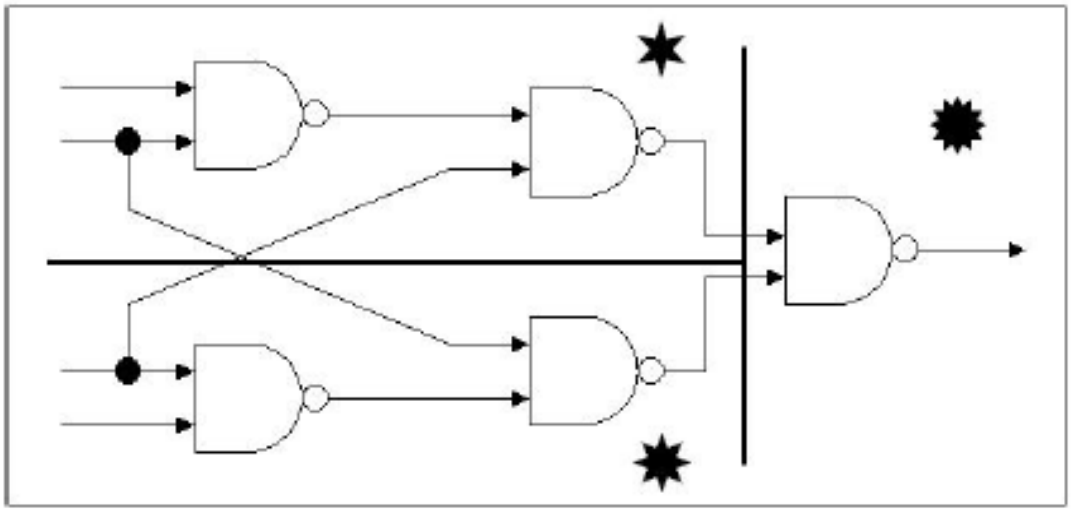

Fig.7 Circuit Partition

Floorplanning 設計產生一個好的layout，放置所有block、功能性單元.等稱為modules 的位置。這時module 的形狀、面積以及I/O pin 腳的位置.等等還不是固定的。

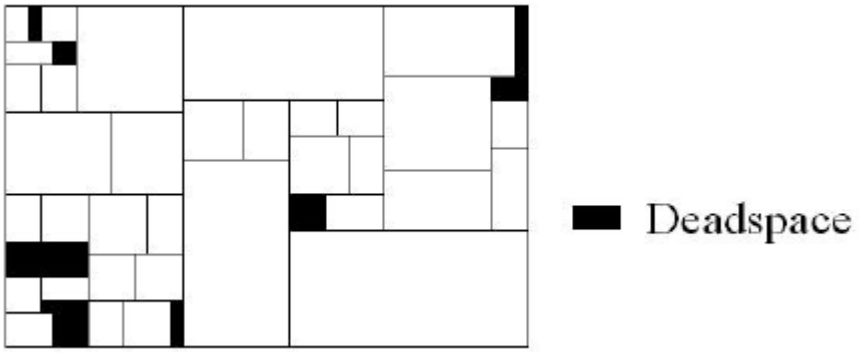

Fig.8 Floorplan Example

Placement 跟floorplanning 很像，而這時的module 是gates 或 standard cells.等形狀大小面積都已經固定的。確切的佈置每一個 modules，跟floorplanning 一樣，最主要的目標都是delay、總面積以及interconnect cost 作最小化。

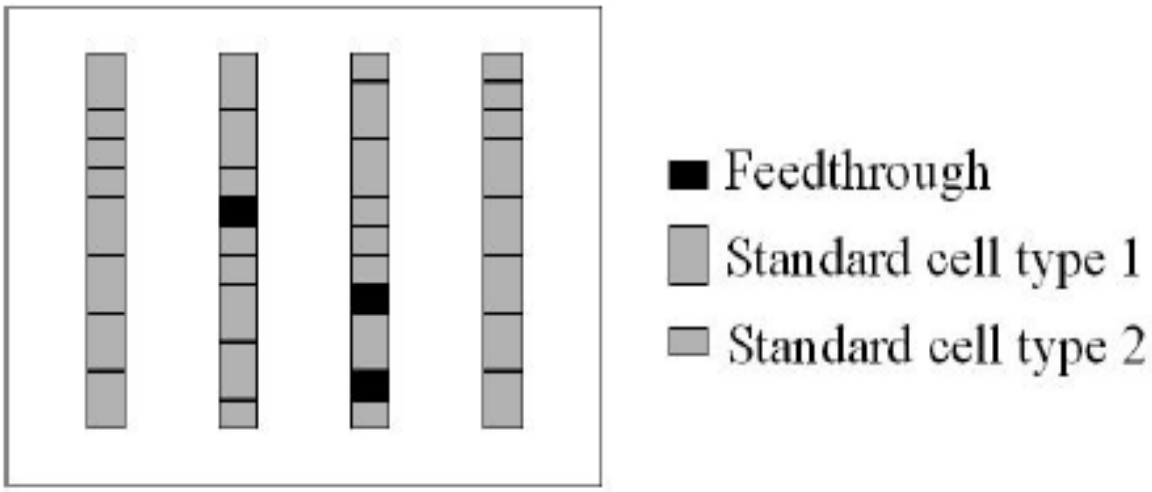

Fig.9 Placement Example

Routing 是要完成所有modules 之間的線路連結，routing 包含 global routing 和detailed routing 。在routing 的時候要考慮到 critical path、clock skew、wire spacing.等因素求最佳化。

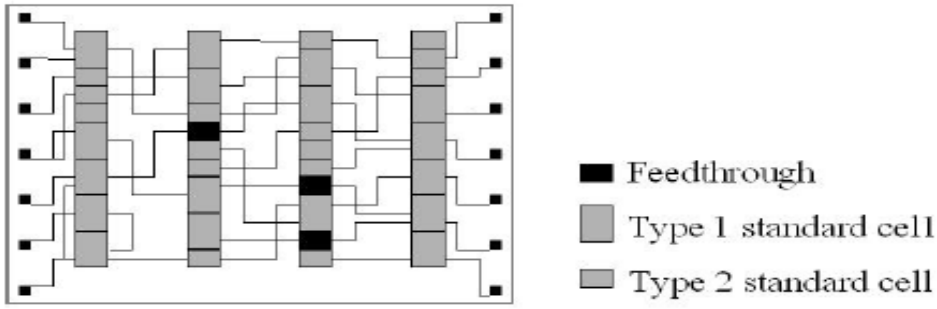

Fig.10 Routing Example

Compaction 把layout 的結果作各個方向的壓縮，以求整個chip 面積的最小化。

Verification 在檢查Layout 的結果是否正確。先做DRC(Design Rule Checking)，確定沒有違反Layout 的規則。接著circuit extraction 由layout 產生一個電路，來跟一開始的netlist 比較正確性。最後performance verification 由extract 出來的資訊，計算整個的delay 跟電容.等等。

整個Physical design 中，由於Floorplan 結果的好與壞會影響一個晶片的面積成本與接線成本，因此Floorplan 扮演非常重要的角色。一個好的Floorplanner 除了要能找到最佳化的解之外，還要能夠解決各種特定的Constraints。例如有時或許會因為某些特定的目的，而希望把特定的block 給放在另一個的block 的旁邊，或者是希

望Floorplan 的結果不要超過某個限定的範圍大小.等等。設計一個好的Floorplan 可以解決每種不一樣的Constraints 的演算法是一件困難的事。

現已知有數種演算法可以來解Floorplan 的問題，其中最有名、被最多研究者使用的是Simulated Annealing（SA）演算法。在之前SA 被認為是解 VLSI-CAD 問題，最容易發展、而且能夠得到好解的方法。雖然SA 能得到不錯的解，但是這個演算法執行起來十分費時。

比SA 發展更早的Genetic Algorithm（GA，基因演算法），直到最近才開始廣泛的被運用在各種NP 的問題上，其中也包含VLSI-CAD 的問題。GA 所採用的是仿自然界競爭演化的方式來達成最佳化的目的。但是原始的GA 雖然是以基因及演化的方式來動作，但是並沒有將親代的優良基因有效的遺傳到子代上。

而Floorplan 分成兩大類：分別是slicing 和non-slicing。

Slicing 的Floorplan 可以被遞迴的依垂直和水平的方向切割，而一個Slicing Floorplan 可以表示成Binary Tree，稱之為Slicing Tree，如Fig.11。

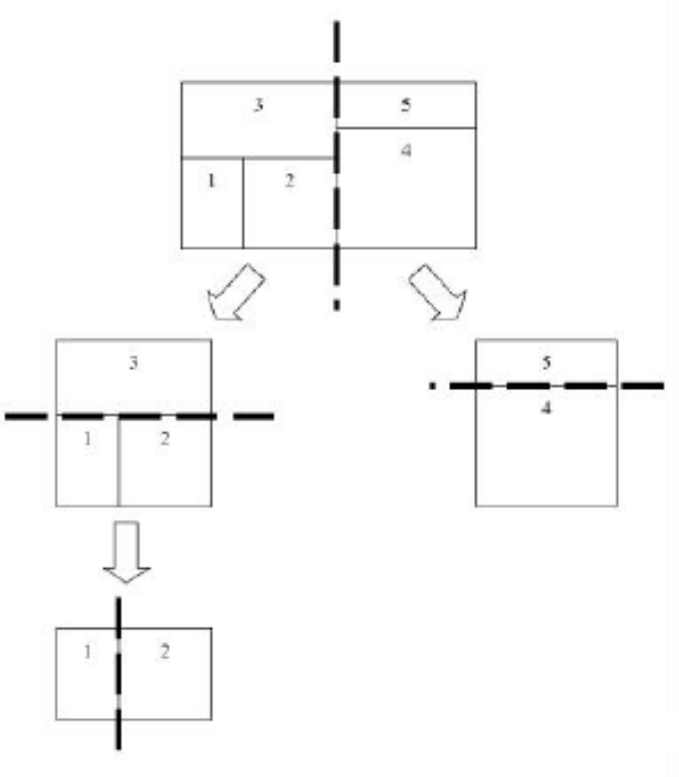

Fig.11 Slicing Floorplan

Fig.12 是它的slicing tree。

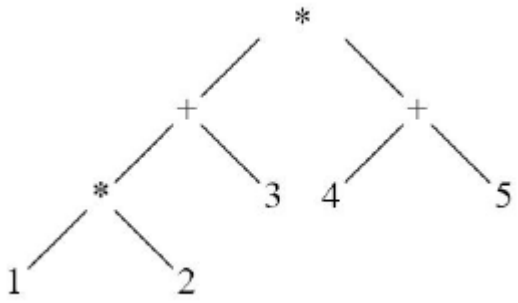

Fig.12 Slicing Tree

Non-slicing Floorplan 顧名思義就是無法分割的Floorplan，如Fig.13。

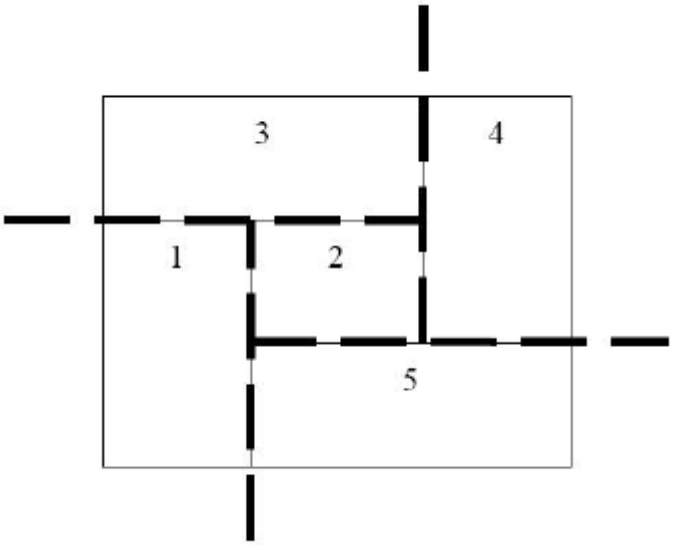

Fig.13 Non-slicing Floorplan

用各種演算法來解Floorplan 的問題。首先就是把演算法的結果，用表示法來表示。現在有許多種的表示法如Binary tree 、Sequence Pair(SP)[7]、Bounded slicing grid(BSG)[9]、O-tree[8]、B*-tree[4].等等。Binary tree 只能表示slicing floorplan ，Tree的終端節點為module，中間節點為水平或垂直的結合方式。SP 用兩條序列表示module 在X、Y 軸上的相對位置，由兩條序列來知道各個

modules 在floorplan 中的位置。BSG 將一個平面，以相同長度的水平和垂直線，分割成數個相同大小的空間，每個空間最多只能放進一個block，藉此得知每個block 彼此相對的關係位置。O-tree 非二元樹，可以一各節點有多個子節點，而它的 floorplan 中沒有任何一個 block 可以移動，也就是X Y 座標都是已經固定的，而子節點的位置在於父節點的右邊，然後再以另一個值來表示其垂直的位置。B*-tree 以binary tree 為基礎，它的root 是最左下角的module，然後節點的左右子節點可以表示它的上面或右邊的modul，依照方向的不同可以分為水平或垂直的B*-tree。Fig.14 列出這些表示法的優缺點[4]。其中除了Binart tree 只能用在slicing floorplan 之外，其他的都可以同時解slicing 和non-slicing。而現在也有許多其他的表示法被提出，目的就是要改善這些原本的表示法。

Represent.	Advantages (a) and Disadvantages (d)
Binary tree	a1. efficient a2. flexible to deal with hard, pre-placed, soft, and rectilinear modules, etc a3. smaller encoding cost a4. can operate on the tree directly, no need to do transformation during processing a5. can evaluate area cost incrementally a6. transformation between representation and placement takes linear time
	d1. can handle only the slicing structure
Sequence pair/ BSG	a1. can handle non-slicing structure a2. very flexible in representation
	d1. time-consuming d2. the solution space is large d3. sequence encoding cost is high d4. harder to transform between a sequence pair and a placement d5. sequence pair cannot handle soft modules directly d6. BSG incurs redundancies
O-tree	a1. can handle non-slicing structure a2. the solution space is smaller a3. transformation between representation and placement takes only linear time a4. encoded by fewer bits than sequence pair and BSG
	d1. less flexible than BSG/sequence pair in representation d2. tree structure is irregular, harder for implementation d3. need to encode and operate on module sequence d4. need to transform between the tree and its placement during processing d5. inserting positions are limited, might deviate from the optimal during solution perturbation
B*-tree	a1. can handle non-slicing structure a2. binary-tree based, efficient a3. flexible to deal with hard, pre-placed, soft, and rectilinear modules, etc a4. smaller encoding cost a5. except for handling soft modules, only need to transform from a tree to its placement during processing, which takes only linear time a6. can evaluate area cost incrementally a7. the solution space is smaller
	d1. less flexible than BSG/sequence pair in representation

Fig.14 表示法比較

其中一個表示法就是polish expression(PE)，這是改良於Binary tree 的表示法。把Binary Tree 作後序走訪就是PE，把表示法由樹的結構改為陣列，後面會詳細定義。PE 也是解Slicing 的Floorplan。使用Slicing Floorplan 有幾個好處：

（一）因為只在Slicing Floorplan 中找解，所以相對的solution space 就會因此而變小，所以會使得找解的時間比較短。

（二）Slicing Floorplan 可以充分的利用Soft modules 的可調性，得到block 結合比較緊的結果。

利用這些特性，也使得在處理包含各種Constraints 的問題時，更容易得到一個不錯的解。

GA 一開始會先隨機的創造一群初始值，稱之為族群（Population）。在族群中每一個個體稱為染色體（Chromosome），染色體是一串符號，通常由二進制的字串所表示，而每一個符號都叫做基因。在求解的過程中，每個染色體代表著一個解。另外有一個評估函式（fitness），來判斷每個解的好壞。接著從族群中找出兩個個體作為親代， 根據類生物的基因運算之後，產生一個子代，稱為

offspring。再把產生出來的子代，根據突變機率(mutation rate)來決定是否產生突變。然後再經由評估函式判斷子代的好壞，來決定是否要取代掉較差的親代。按照這樣的流程運作一次，稱為一個世代。每個世代之後，族群裡染色體的數目都要保持一定。當經過了幾個世代之後，族群裡不好的親代，漸漸的被所產生出來比較好的子代給取代。最後，族群裡最好的一個個體，就是求最佳化的一組解。

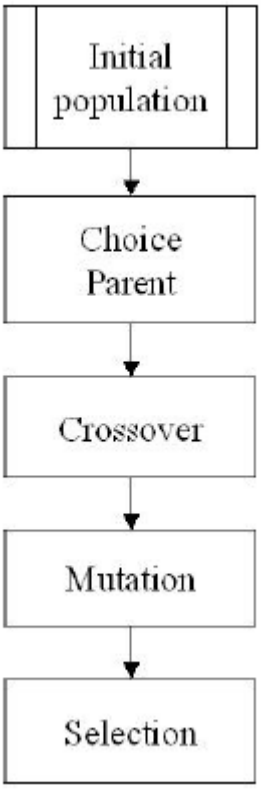

Fig.15 GA Flow

在基因演算產生子代的過程中，最重要的一個步驟就是交配（Crossover）。Crossover的行為模式就是把兩個親代中擷取部分的基因，在把這些基因結合成一個新的子代。最簡單的方式就是隨機的將親代切完左右兩半，由一個親代各提供一半。子代就是由一個親代提供左半部，另一個親代提供右半部所組成的。這樣的Crossover適用於二進制的表示法，當表示法不同的時候，使用的Crossover的機制也相對的不同。Crossover最基本的目的就是要讓子代可以繼承兩個親代各有的優良基因，讓子代可以比親代還要優良。

每個親代被產生出來之後，還會根據突變機率來決定是否要作Mutation。因為每個子代都會繼承親代的優點，而且比較優良的親代被挑選出來的會也比較高，所以在過了幾個世代之後，會使得族群裡的所有染色體趨近於相近。因為優秀的特徵一值被遺傳下來，但是比較差的部分也是沒有被取代掉，所以這時候solution space就會變的比較狹小。所以，為了改善這種情形出現的太快，便加入Mutation的機制來擴展solution space，以便能夠藉此搜尋到更多其他的可能解。

Mutation並不會直接產生一個新的子代。它只會對crossover產生

後的子代，把子代作隨機的改變。最簡單的做法就是，從子代的基因中，隨機的挑選兩組作交換。這個步驟在基因的演算法中，扮演著幕後重要的角色。因為它雖然不會直接產生一個子代，但是它隨意的讓基因組合產生改變，讓染色體出現不同於族群裡其他染色體的排列組合。這樣的結果，使得族群裡的所有染色體，不會太快就全部趨近於相似，藉此將solution space擴大，而是否作Mutation也是藉著一定的機率來判斷是否會產生。當Mutation做完之後，才會進行選擇的機制，來判斷是否要取代掉原先的兩個親代。

當產生新的子代之後，就會需要一個選擇的步驟。以便從所有的親代中和新產生的子代中，來決定下一個世代的族群，而且要維持族群一定的數量，再從新的世代中再選擇出產生下一世代的親代。目前所使用的選擇方式有很大的差異。下面列出三種：

(1) Competitive selection：在親代及子代中挑出P個做取代（P表示族群大小）

(2) Random selection：按照機率做隨機選擇要取代的親代。這個方法有時是有好處的，因為這個方法可以使族群中個體的

差異性保持較久，避免太快趨於相似。若純粹使用competitive selection，整個族群會快速的收斂於一個解，這個解和族群中的其他解相差很細微。如此一來就會喪失找到更好的解的能力。但是，相對的這個方法也會不小心將比較優良的親帶也給取代掉，所以又有第三個方法。

(3) Stochastic selection：將最好的保留下來，剩下的以random的方式決定是否留下。這個方法包含了competitive 和randomness。一方面能確保整體優良性的的上升，而且永遠不會漏掉最好的解，因為好的解優先保留，不會參與random選取。而random 選取的機率和每一個個體的fitness 成比例。換句話說，就是fitness 的值越好的被選到的機率越大。

當選擇取代完之後，新的族群就產生了。然後再反覆的執行多個世代，等到整各族群漸漸的趨於相似，便取其中Fitness 值最高的就是求最佳化的解。

針對GA 沒有遺傳親代的優良基因的問題，所以提出了改良的GFA。這份報告就是以GFA 為基礎並且加上處理Outline constraints的

功能。Outline 是指在求 floorplan 的過程中，所有的 block 在結合的時候必須再一限定的範圍內，若超過則為不合法。而藉著 GFA 可以把某些垂直或水平結合會超過範圍的 block ，以不允許它以超過限制範圍的方式進行結合。接下來的幾章，會對Outline Constraints 作詳細的說明和定義，還有詳細的介紹核心引擎的GFA。第四章會說明實際的做法。第五章將會看到最後實驗的結果，以及和別人做出來的結果相比較。最後，也對此作一個結論。

第 二 章　問 題 定 義

在Floorplaning 中每個block 由（ h_i ， w_i ）所定義，而 h_i 、 w_i 分別表示一個block 的高和寬。每一個block 定義它的aspect ratio 為 h_i/w_i 。Block 又分為兩種：Soft block 和Hard block。Soft block 有固定的面積，但是aspect ratio 是可以改變的，而會定義Soft block 的aspect ratio 在一個範圍之內。Hard block 有固定的面積和固定的aspect ratio 它是沒有辦法改變它的寬高。因為soft block 的可變性，所以soft block 也可以增加解的solution space。

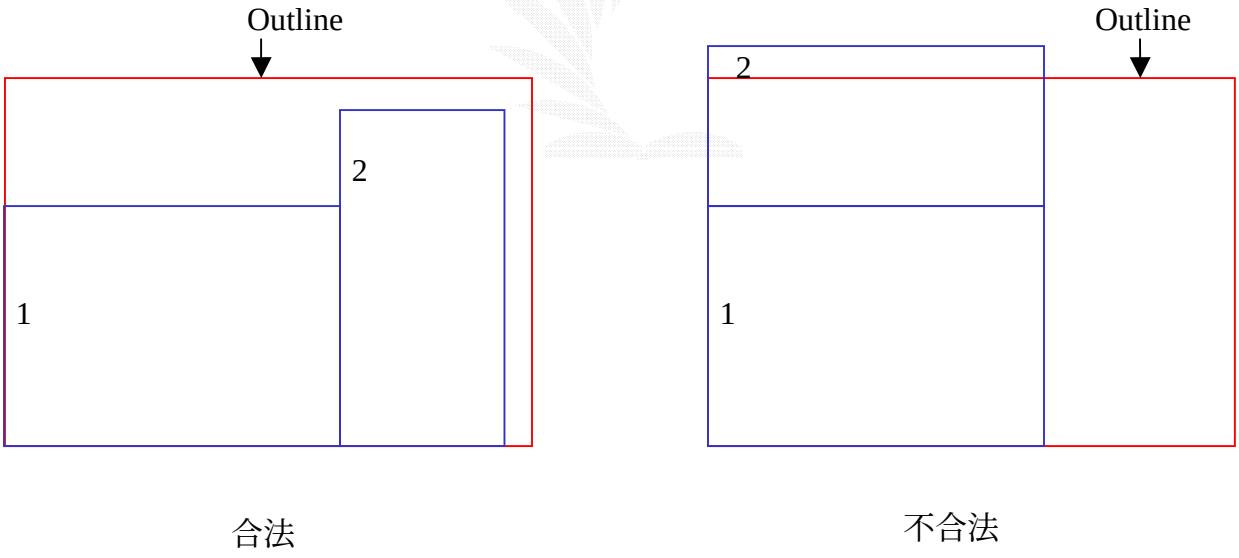

Fig.16 Outline Constraints Define

由於 Hard block 的寬高都是固定的，所以要找到一個解成功率會比較困難點，若是 Soft block 因為寬高可調，在調整之後會比較容易成功完成此 constrain ，因為要求的Outline面積一定是越小越好，另一個解釋是 Hard block 比較難找到 outline 真正相近的極小解，而 Soft block 就比較可以使Outline 面積與 Block 面積相近，且是幾乎相同小的解；定義一個最小的 Outline 面積解，然後把所有 Block 放入其中並且合法且時間要短，就是 Outline 的定義。

第 三 章　GFA

GFA（ Genetic Floorplan Algorithm ）以GA為基礎，採取GA的優點要來解 Floorplan Optimal。在這選擇的表示法是Polish Express（PE）。

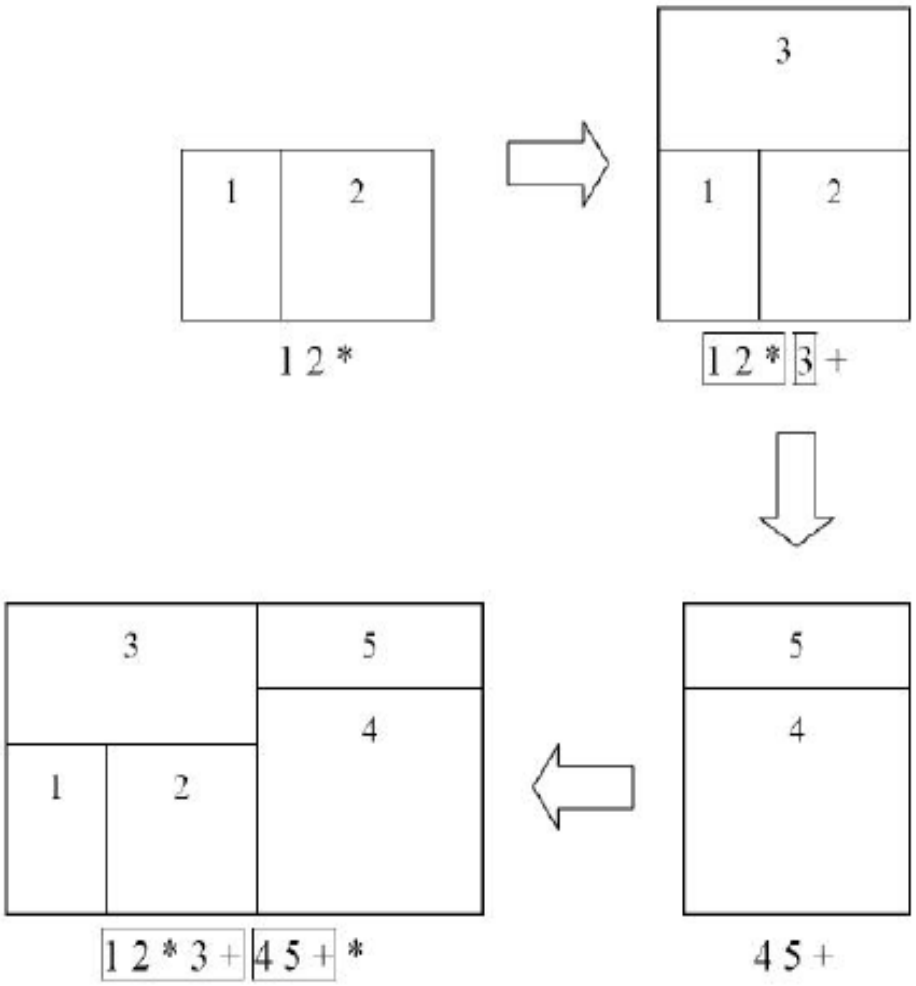

Fig 17 PE example

PE的表示法中，有三種符號：module的標號、「＊」和「＋」。「＊」表示水平結合，「＋」表示垂直結合，以Fig.17為例子來說明：１２＊３＋４５＋＊。

（1 2 *） 即表示Block 1 和2 做水平結合。再來把3 跟結合好的1 和2 垂直結合為（（1 2 *） 3 +）。然後block 4 、5 做垂直結合，為（4 5 +）。最後再把兩者做垂直結合為（((1 2 *) 3 +)(4 5 +) *)。由此可知用Polish Express表示的為 Slicing floorplan。

GFA便以PE為chromosome表示法，而每一條Chromosome都表示一個slicing flooroplan的解。而所用的Fitness Function為：

$$\text{Fitness(p)} = \frac{Floorplan_{Area} - Block_{Area}}{Floorplan_{Area}}$$

其中$Block_{Area}$是指所有Block的總面積，而$Floorplan_{Area}$是指由polish expression 所表示出整個 Floorplan 的面積。這個fitness的值表示 dead area在整個Floorplan所佔的比例，當值為0 表示完全沒有 dead area。反之 fitness 越大的話，就表示 dead area 越大，也就是說整個 Floorplan 的面積越大。所以Fitness值越小的結果就是越好的。

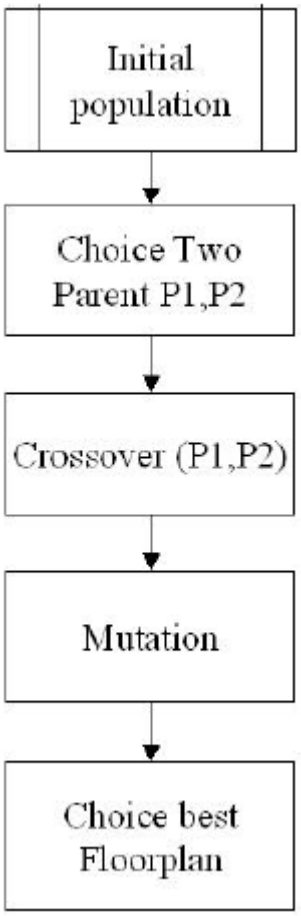

Fig.18 GFA Flow

如Fig.18。GFA一開始先亂數產生一個族群，接著在初始族群中，隨機的挑選出兩條不一樣的 Chromosome 作為親代。兩條親代便開始做 Crossover 的步驟。完成後接著進行Mutation的步驟。而一開始Mutation的發生機率較小。等到族群中Chromosome開始趨於相近，比較沒有變化的時候，就會把Mutation rate適當的加大。使得Mutation

的作用明顯一點，藉此避免 solution space 過於快速的收斂。使得搜尋結果可以跳脫 local optimum。當以上兩個步驟完成後，由fitness來判斷是否取代掉原本結果較差的親代，便完成一個世代。經過了幾個世代之後，要是所有的子代都無法比親代優良時，就表示子代無論如何都無法再取代親代，因此就達到了演算法的停止條件。這時族群中最好的 Chromosome 就是所找到的最佳解。

在整個過程中Crossover就是最重要的角色，因為它是產生負責產生子代的步驟，而每種表示法都需要不同的Crossover方式。對應 Polish Express ， Crossover 總共有八個步驟。而在其中除了用 Fitness 判斷親代中優良的基因之外，還有另外一個 threshold 值來控制 Crossover 的動作。在 Crossover 一開始， threshold 初始值為0 ，而在 Crossover 的過程中會慢慢的加大 threshold 值。一但fitness小於 threshold 值的時候，便表示這基因不被接受。由於fitness代表著 dead area，所以也就是說在 Crossover 的一開始，並不容許任何的 dead area。直到後來才會漸漸的容許 dead area 的存在，也藉著如此來得到 一個最小面積的 Floorplan。這八個步驟如

Fig.19，說明如下：

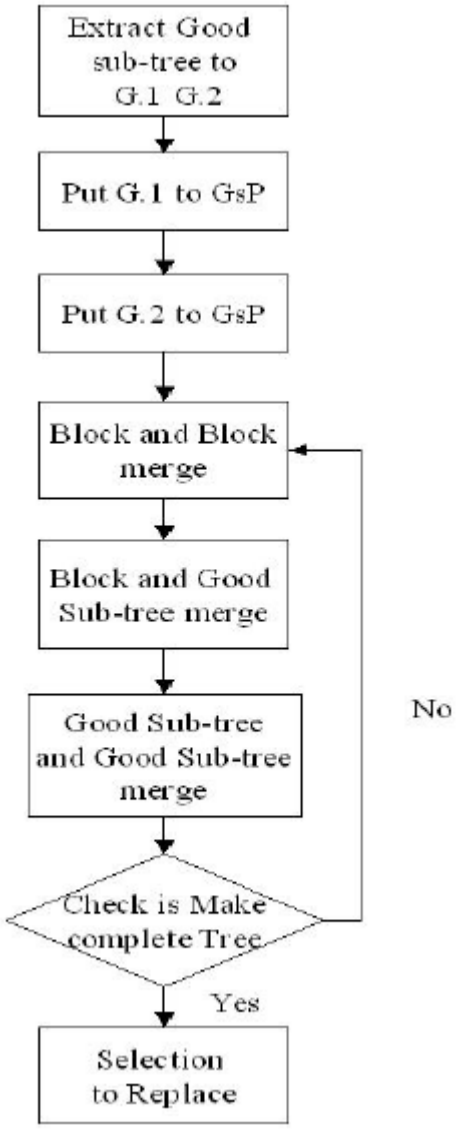

Fig.19 Crossover Flow

Step.1：從兩個親代中，找出所有的Good Sub-tree，將其分別放到G.1、G.2中。而所謂的Good Sub-tree就是在PE中，

fitness值小於當時threshold值的Sub-tree。通常在找出親代的Good Sub-tree時，threshold值會初使為0 ，所以所有沒有dead area的Sub-tree都會在這時被淬取出來。

Step.2：把G.1 中的所有Good Sub-tree 放入Good Sub-tree Pool(GsP)。

Step.3：把G.2中的Good Sub-tree 放入GsP ，而且放入Gsp 的Sub-tree中的block必須尚未放入GsP中。

Step.4：接著把尚未放進GsP中的所有blocks，嘗試兩兩彼此做水平或結合。當結合出來Sub-tree的fitness小於等於當時的threshold值，就把這個Sub-tree丟進GsP裡。這個步驟一直重覆，持續到沒有任何符合threshold值的結合出現為止。

Step.5：若是在Step.4後，仍然有block尚未放進Gsp。就把剩下的blocks跟GsP中的所有Sub-trees，兩兩的嘗試做垂直和水平的結合。一但有Good Sub-tree產生，便放入GsP中。這步驟一直重覆到沒有任何可能的結合發生為止。

Step.6：把GsP中的所有Good Sub-tree，嘗試兩兩做水平或垂直的結合。有新的Good Sub-tree產生，便放回GsP取代掉原來的Good Sub-tree。這步驟一直重覆到沒有任何可能的結合發生為止。

Step.7：當Step.4、5和6完成之後，還有可能會有尚未放進GsP中的block，而GsP中也還有未結合在一起的數個Good Sub-tree。這時便將threshold稍微加大，允許在Good Sub-tree中有些許的dead area存在。然後重覆Step.4、5和6。一直到所有的block都已放進GsP，而且所有的Good Sub-tree也都已經完全結合在一起，成為一個完整的Floorplan便結束步驟。

Step.8：把最後產生的結果，經過Fitness function，計算出它的fitness值。當它的fitness比親代的還要好，便把比較差的親代給取代掉。

在Mutation方面，GFA有四種不同的動作，而每次執行Mutation的時候，會隨機選擇一種動作進行。藉著隨機所做的動作，來擴大

solution space使其跳脫local optimum。而這四個動作分別為：

Op.1：complement a chain

Op 2；exchange a sub-tree and a leaf

Op 3；cut a leaf and insert it at a random position

Op 4；cut a sub-tree and insert it at a random position

第 四 章　做法

因為Outline的限制是固定的，所以在每次結合的時候都要確定 block 的最外面之邊有沒有超過 Outline 限制，例如最外圈的限制

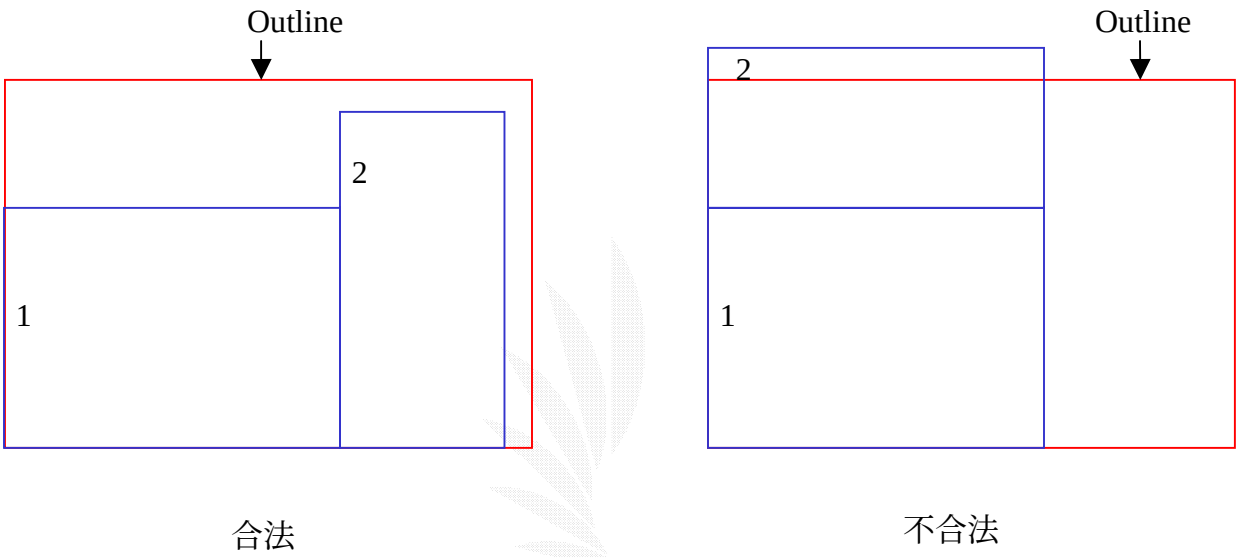

Fig.20 Outline Constraints example

為 w_outline 和 h_outline ，若是水平結合就偵測 w1 + w2 的值，若其值小於 w_outline 的話就進行結合，若是垂直結合就偵測 h1 + h2 的值，其值小於 h_outline 的話就進行結合，

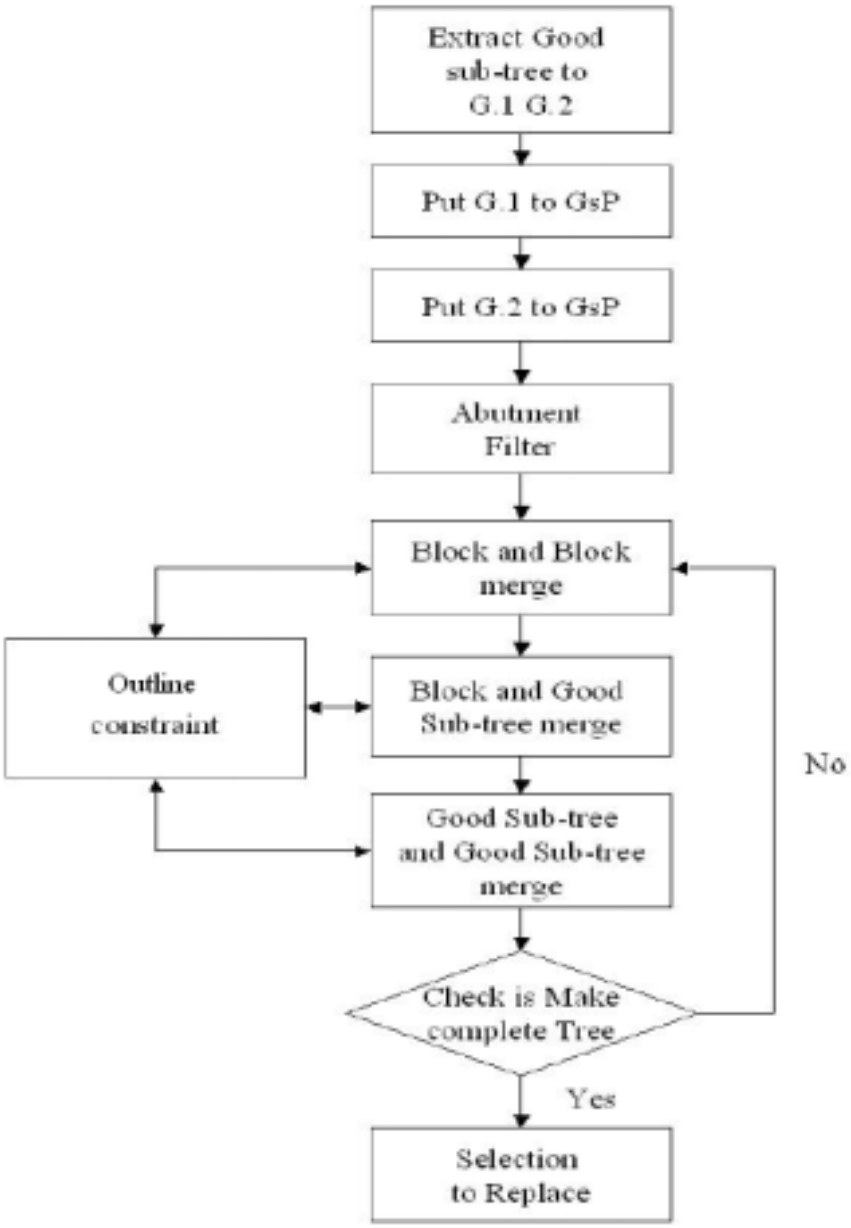

Fig.21 GFA crossover with Outline constraint

定完結合的方式跟判斷之後，接著便把它加進原先的 GFA 裡。如 Fig.21，在原先 crossover 把 parent 的優良基因 extract 進 GsP

之後，跟開始作 block 跟 block 結合之間。多加個 check Outline constraint，檢查放進 GsP 中的 Good sub-tree 是某符合 Outline constraint，如果符合就保留，不符合的話就從 GsP 中移除。再把經過篩選的 GsP ，接著繼續做 block 的 merge。在每一次作 block & block 、 block & sub-tree 、 sub-tree & sub-tree merge 的時候都必須要經過 merge rule 的判斷、以及符合當時的 Ts 值，才能進行結合。

等到最後所有的 block 都 merge 成功之後，最後輸出的就是符合 Outline constraint的結合法。

第 五 章　結 果

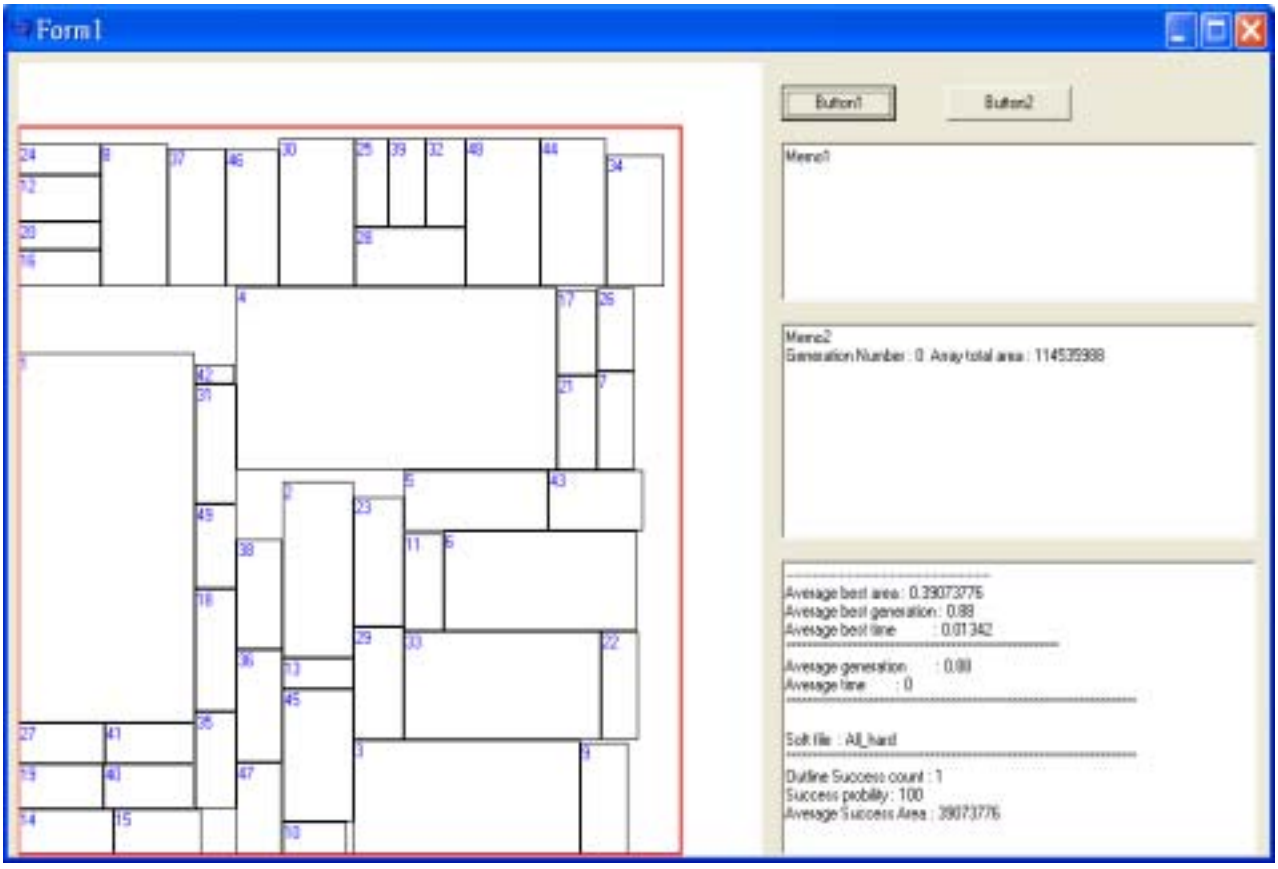

Fig.22 Ami 49 的結果一

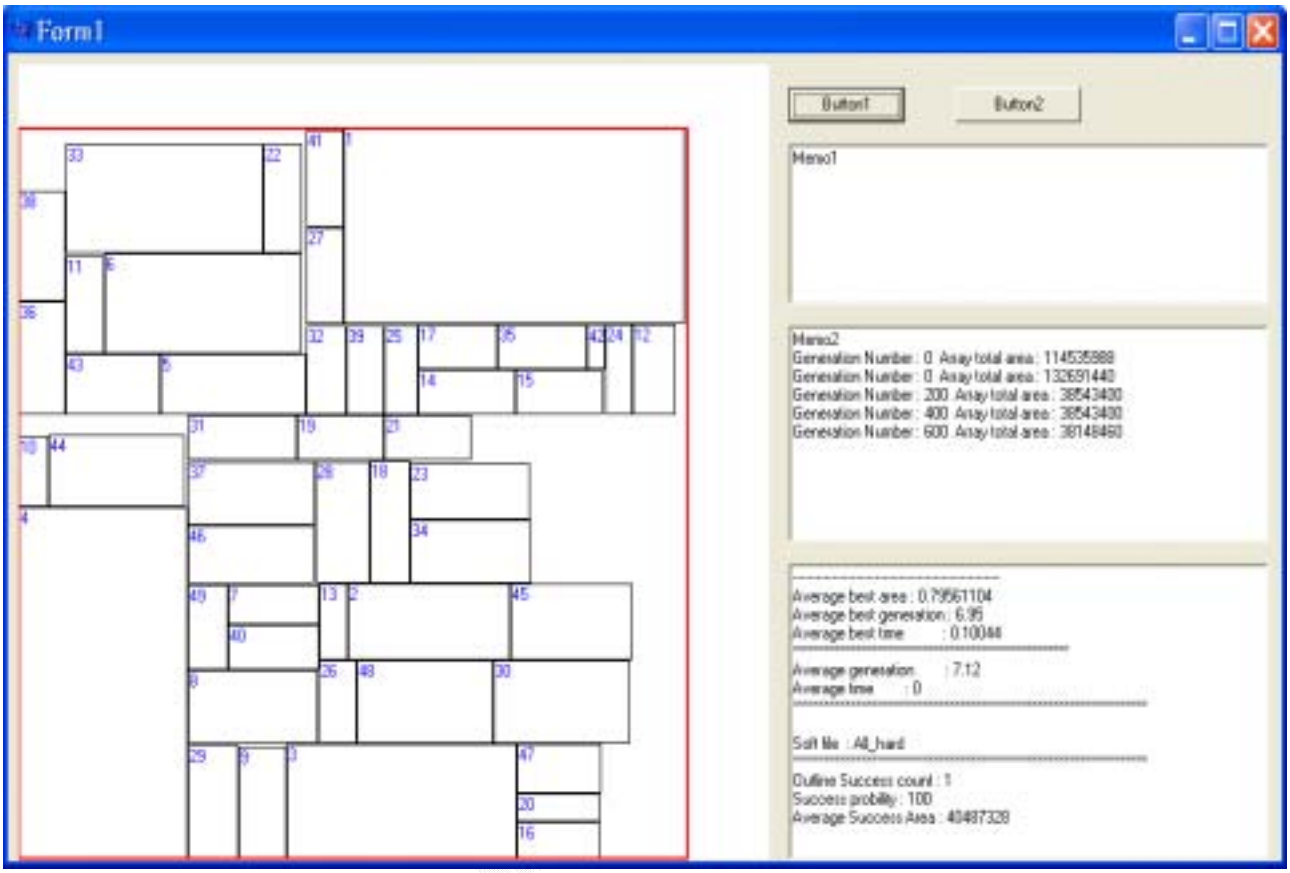

Fig.23 Ami 49 的結果二

這兩個結果皆為符合 Outline constraint 的結果，所有 block 在結合之後全都在限制的範圍內。

第 六 章　結 論

以整個結果來看，用GFA來解決 Outline constraint 的問題相當的合適。它的實驗結果，都能夠符合 Constraint。因為是 Bottom－up 的方法，所以只需要每次結合時去檢查是否符合限制，就可以用最簡單的邏輯來得到答案。

原本 Outline constraint 是用在設計積體電路的時候，在控制電路板大小的情況下，把所有的 block 排列進去的方法，但是也可以用在其他的方面，只要是跟排版有關的東西，例如：報紙的廣告版、網頁圖片的放置...等。

GFA 可以由子代繼承親代的優良基因，在 Good Sub-tree 的聚集下得以快速收斂得到好的解，這點也反映在求解的時間相對的比較快，可以在比較短的時間內得到比較好的解。

做這專題，讓我知道原來除了 OS (如 WINDOWS 、 LINUX)需要用程式來寫，在積體電路這個看起來好像是純硬體、物理、化學的合成之外，還是有需要用到資訊方面的技術，而且隨著科技越來越進步，製成技術會越來越複雜，到時就已經不是單純只是用筆跟紙就可以運

算出結果，而必須用電腦去處理這種大量運算的東西，這也是一個好消息，我們的知識不再只是只能用在軟體方面，也可以用到很硬體的那一方面去。

參 考 資 料

[1] Chang-Tzu Lin, De-Sheng Chen, and Yi-Wen Wang, ”An Efficient Genetic Algorithm for Slicing Floorplan Area Optimization,”

[2] Evangeline F.Y. Young, Chris C.N. Chu, M.L. Ho, “A Unified Method to Handle Different Kinds of Placement Constraints in Floorplan Design,” Proc. VLSID 2002

[3] K. Shahoohar and P. Mazumder, “VLSI Cell Placement Techniques,” ACM Computing Surveys, Vol. 23, No. 2, June 1991

[4] H. Murata, K. Fujiyoshi, and M. Kaneko, “VLSI/PCB Placement with Obstacles Based on Sequence Pair,” Proc. ISPD, pp. 26–31, 1997.

[5] M. Kang and W. Dai, “General Floorplanning with Lshaped, T-shaped and Soft Blocks Based on Bounded slicing Grid Structure,” Proc. of ASP-DAC '97, pp.265-270, 1997.