

逢甲大學學生報告 ePaper

使用於無線能量收獲設計的真實弦波電壓電路的設計與驗證

The True Sinusoid Voltage Driven Circuit Design and Validation for Wireless Signal Energy Harvest Design

作者：林俊賢，戴安妮

系級：電子工程學系四年級

學號：D9945313,D9930137

開課老師：鄭經華

課程名稱：專題研究（一）（二）

開課系所：電子工程學系

開課學年： 102 學年度 第 1 學期



中文摘要

由於傳統的 AC 晶片製作方式都是在晶片內放入 AC 電源轉成 DC 電源的電路，這個電路內往往都會造成功率上面的消耗，所以改良之靜態電路變成一個可行的設計技術。在未來可應用在生醫植入人體之無線電源傳輸生醫晶片上。

在本文中，我們提出利用改良靜態電路的 AC 電壓元件以植入生物電子。作為可以直接用 AC 電壓 (ACVdd) 驅動的改良之靜態電路，沒有交流電壓與直流電壓的電力變換，期望降低功率消耗，也使生物的植入式設備使用的無線傳輸系統真正接收弦波電源，進而發展低功耗的生物電子。

電路設計使用傳統的 CMOS 結構，本專題設計的元件可直接使用 AC 的電源來操作，不需 AC 轉 DC 電路，藉此降低晶片的功率消耗與電源轉換機制的面積浪費，不同於傳統的植入式無線傳輸生醫晶片使用需定期置換的 DC 電池，直接使用由外部無線傳輸進來的 AC 電源，使得在體內的晶片能完全利用由外部無線傳輸進來的電源，能使植入式晶片盡可能的省電以及縮小面積的設計目標。可應用在植入人體之無線電源傳輸生醫晶片上，減少病人重新置換電池的痛苦與經濟成本，適宜應用在植入式電子醫療設備。

本專題中，將介紹兩個研究部分：

1. 建立元件庫

如果直接使用 AC 當作電源，在 AC 下降時 AND 會無法鎖住數值，輸出的數值都會被 AC 所影響，我們知道當輸出的電壓理論上為 1 時，而其輸出的電壓會降低，然而作為靜態電路的功能是決定 PMOS 和 NMOS 充放電的操作，也就是說在 $V_{DD}-AC < 1.8V$ 時，動態電路的工作可以分為預充電及評估兩個階段，在預充電階段中，寄生電容被充電到一定的電壓，在評估階段，它依賴於由電容所儲存的電壓。而電壓會從儲存在電晶體的電容放電。為了防止電流流失以及輸出的不穩定性，我們用 PMOS 產生類似 Diode 的功能，將 AC 濾波，以及利用電路本身會產生的寄生電容達補足這一段電源的不足，但發現寄生電容的電會從 PMOS 的 Body 端往 Vdd 漏電，PMOS 寄生二極體的順偏漏電流把寄生電容的電漏掉。因此我們在 PMOS Body 端加一顆電容，防止漏電，結果可以用 AC 電源運算，但是缺點是輸出波型沒有到達 full-swing，因為加了 Diode 會有壓降，所以為了讓電壓有 1.8V，我們把電壓提高到 2.2V

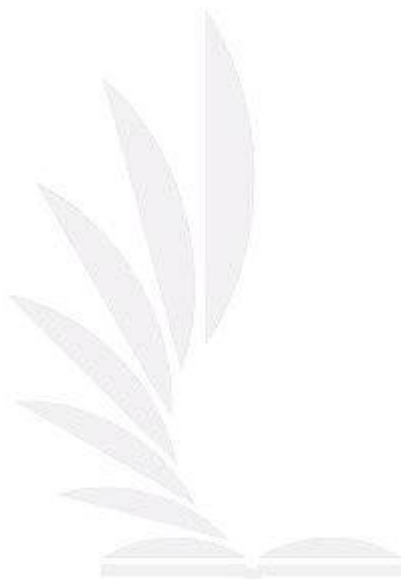
2. 用 c6288 電路模擬與驗證在 DC、AC、PULSE-DC 電壓下改良元件是否正常

我們將改良後的元件應用於 c6288 電路來驗證元件使用 AC(VDD) 是否能正常運轉，並用自動化繞線流程節省許在 LAYOUT 上設計的時間，而且可以降低人為上的失誤而導致電路設計有瑕疵。而最後驗證結果顯示我們的元件不但可以使用傳統的 DC 電壓，也可以使用 AC 電壓和 PULSE-DC 電壓。

使用於無線能量收獲設計的真實弦波電壓電路的设计與驗證

The True Sinusoid Voltage Driven Circuit Design and Validation for Wireless Signal Energy Harvest Design

關鍵字：弦波電壓 (ACVdd)、脈衝電壓(Pulse-DC) 植入式生理電子



Abstract

The traditional way of making AC chips transfers AC into DC power supply circuit in the chip. It will cause the power consumption of the chip, so my circuit is available for improving it into a static design techniques. In the future, it can be used in biomedical implanted by wireless power transmission chip.

In this paper, we propose using a modified static circuit for AC voltage to implantable bio-electronic components. AC voltage can be used directly on (ACVdd) driven by improve of static circuits, no AC and DC voltage converters, desirable to reduce the power consumption, also placed biological product device for wireless transmission system by receives true sine wave power. Thus, development of low power consumption for bio-electronics.

CMOS circuit design using traditional structure, design elements of this topic can be directly used AC power to operated, no AC and DC voltage converters, thus reducing the power consumption and waste power conversion area of chip. Unlike conventional implantable biomedical chip using wireless transmission need DC batteries to regular replacement. We used wireless transmission coming from an external AC power supply, so that chip in the body can use the radio transmission coming from an external power supply, It's makes Implantable chip saving power and reduced the area as much as possible. It can be used in implanted chip on the human body by wireless power transmission, reducing the patient's pain by change the battery and economic cost, suitable for use in implantable electronic medical devices.

This topic, we will introduce two research components:

1. Establish library

If you used the AC as the power supply, when the AC voltage dropped, traditional component values cannot be locked. The output voltage was influenced by AC, so that the output voltage will reduced. We improved the component for adding a diode between PMOS and Vdd, in PMOS Body-side adding a capacitor, so the output voltage does not affect by low potential of AC power source. Build the library for AC power supply components, to solve the problem of the traditional elements in the AC case that cannot be used. Use AC power circuit design will be able to lead the new low-power design thinking circuits.

2. Using synthetic c6288 circuit simulation and verification by improved

components

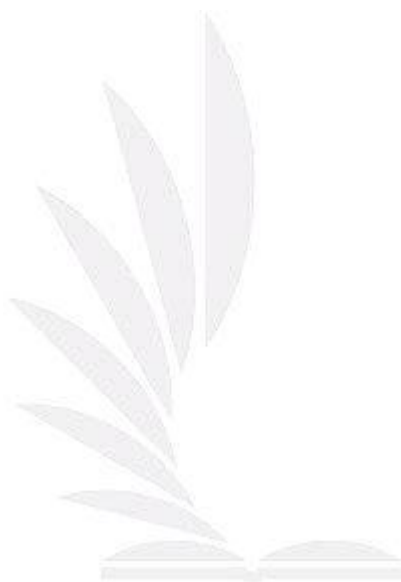
We used c6288 circuit by improved the components to verify the components that AC (VDD) is not able to operate normally, we saved time in the LAYOUT design with automated routing process, and reduce human errors which led to be defective in circuit design.



目 次

第一章、緒論.....	11
1.1 研究動機.....	11
1.2 專題研究方向.....	13
第二章、相關背景研究.....	14
2.1 相關論文研究.....	14
第三章、靜態電路改良.....	15
3.1 靜態電路使用 AC-VDD 產生的問題與解決辦法.....	15
3.2 使用於 AC 電壓源之基本邏輯閘.....	18
3.2.1 XOR2 閘.....	18
3.2.2 MULTIPLEXER 2to1 閘.....	18
3.2.3 D-FF 閘.....	19
3.2.4 AOI12 閘.....	24
3.2.5 AO12 閘.....	24
3.2.6 OA22 閘.....	25
3.2.7 OAI22 閘.....	25
第四章、流程設計.....	29
4.1 設計流程.....	29
4.2 電路詳圖.....	30
4.2.1 本晶片設計採用 c6288 電路來驗證電路使用 AC(VDD).....	30
4.2.2 62882 電路：16×16 乘法器.....	30
4.2.3 電路設計：主要使用元件.....	30
4.3 內建自我測試方法與驗證 ACDFE.....	31
4.3.1 LFSR.....	31
4.3.2 MISR.....	32
4.3.3 與乘法器合成的電路圖與解說.....	33
第五章、模擬結果與分析說明.....	34
5.1 Pre-Simulation.....	34
5.2 Post-Simulation.....	35
5.3 SOC 繞線完成圖.....	39
5.4 佈局驗證結果錯誤說明.....	40
5.5 量側考量.....	41
5.6 量側結果與分析.....	44
5.6.1 DC 量測結果.....	44
5.6.2 AC 量測結果.....	45
5.6.3 Pulse-DC (0V~2.2V) 量測結果.....	49
5.6.4 Pulse-DC (1.4V~1.8V) 量測結果.....	51

第六章、結論.....	54
第七章、附錄.....	55
7.1 流程操作.....	55
7.2 各別元件比較.....	56
期末專題工作分配表.....	102
參考文獻.....	102



中文摘要

由於傳統的 AC 晶片製作方式都是在晶片內放入 AC 電源轉成 DC 電源的電路，這個電路內往往都會造成功率上面的消耗，所以改良之靜態電路變成一個可行的設計技術。在未來可應用在生醫植入人體之無線電源傳輸生醫晶片上。

在本文中，我們提出利用改良靜態電路的 AC 電壓元件以植入生物電子。作為可以直接用 AC 電壓（ACVdd）驅動的改良之靜態電路，沒有交流電壓與直流電壓的電力變換，期望降低功率消耗，也使生物的植入式設備使用的無線傳輸系統真正接收弦波電源，進而發展低功耗的生物電子。

電路設計使用傳統的 CMOS 結構，本專題設計的元件可直接使用 AC 的電源來操作，不需 AC 轉 DC 電路，藉此降低晶片的功率消耗與電源轉換機制的面積浪費，不同於傳統的植入式無線傳輸生醫晶片使用需定期置換的 DC 電池，直接使用由外部無線傳輸進來的 AC 電源，使得在體內的晶片能完全利用由外部無線傳輸進來的電源，能使植入式晶片盡可能的省電以及縮小面積的設計目標。可應用在植入人體之無線電源傳輸生醫晶片上，減少病人重新置換電池的痛苦與經濟成本，適宜應用在植入式電子醫療設備。

本專題中，將介紹兩個研究部分：

3. 建立元件庫

如果直接使用 AC 當作電源，在 AC 下降時 AND 會無法鎖住數值，輸出的數值都會被 AC 所影響，我們知道當輸出的電壓理論上為 1 時，而其輸出的電壓會降低，然而作為靜態電路的功能是決定 PMOS 和 NMOS 充放電的操作，也就是說在 $V_{DD-AC} < 1.8V$ 時，動態電路的工作可以分為預充電及評估兩個階段，在預充電階段中，寄生電容被充電到一定的電壓，在評估階段，它依賴於由電容所儲存的電壓。而電壓會從儲存在電晶體的電容放電。為了防止電流流失以及輸出的不穩定性，我們用 PMOS 產生類似 Diode 的功能，將 AC 濾波，以及利用電路本身會產生的寄生電容達補足這一段電源的不足，但發現寄生電容的電會從 PMOS 的 Body 端往 Vdd 漏電，PMOS 寄生二極體的順偏漏電流把寄生電容的電漏掉。因此我們在 PMOS Body 端加一顆電容，防止漏電，結果可以用 AC 電源運算，但是缺點是輸出波型沒有到達 full-swing，因為加了 Diode 會有壓降，所以為了讓電壓有 1.8V，我們把電壓提高到 2.2V

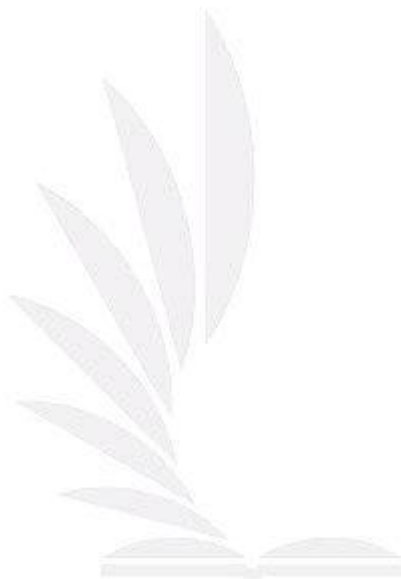
4. 用 c6288 電路模擬與驗證在 DC、AC、PULSE-DC 電壓下改良元件是否正常

我們將改良後的元件應用於 c6288 電路來驗證元件使用 AC(VDD) 是否能正常運轉，並用自動化繞線流程節省許在 LAYOUT 上設計的時間，而且可以降低人

使用於無線能量收獲設計的真實弦波電壓電路的设计與驗證

The True Sinusoid Voltage Driven Circuit Design and Validation for Wireless Signal Energy Harvest Design

為上的失誤而導致電路設計有瑕疵。而最後驗證結果顯示我們的元件不但可以使用傳統的 DC 電壓，也可以使用 AC 電壓和 PULSE-DC 電壓



ABSTRACT

The traditional way of making AC chips transfers AC into DC power supply circuit in the chip. It will cause the power consumption of the chip, so my circuit is available for improving it into a static design techniques. In the future, it can be used in biomedical implanted by wireless power transmission chip.

In this paper, we propose using a modified static circuit for AC voltage to implantable bio-electronic components. AC voltage can be used directly on (ACV_{dd}) driven by improve of static circuits, no AC and DC voltage converters, desirable to reduce the power consumption, also placed biological product device for wireless transmission system by receives true sine wave power. Thus, development of low power consumption for bio-electronics.

CMOS circuit design using traditional structure, design elements of this topic can be directly used AC power to operated, no AC and DC voltage converters, thus reducing the power consumption and waste power conversion area of chip. Unlike conventional implantable biomedical chip using wireless transmission need DC batteries to regular replacement. We used wireless transmission coming from an external AC power supply, so that chip in the body can use the radio transmission coming from an external power supply, It's makes Implantable chip saving power and reduced the area as much as possible. It can be used in implanted chip on the human body by wireless power transmission, reducing the patient's pain by change the battery and economic cost, suitable for use in implantable electronic medical devices.

This topic, we will introduce two research components:

3. Establish library

If you used the AC as the power supply, when the AC voltage dropped, traditional component values cannot be locked. The output voltage was influenced by AC, so that the output voltage will reduced. We improved the component for adding a diode between PMOS and V_{dd}, in PMOS Body-side adding a capacitor, so the output voltage does not affect by low potential of AC power source. Build the library for AC power supply components, to solve the problem of the traditional elements in the AC case that cannot be used. Use AC power circuit design will be able to lead the new low-power design thinking circuits.

4. Using synthetic c6288 circuit simulation and verification by improved components

We used c6288 circuit by improved the components to verify the components that AC (VDD) is not able to operate normally, we saved time in the LAYOUT design with automated routing process, and reduce human errors which led to be defective in circuit design.



第一章、緒論

1.1 研究動機

植入式生物醫學裝置的蓬勃發展，近年來，如圖（1.1(a)，1.1(b)）所示的物理的應用實例。隨著植入設備使用電池作為動力源，一段時間後需要更換電池。為了減少患者的痛苦和醫療使用了，一些研究已經提出了適用的無線傳輸功率。然而，電源效率一直是作為這個概念的主要問題。所述的無線傳輸技術是使用正弦曲線型（AC）信號提供電源。

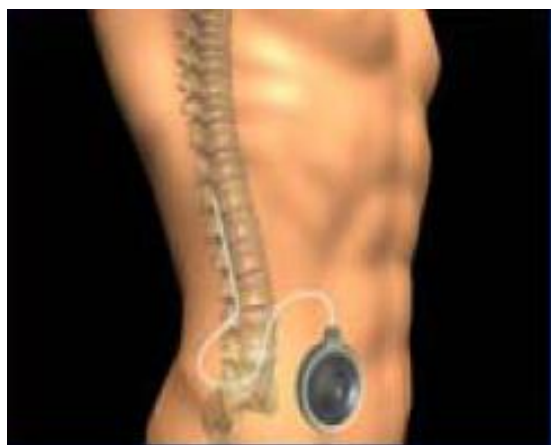


圖 1.1(a)



圖 1.1(b)

傳統的 AC 晶片製作方式都是在晶片內放入 AC 電源轉成 DC 電源的電路，這個電路內往往都會造成功率上面的消耗，如果我們能夠直接使用由外部傳輸進來的 AC 電源，就能夠減少 AC 轉 DC 的功率消耗，以下是我們所構思的無限植入式生醫電子電路架構圖。圖（1.2）

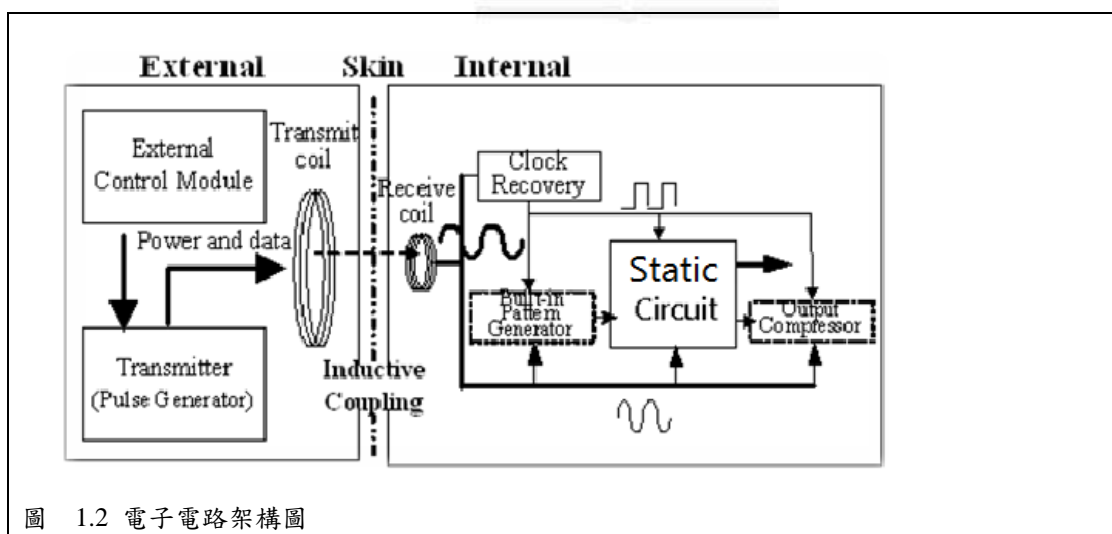
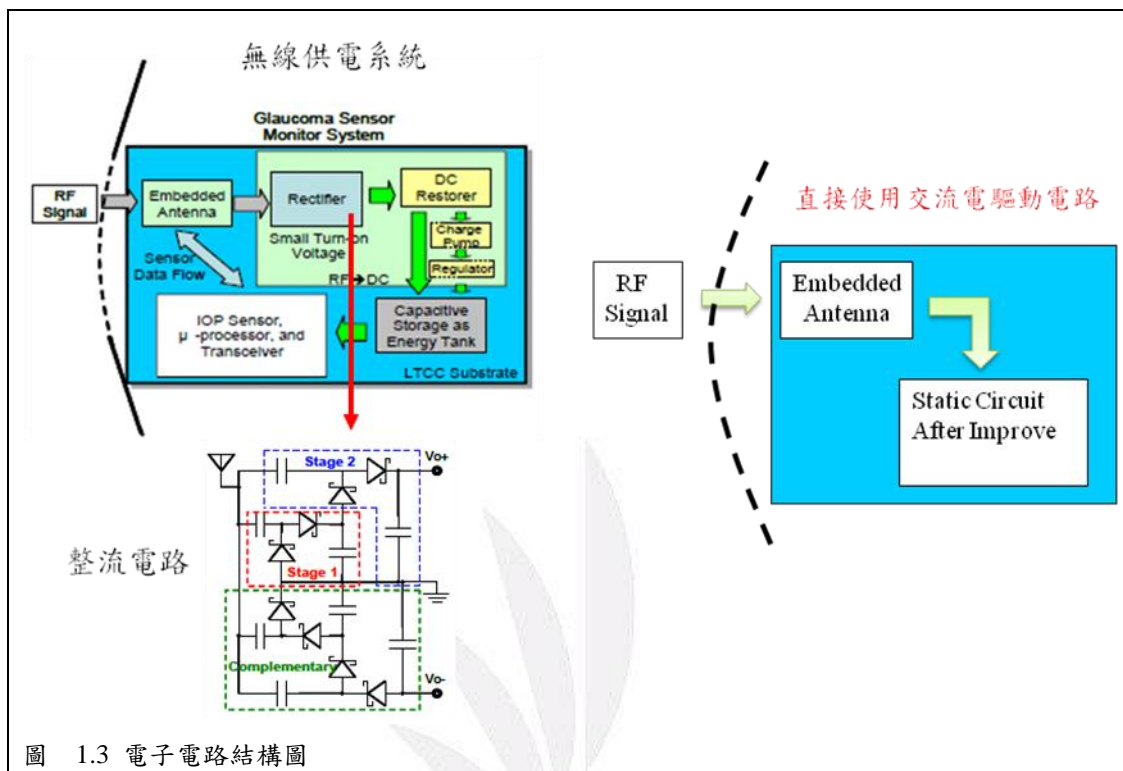


圖 1.2 電子電路架構圖

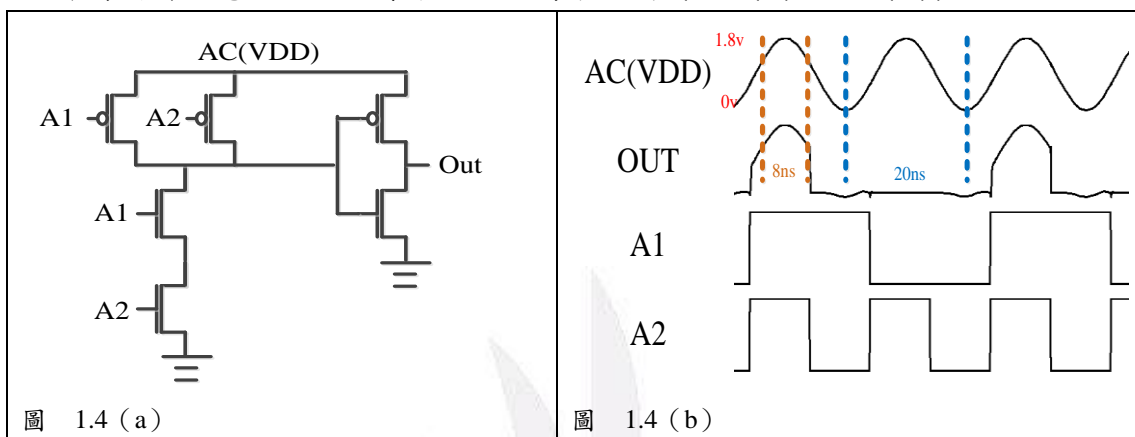
我們將在人體外部藉由 AC 傳輸機，產生出一個 AC 信號電源，並且利用無線傳輸方式來使 AC 進到人體內部，同時人體內部也會有一個線圈用來接收由外部發送的 AC 信號源，直接當成晶片的電壓來使用。(圖 1.3)



1.2 專題研究方向

由於一個晶片大略可以分為兩個部分，組合電路(EX:C6288)，循序電路(DFF+C6288)，接下來將逐一分析：

在 VDD 為 AC 的情況下真正能夠驅動電路的時間有限，以下面一個 And 為例，假設週期為 20ns，真正能夠區分邏輯 0 和 1 的時間大約只有 8ns，換算起來能使用的時間連周期的一半都不到，假設我們能在有效的時間運算完成並且在把算完的數值存取到 DFF 上面，就能使電路在 AC(VDD)情況下正常工作，而此時運算時間對於電路而言就有了強烈的需求。圖 (1.4 (a)，1.4 (b))



一般靜態電路的设计上，PMOS 數量跟 NMOS 數量一樣，動態電路可以省去 PMOS 的數量，並且因為往後一級去推挽看到的附載較小，所以只需要些許電壓便能推動。

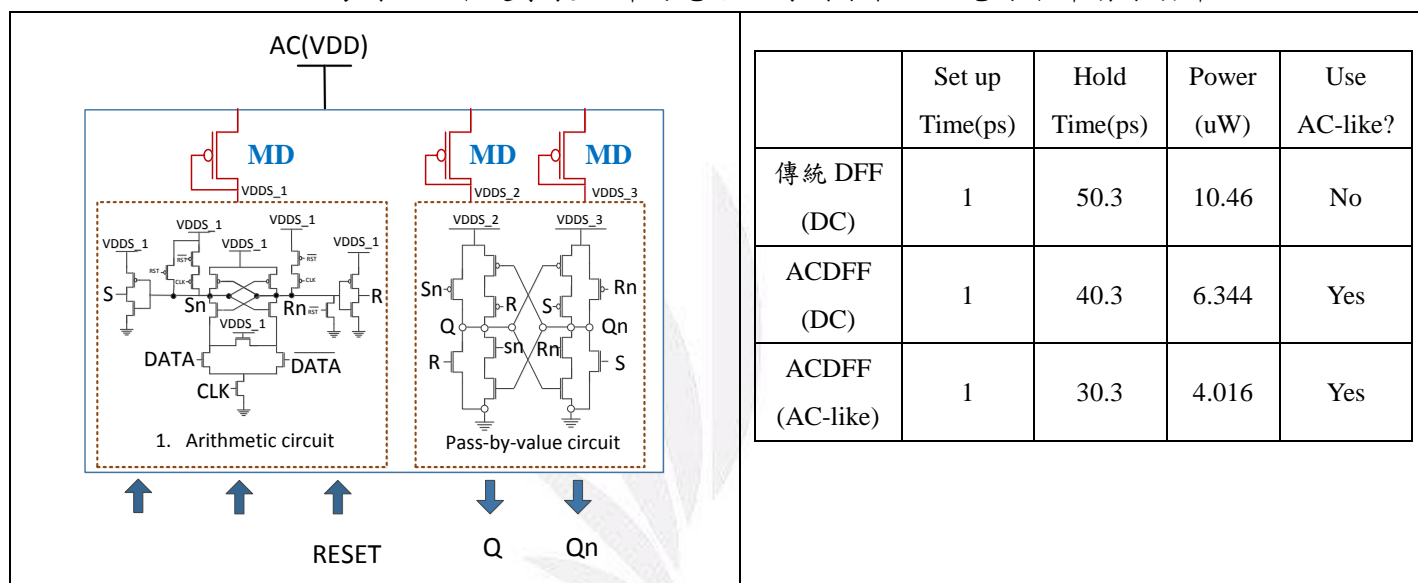
雖然動態電路面積小，速度快，不過動態電路每次要進入求值之前，必須先經過預先充電週期將輸出電容充滿反向器輸入，等到求值週期時再由 PDN(NMOS Logic Block)決定輸出(是否放電)，這是動態電路的缺點，預先充電週期還必須配合電壓 VDD 為 AC 時的情況來充電，使得設計上更為複雜艱難。所以我們決定使用靜態電路來設計。

第二章、相關背景研究

2.1 相關論文研究

傳統的 CMOS 電路只要在一定電壓以下還是能夠驅動電路，在使用 AC 電源的情況下，會因為電壓的高低去決定電路是否會動，所以只要電源足夠，在 AC 電源之下也能夠順利驅動，所以前人利用動態電路的充放電特性，使 AC 電源的電位不會影響到電路的輸出功能，利用動態電路具有短暫快速求值的特性來進行操作，而使用 AC 電源可以節省功率消耗。

以 D-FF 為例，以下是學長設計的電路，得到了在 AC 電源下節省了功率。



但是電路能夠運算的時間卻很短，並且我們從這篇論文中只看到動態電路的改良使用在 AC 電源下，並沒有說明在靜態下使用 AC 電源的情況，所以我們將從這裡著手，開始探討在靜態電路下使用 AC 電源的情況。

/

第三章、靜態電路改良

3.1 靜態電路使用 AC-VDD 產生的問題與解決辦法

如果直接使用 AC 當作電源，在 AC 下降時 AND 會無法鎖住數值，輸出的數值都會被 AC 所影響，從圖中我們知道當輸出的電壓理論上為 1 時，而其輸出的電壓會降低，然而作為靜態電路的功能是決定 PMOS 和 NMOS 充放電的操作，也就是說在 $VDD-AC < 1.8V$ 時，動態電路的工作可以分為預充電及評估兩個階段，在預充電階段中，寄生電容被充電到一定的電壓，在評估階段，它依賴於由電容所儲存的電壓，而電壓會從儲存在電晶體的電容放電。

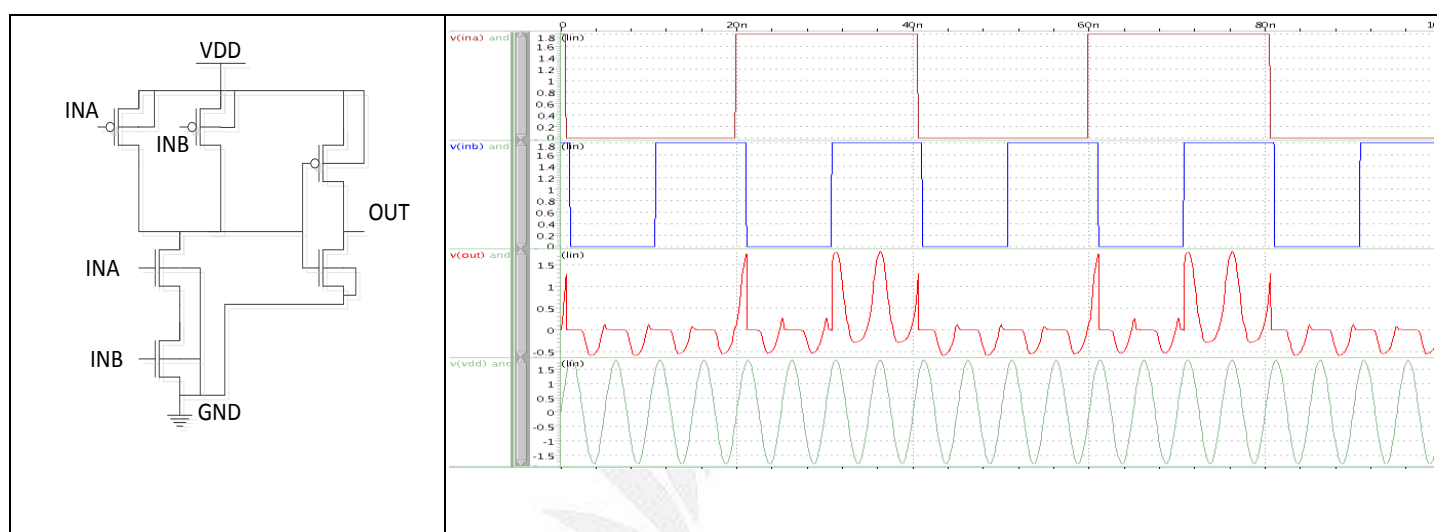


圖 3.1 靜態電路使用 AC (-1.8V~1.8V) VDD 電壓之波形圖

在 VDD 下降時，輸出為“1”的電壓會下降是因為電流會從高電壓往低電壓溜走。寄生電容的電會從 PMOS 的 Body 端往 Vdd 漏電，PMOS 形成的二極體的 D 端電壓如果大於 S 端電壓，那電流就會從 D 端流向 S 端造成漏電。我們在 PMOS Body 端加一顆電容，防止漏電。如圖 (3.2)

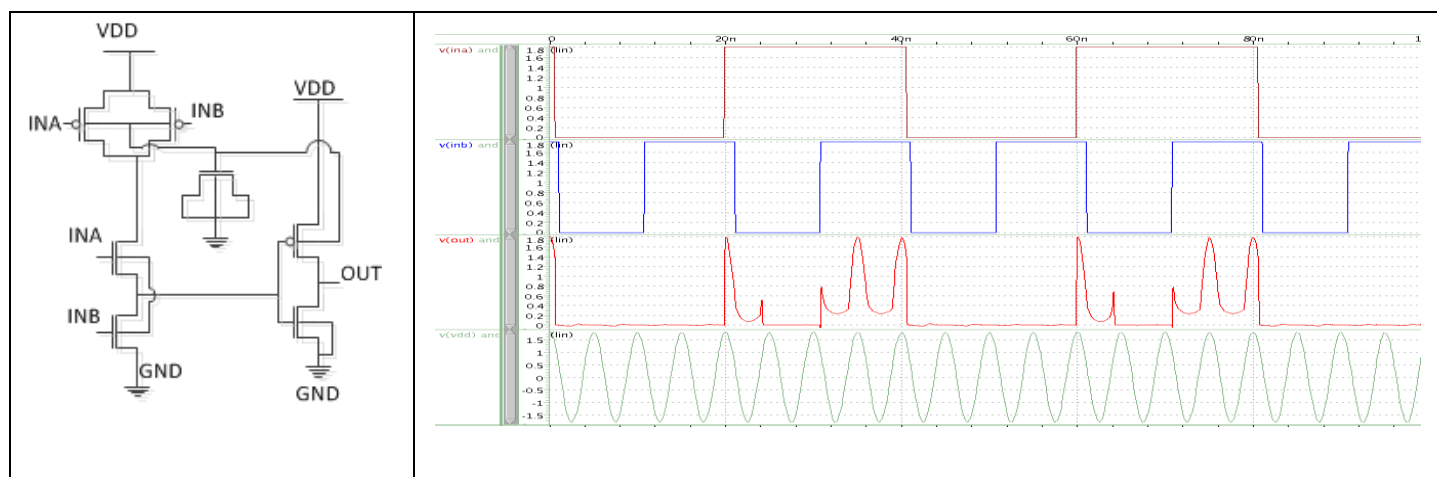


圖 3.2 加入電容後的電路之波形圖

為了防止電流流失以及輸出的不穩定性，我們用 PMOS 產生類似 Diode 的功能，將 AC 濾波，以及利用電路本身會產生的寄身電容達補足這一段電源的不足。

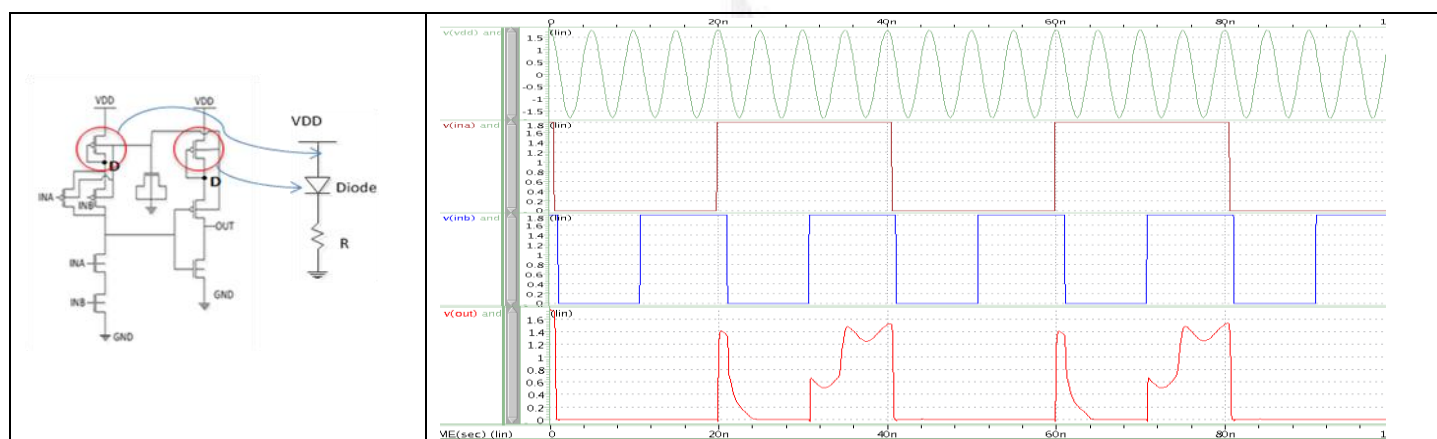


圖 3.3 加入 DIODE 與電容後之波形圖

缺點是輸出波型沒有到達 full-swing 與及在輸出為“1”時沒有足夠的電壓去運算。最高電壓只能到達 1.5v 左右， $V_{out}(\text{最高準位}) = V_{DD} - |V_{th}|$ 。為了解決 full-swing 的問題，我們將電壓源提升到 2.2V。

與圖 3.3 同樣的電路，只是電壓源 AC-VDD 由 (-1.8V~1.8V) 提升至 (-2.2V~2.2V)。

這時候的缺點是輸出波型沒有到達 full-swing 與及在輸出為“1”時沒有足夠的電壓去運算。最高電壓只能到達 1.5v 左右， $V_{out}(\text{最高準位}) = V_{DD} - |V_{th}|$ 。為了解決 full-swing 的問題，我們將電壓源提升到 2.2V。



圖 3.4 提高電壓準位

解決在運算輸出為 1 時讀取信號錯誤的問題。

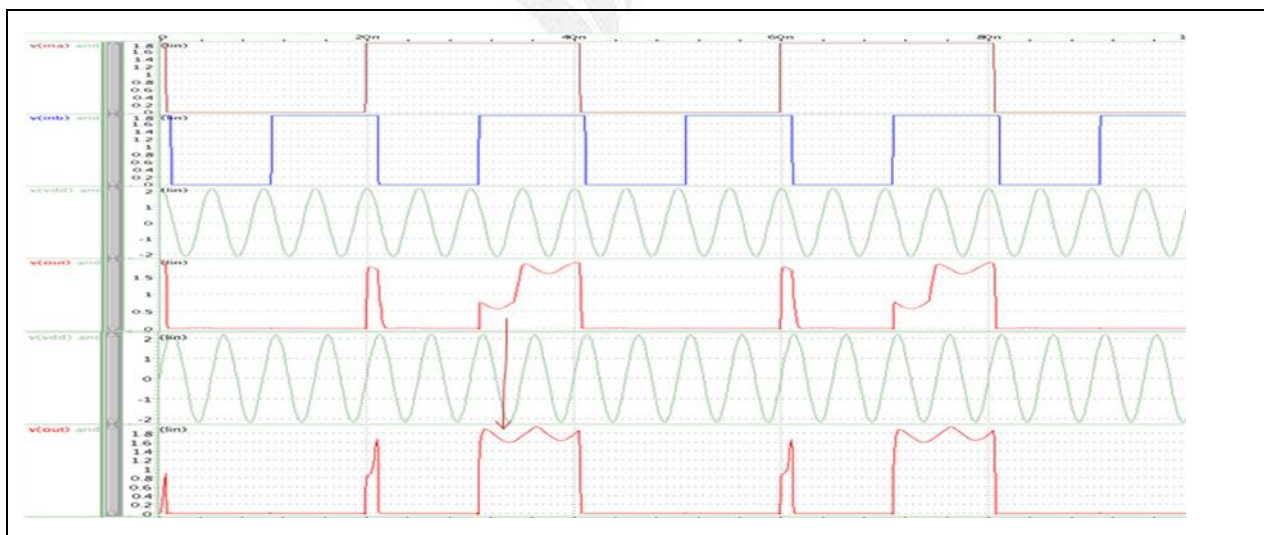


圖 3.5 改變 AC-VDD 相位角後之波形圖

以此類推，我們將這個方法運用在其他元件上，建立成一個能夠使用 AC 電壓源之 CELL BASE 元件庫。CELL BASE 元件庫包含了 (INV1, AND2, AND3, OR2, OR3, NAND2, NAND3, NOR2, NOR3, XOR2, D-FF, AO12, AOI12, OA12, OAI12)。

3.2 使用於 AC 電壓源之基本邏輯閘

我們以這些特別的閘做類似的說明 (XOR2, D-FF, AO12, AOI22, OAI22, OA22, OAI22)，其他閘將的放在附錄做參考。

3.2.1 XOR2 閘

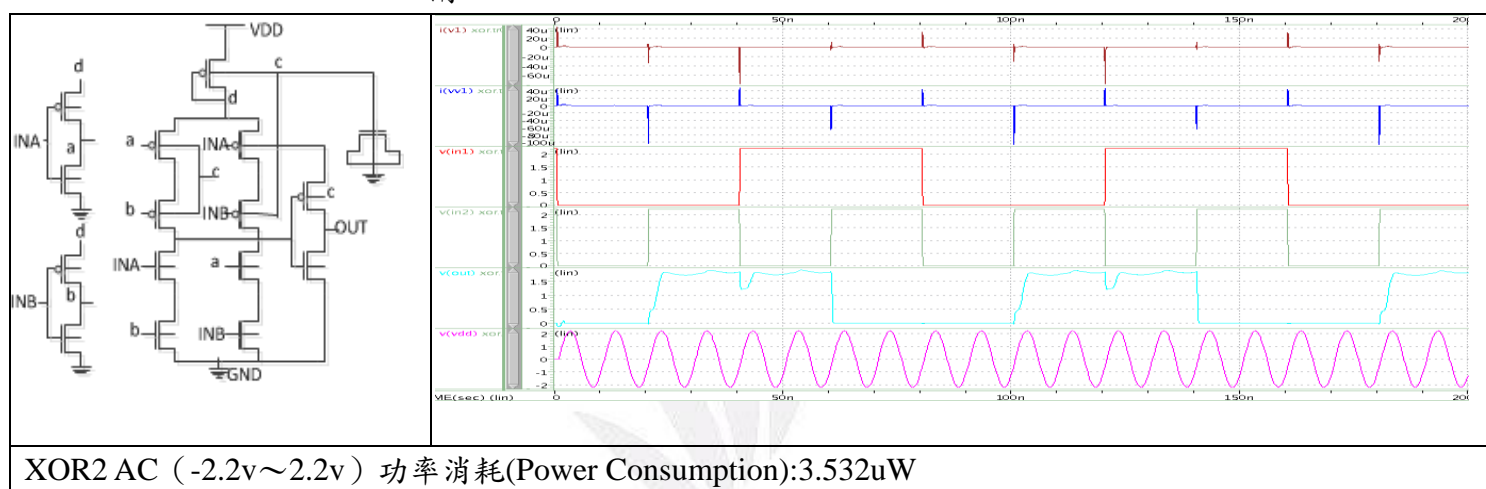


圖 3.6 XOR2 電路圖與波形圖

3.2.2 MULTIPLEXER 2to1 閘

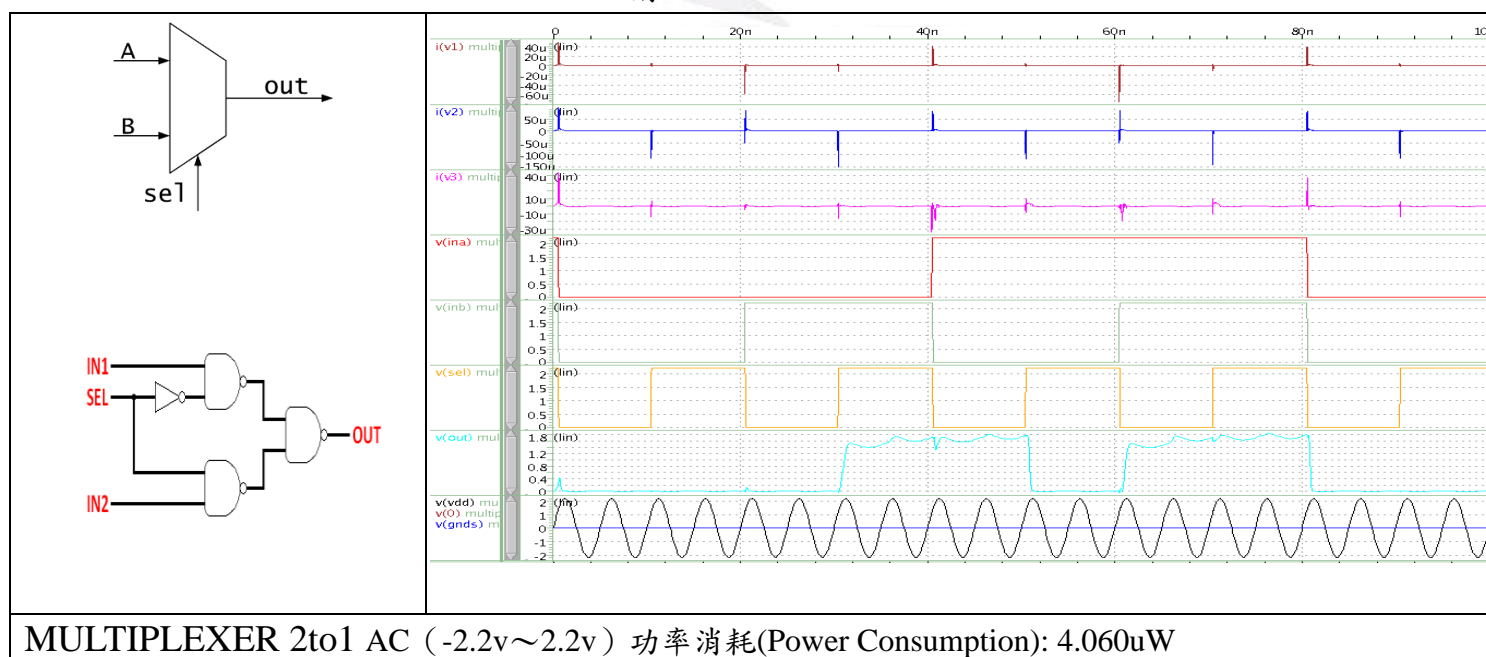


圖 3.7 MULTIPLEXER 2TO1 電路圖與波形圖

3.2.3 D-FF 闢

由於 D-FF 在改良後功率消耗比原先的電路大，所以我們來看以下的原理。

(1) 傳統DFF使用AC(VDD)遇到的問題。

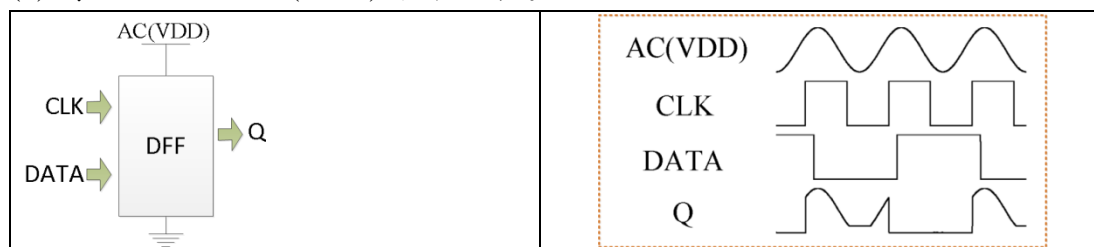


圖 3.8 傳統 DFF 直接使用 ACVDD

由圖 3.8 可以看出，在電源使用 AC(VDD)的情況下，使用傳統的 DFF 會造成鎖值不完全的問題產生，原本應該為 HIGH 的電壓，會因為 AC(VDD)的電壓改變，導致 DFF 無法正常工作。

(2) 改善與加入 MOS-DIODE

由於電壓容易被 AC(VDD)給影響，所以我們打算利用 diode 來防止電壓下降的情況產生，將在 AC(VDD)與 DFF 之間加入一個 DIODE，我們使用 MOS-DIODE，把 GATE 端和 DRAIN 端接在一起形成一個類似 DIODE 的情況，如下圖 3.12，並且利用他們之間的寄生電容來給與當 AC(VDD)下降時不足的電壓，我們可以看出當 AC(VDD)慢慢下降時，會改為使用電容裡面的電壓來給電路電源，使得電路不會因為 AC(VDD)下降而跟著下降。

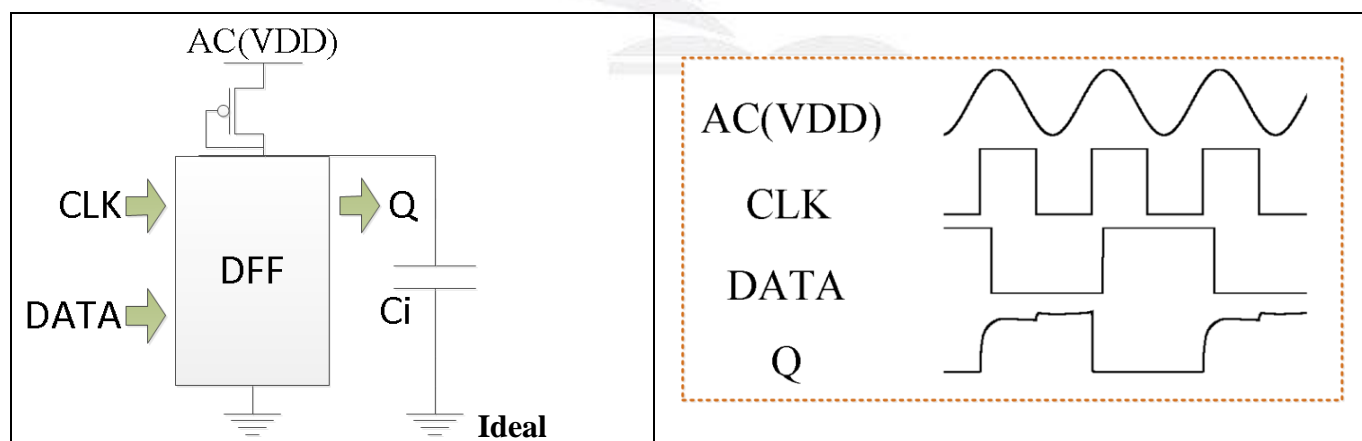


圖 3.9 預計改善傳統電路的想法

(3) 使用上的限制

因為當 MOSDIODE 被導通之後，會被視為一個等效的電阻，也因為這個關係我們的輸出端容易被電路分壓給影響到如圖 3.10，會因為 MOS 電阻太大的關係，造成我的輸出電壓不足，圖 3.9 為電路模擬出來的波形，經由量測我們電壓最高只能達到 1.47V 就無法在高上去，所以無法到達 Full-swing。

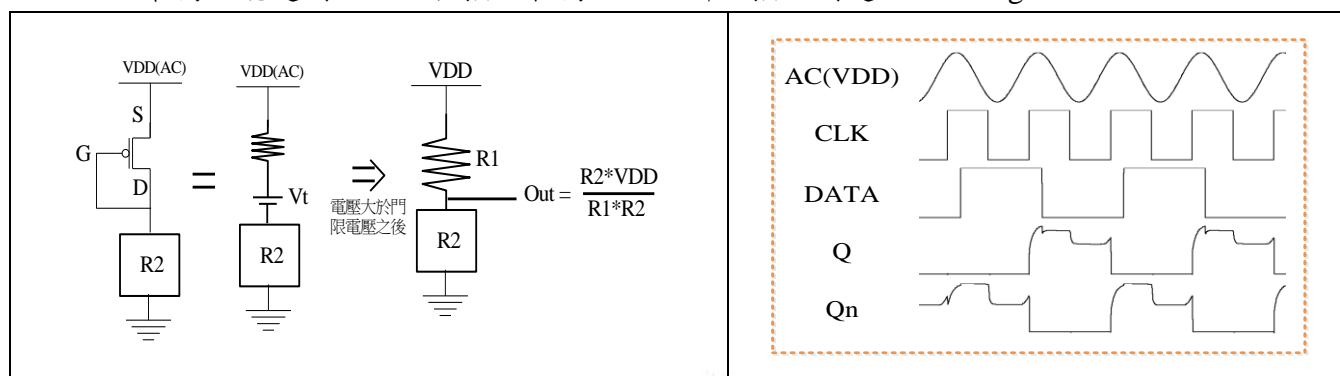


圖 3.10 會因為分壓造成電壓無法上升

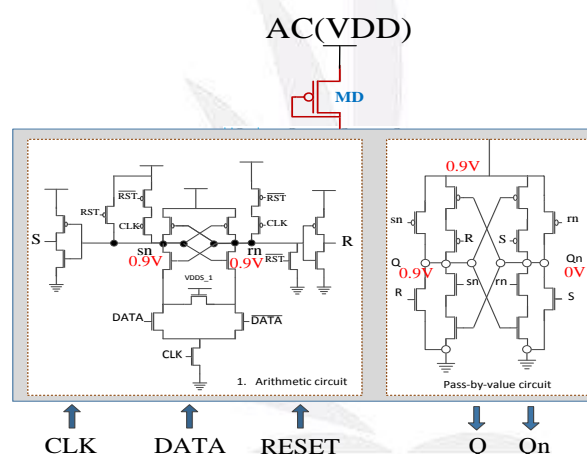


圖 3.11 原本架構，只在傳統 DFF 上加入 MOS-DIODE

圖 3.11 為我們原本的電路圖架構，這是原本的構想，想要 MOS-DIODE(MD) 來使 DFF 能夠正常工作，但是當 CLK 為 LOW 時，會使得 RN 與 SN 同時打開，因為分壓的關係此時的電壓降為 0.9V，由於 Q 以及 Qn 使用的寄生電容和運算電路相同，使得他們也受到了影響使得電壓下降，所以最後把傳值電路和運算電路的電源分開如圖 3.12。

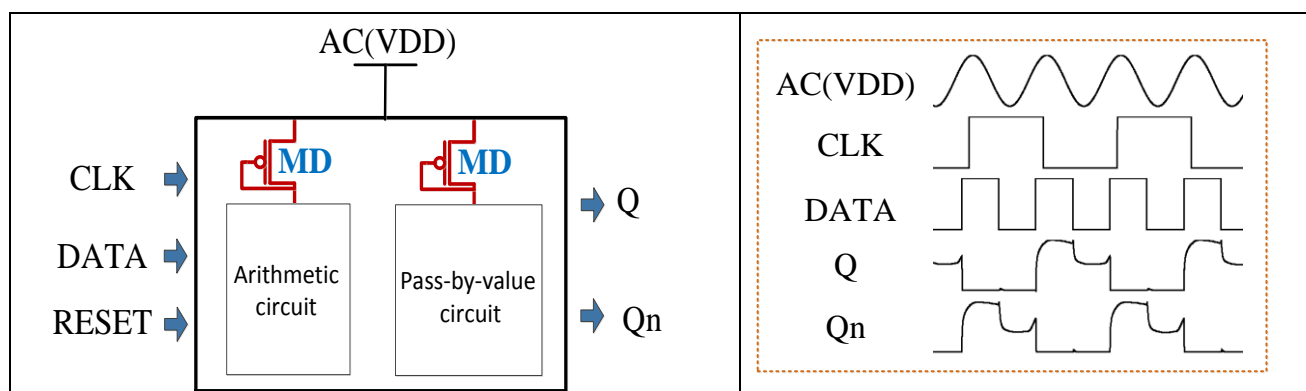


圖 3.12 (a) 傳統 DFF 之傳值電路在 DC 電壓下情況

圖 3.12 (b) 波形圖

當傳值電路只使用一個 Diode 的時候，會因為運算電路內的 RN 或是 SN 端的輸入電壓過小，導致在傳值電路需要關閉的，卻關閉不完全，使得輸出電壓下降，波形如圖 3.12，以下將用 Q 輸出為 1 作為例子，在 CLK 為 HIGH 時，輸出能夠正常為 HIGH，當 CLK 為 LOW 時，原本在 DC 的情況下是要使得運算電路的 SN 和 RN 同時為 HIGH 而且為 1.8V，如圖 3.13，但是當今天是在 ACVDD 的情況下時，會因為電源的電壓下降以及電路的分壓關係，使得運算電路內的 RN 從 1.44 下降到 0.74V，而 SN 只能爬升到 0.74V，如圖 3.14。

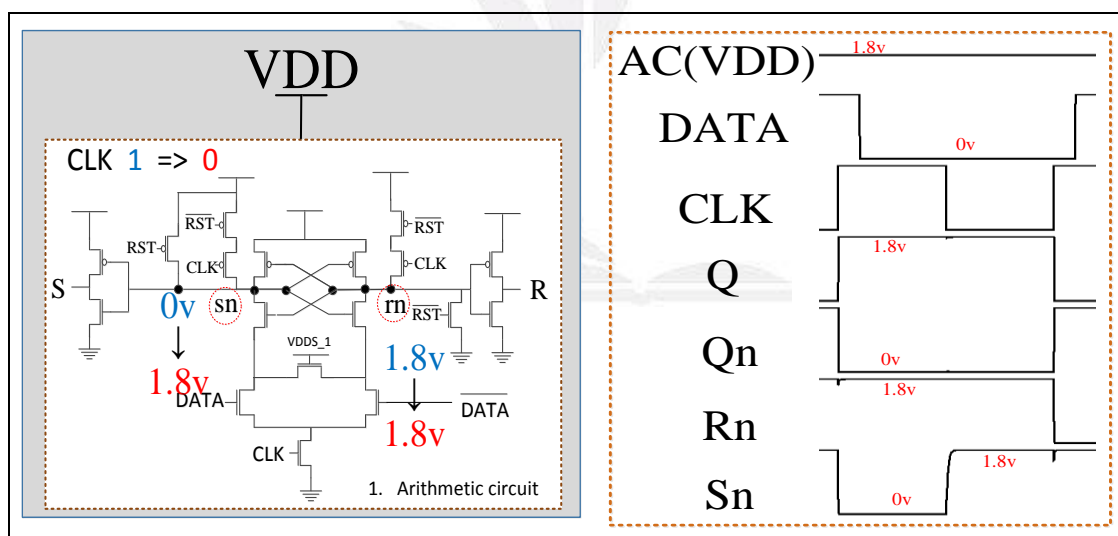


圖 3.13 Second ideal

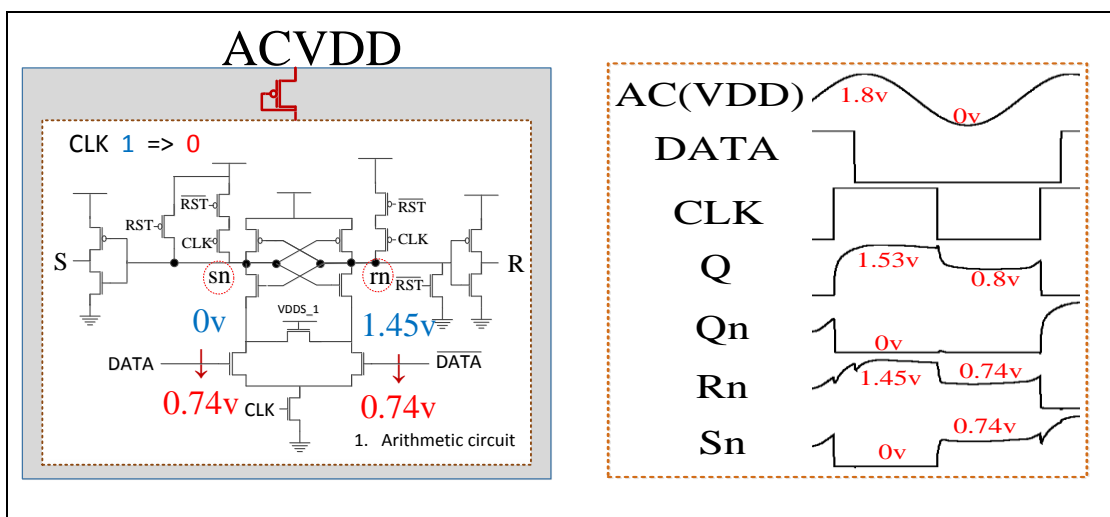


圖 3.14 (a) 改善後 DFF 之傳值電路在 ACVDD 電壓下情況

而當 CLK 為 LOW 時，在傳值電路內原本應該要關閉的 M24 會因為 SOURCE 端電壓大於 GATE 端電壓使得 M24 這顆造成寄生電容內部的電源從 QN 輸出的 GND 這邊流走，直到 MOS 完全關閉，如果這發生在 DC 情況下將不會有問題，但因為我們目前使用的電源是來自寄生電容，並且因為傳值電路內部的 MOS 共享這顆寄生電容，所以當電壓下降時，間接影響了 Q 的輸出如圖 3.15，所以最後在傳值電路裡面，我們把 Q 和 Qn 寄生電容分開，使得最後電路圖如圖 3.16，使各自的寄生電容不互相影響。

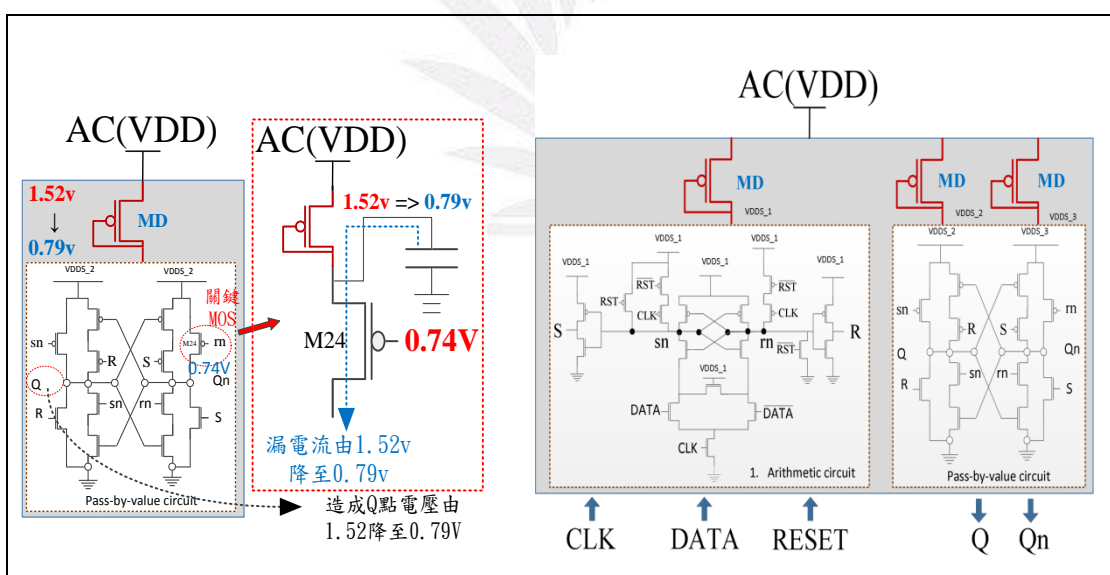


圖 3.15 Q 和 Qn 使用同一顆二極體造成的問題

圖 3.16 最後電路完整架構圖

最後在 PMOS 的 body 端接上電容，不止能讓電流不會漏電，也讓其能夠進行充放電，使到信號不會隨著 Vdd 下降時跟著下降。

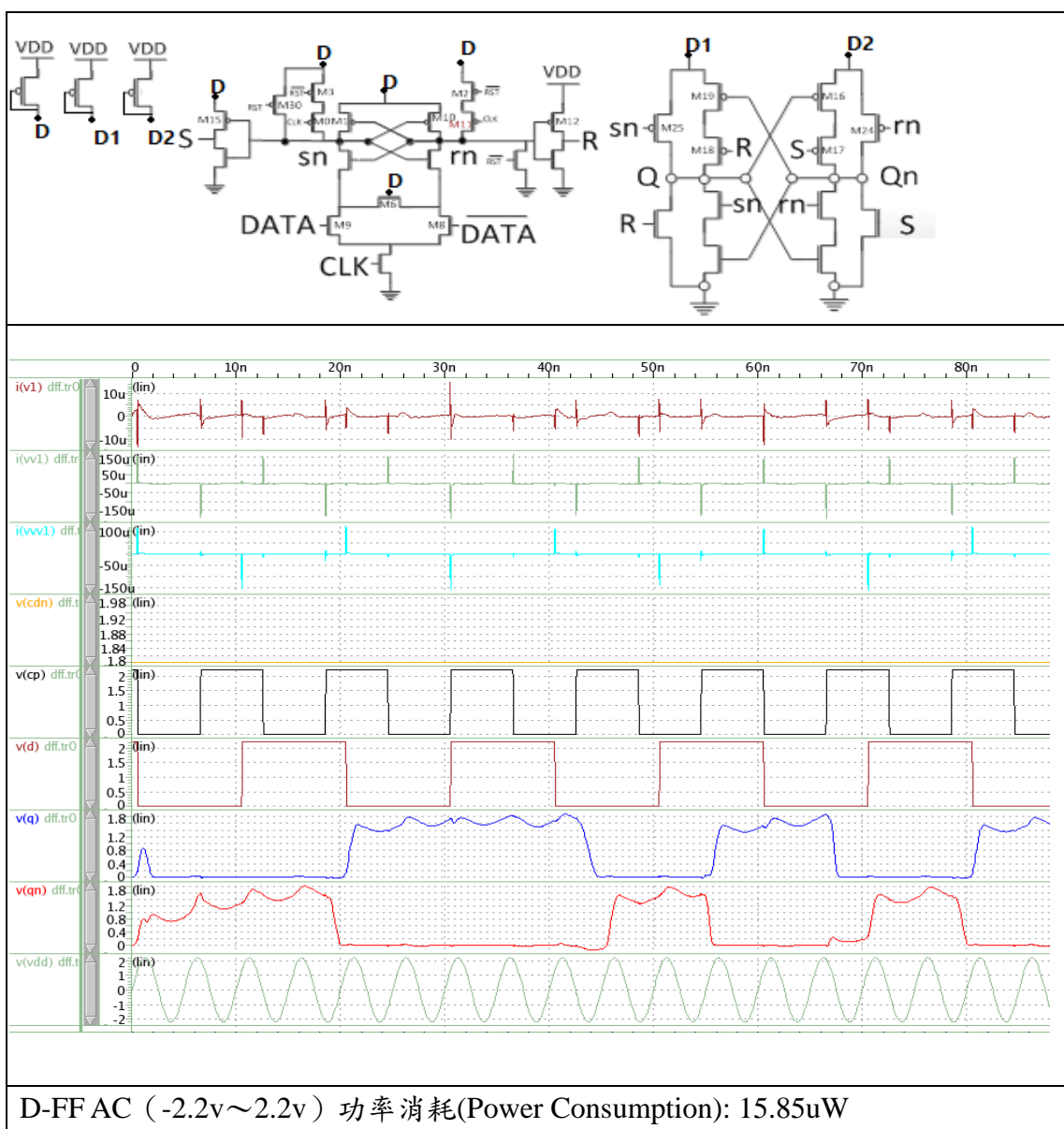


圖 3.17 D-FF 電路圖與波形圖

3.2.4 AOI12 閘

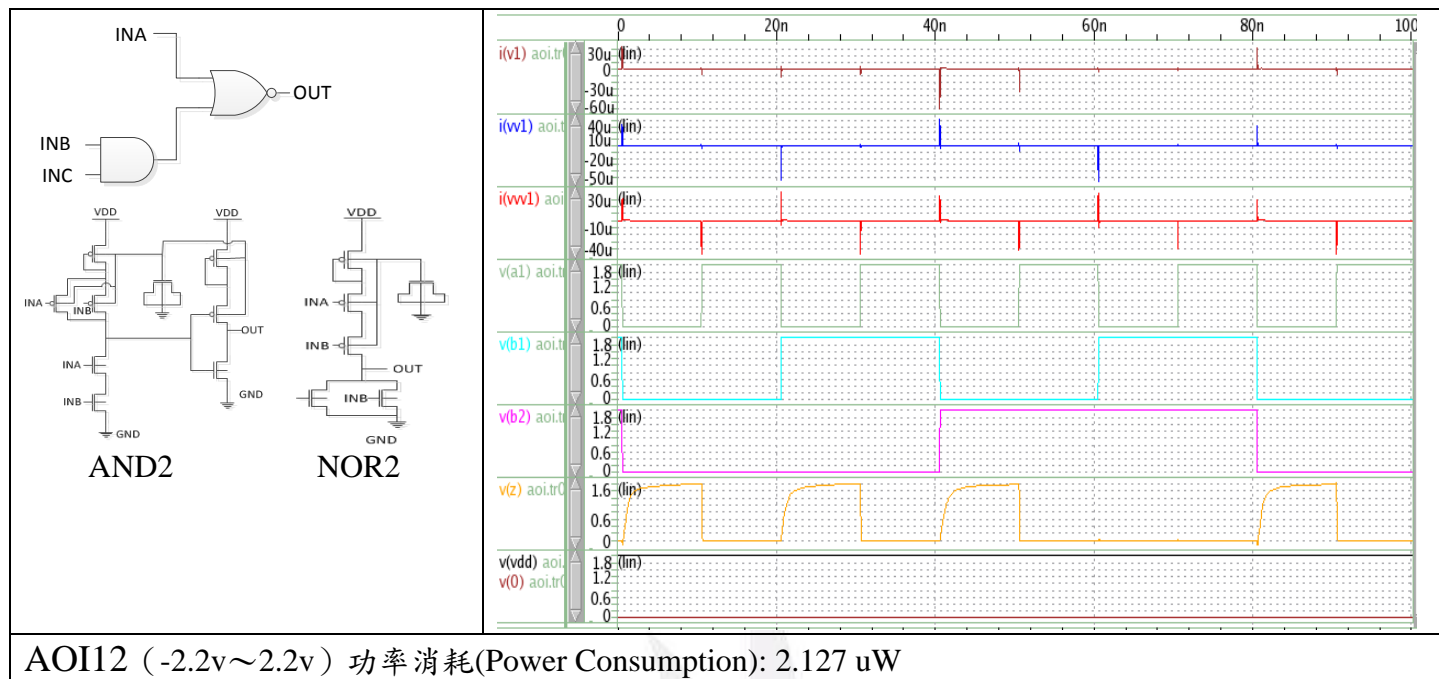


圖 3.18 AOI12 電路圖與波形圖

3.2.5 AOI2 閘

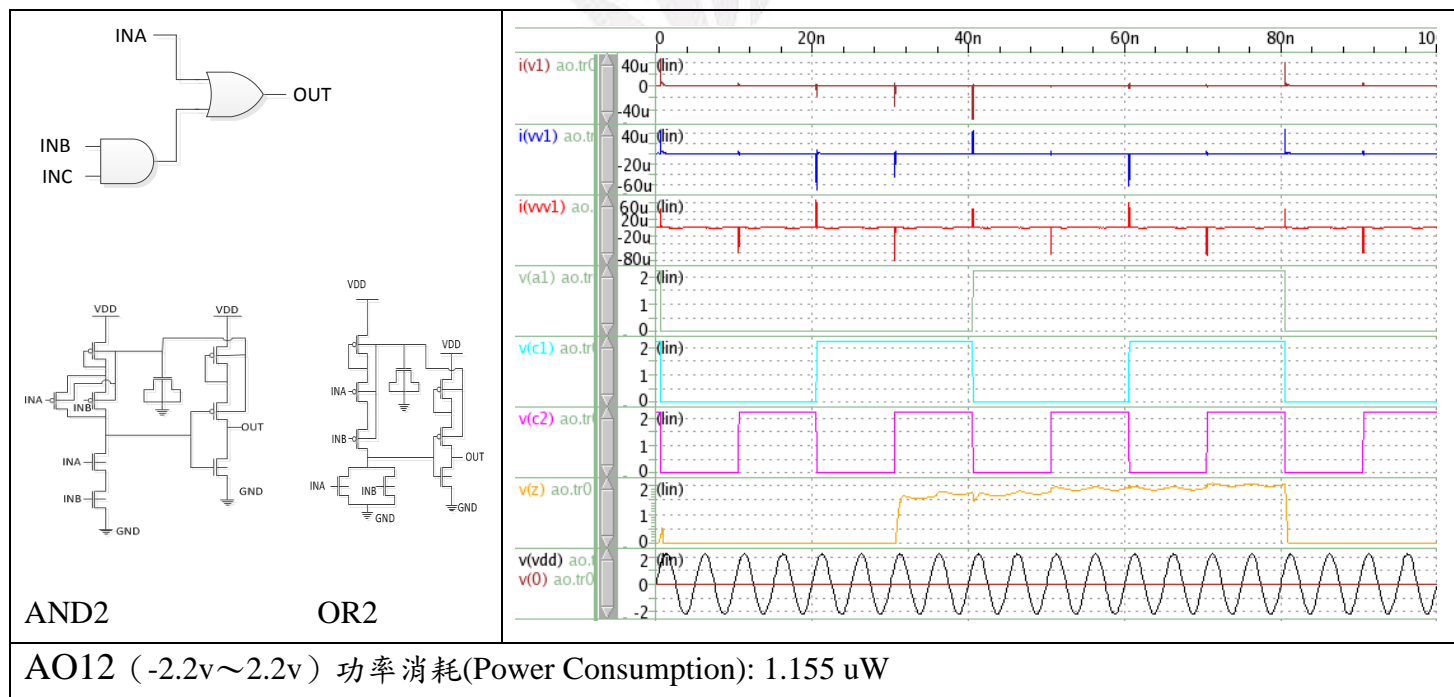


圖 3.19 AOI2 電路圖與波形圖

3.2.6 OA22 開

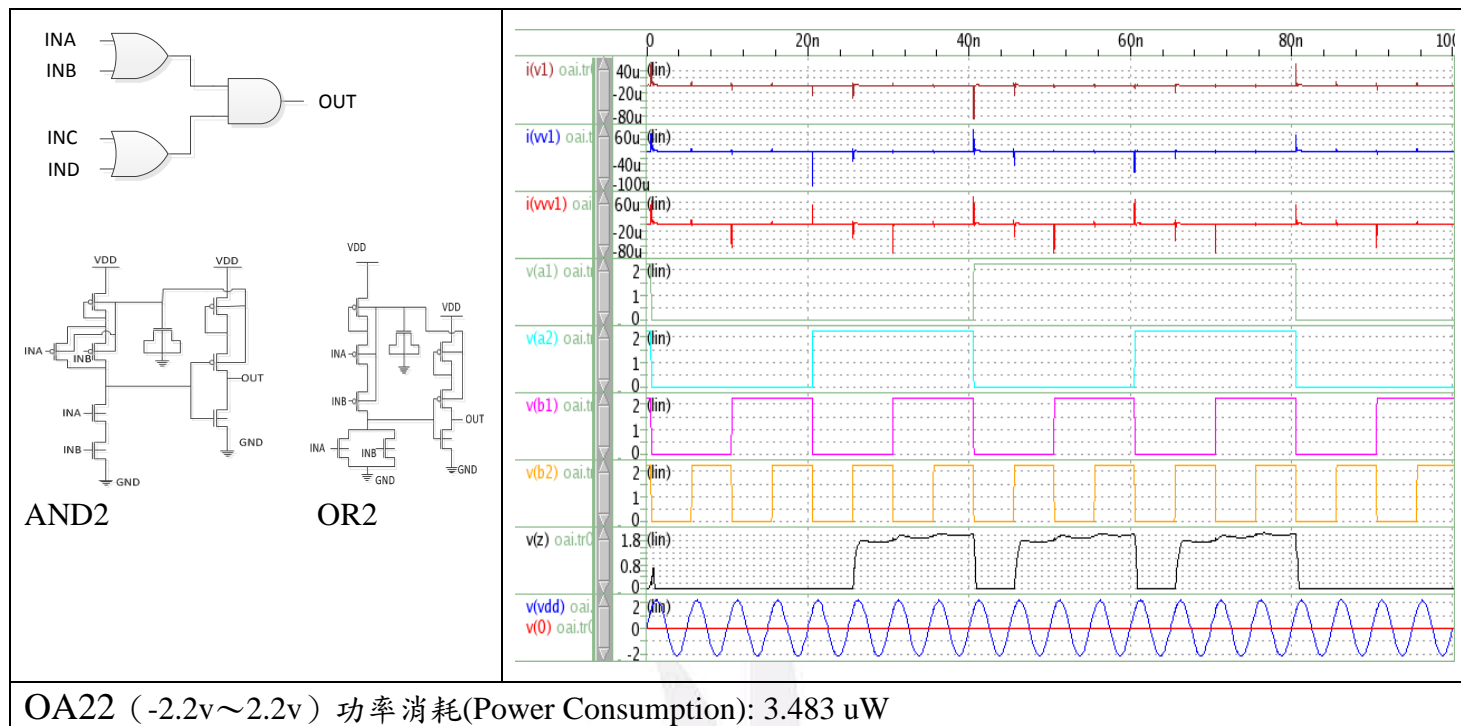


圖 3.20 OA22 電路圖與波形圖

3.2.7 OAI22 開

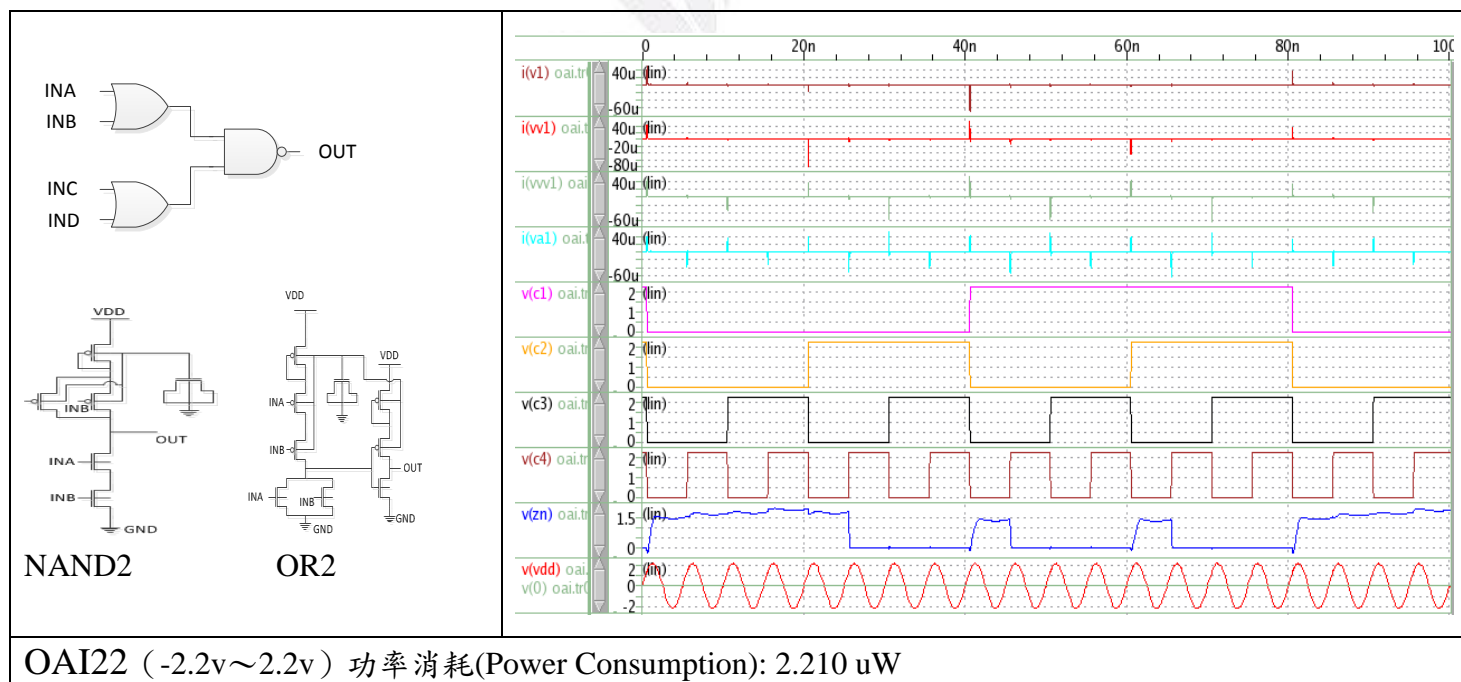


圖 3.21 OAI22 電路圖與波形圖

我們也比較改良後的電路 AC、DC 的功率，結果如圖 3.6

	改良前 DC	改良前 DC	改良後 AC	改良後 AC
	1.8V	2.2V	-1.8V~1.8V	-2.2V~2.2V
Inv1	1.00E-06	1.56E-06	9.20E-07	1.41E-06
And2	1.66E-06	2.59E-06	1.283E-06	2.005E-06
And3	1.20E-06	1.84E-06	9.076E-07	1.411E-06
Or2	1.96E-06	3.01E-06	1.608E-06	1.677E-06
Or3	1.49E-06	1.29E-06	2.284E-06	1.254E-06
Nand2	1.2E-06	1.82E-06	1.1E-06	1.721E-06
Nand3	8.628E-07	1.33E-06	8.25E-07	1.328E-06
Nor2	1.269E-06	1.92E-06	1.09E-06	1.67E-06
Nor3	9.644E-07	1.542E-06	8.362E-07	1.33E-06
Xor2	1.423E-06	2.366E-06	1.565E-06	3.36E-06
D_FF	1.341E-05	2.071E-05	9.054E-06	1.59E-05
Ao12	0.9702E-06	1.493E-06	8.599E-07	1.16E-06
Aoi12	1.679E-06	2.551E-06	1.532E-06	2.13E-06
Oa12	0.966E-06	1.490E-06	0.816E-06	2.17E-06
Oa22	3.63E-06	5.60E-06	2.27E-06	3.48E-06
Oai12	1.532E-06	2.325E-06	1.393E-06	2.03E-06
Oai22	1.727E-06	2.663E-06	1.457E-06	2.21E-06

表格 3 改良後 DC 和 AC 之功率的比較

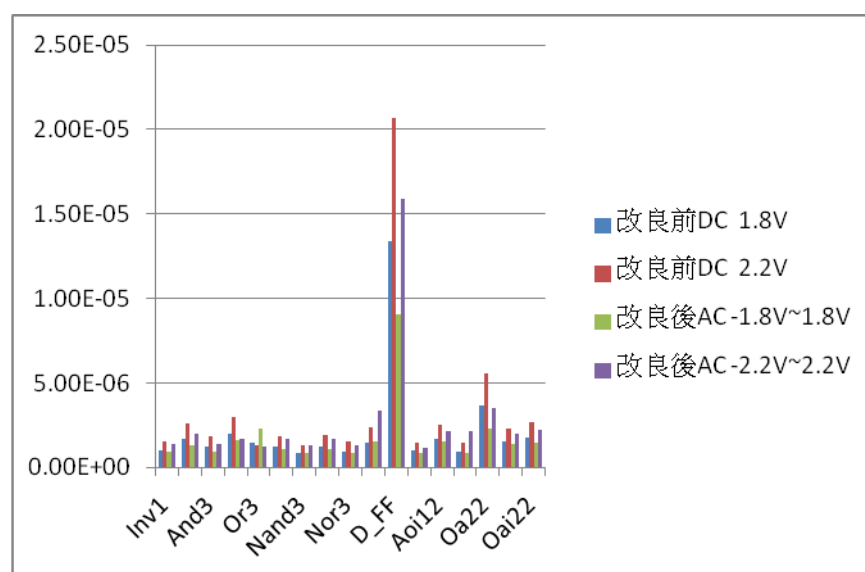


圖 3.22 改良後 DC 和 AC 之功率比較數據圖

以下是改良後之靜態電路與傳統電路給予 AC 與 DC 之時間延遲表。

	Delay Time(Tdr)(sec)			Delay Time(Tdf)(sec)		
	改良之靜態 電路 AC (-2.2V~ 2.2V)	改良之靜態 電路 DC (2.2V)	傳統電路 DC (1.8V)	改良之靜態 電路 AC (-2.2V~ 2.2V)	改良之靜態 電路 DC (2.2V)	傳統電路 DC (1.8V)
INV1	5.78E-11	6.35E-11	6.90E-11	3.96E-10	2.89E-10	8.14E-11
AND2	5.51E-10	3.47E-10	1.62E-10	2.74E-10	1.96E-10	9.44E-11
AND3	5.56E-10	3.64E-10	1.89E-10	2.98E-10	2.09E-10	8.17E-11
OR2	5.27E-10	3.17E-10	1.40E-10	3.89E-10	2.81E-10	1.82E-10
OR3	5.27E-10	3.26E-10	1.51E-10	4.98E-10	3.83E-10	2.39E-10
NAND2	3.58E-10	2.45E-10	7.79E-11	7.45E-11	8.64E-11	8.42E-11
NAND3	3.58E-10	2.43E-10	6.10E-11	9.84E-11	1.12E-10	1.13E-10
NOR2	5.61E-10	4.40E-10	2.52E-10	5.75E-11	6.83E-11	6.22E-11
NOR3	7.38E-10	6.03E-10	2.67E-10	5.53E-11	6.92E-11	7.84E-11
XOR2	4.03E-10	3.12E-10	1.68E-10	2.59E-10	2.48E-10	2.23E-10
D_FF	2.37E-10	3.45E-10	1.05E-10	3.00E-10	2.33E-10	1.21E-10
AO12	4.49E-10	3.22E-10	1.59E-10	1.99E-10	1.79E-10	1.55E-10
AOI12	5.63E-10	3.89E-10	1.96E-10	8.01E-11	9.20E-11	8.77E-11
OA12	2.97E-10	3.09E-10	1.58E-10	1.16E-10	1.42E-10	1.07E-10
OA22	3.17E-10	2.19E-10	1.25E-10	1.99E-10	1.84E-10	1.65E-10
OAI12	4.04E-10	2.73E-10	6.50E-11	7.32E-11	8.37E-11	9.49E-11
OAI22	5.07E-10	3.58E-10	1.55E-10	7.52E-11	8.58E-11	8.45E-11

我們發現在頻率不一樣時會直接的影響到上升(Tdr)與下降(Tdf)之 Delay Time。

以下是改良後之靜態電路與傳統電路給予 AC 與 DC 之面積比較表。

	面積		
	改良之靜態電路 AC(-2.2V~2.2V)	改良之靜態電路 DC (2.2V)	傳統電路 DC (1.8V)
INV1	29.55u	29.55u	18.07u
AND2	46.40u	46.40u	25.69u
AND3	49.87u	49.87u	29.57u
OR2	45.55u	45.55u	25.69u
OR3	53.72u	53.72u	33.44u
NAND2	34.46u	34.46u	21.84u
NAND3	38.31u	38.31u	25.69u
NOR2	34.46u	34.46u	21.87u
NOR3	38.31u	38.31u	25.69u
XOR2	60.38u	60.38u	48.82u
D_FF	172.16u	172.16u	118.20u
AOI2	56.53u	56.53u	33.40u
AOI12	44.97u	44.97u	25.69u
OA12	52.68u	52.68u	37.28u
OA22	48.198u	48.198u	41.11u
OAI12	44.986u	44.986u	25.69u
OAI22	52.68u	52.68u	33.40u

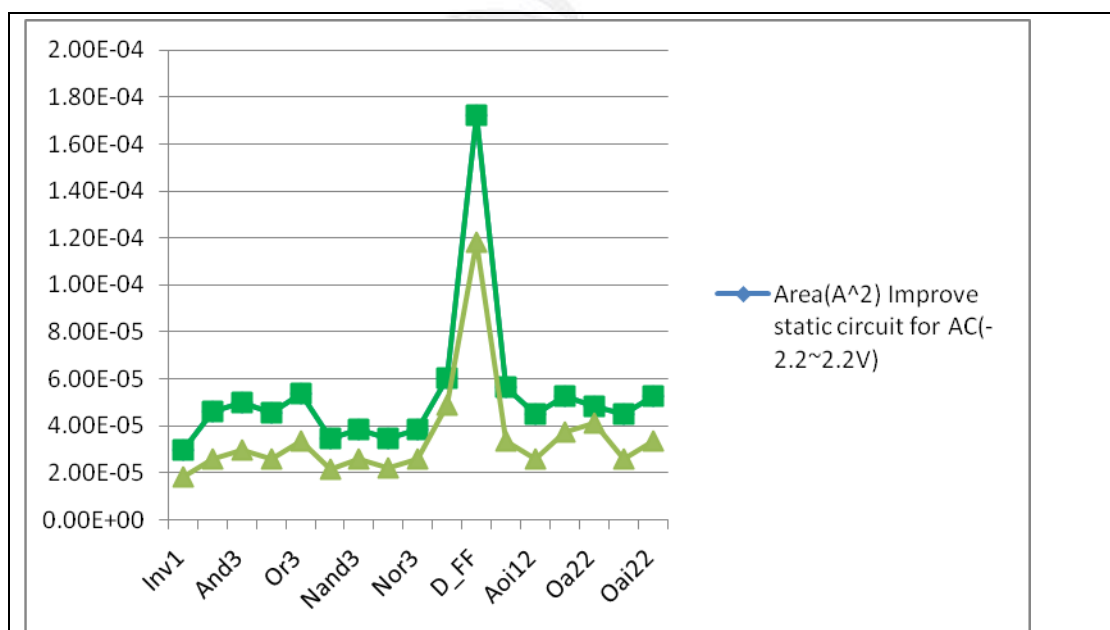


圖 3.23 改良後之靜態電路與傳統電路給予 AC 與 DC 之面積圖表

第四章、流程設計

4.1 設計流程

- 1.設計能夠使用 AC 的 cell
- 2.結果正確往下到 3，不正確回到 1
- 3.建立元件庫
- 4.比較每個元件 DC 跟 AC 的結果
- 5.用 c6288 電路去自動繞線，並看結果是否正確
- 6.分析模擬結果
- 7.加入 PAD
- 8.分析加入 PAD 後的 POST-SIMULATION 結果
- 9.下線晶片製作
- 10.量測與改進

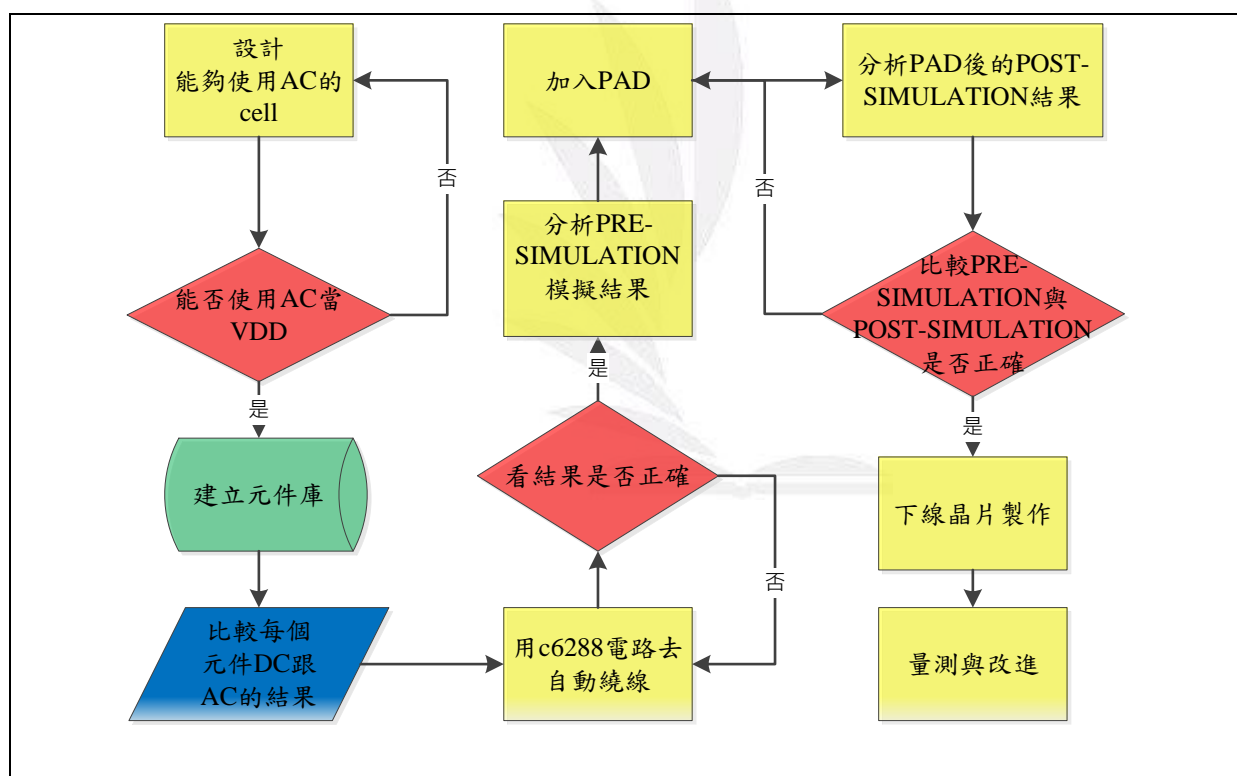


圖 2.1 流程圖

4.2 電路詳圖

4.2.1 本晶片設計採用 c6288 電路來驗證電路使用 AC(VDD)

4.2.2 62882 電路：16×16 乘法器

4.2.3 電路設計：主要使用元件

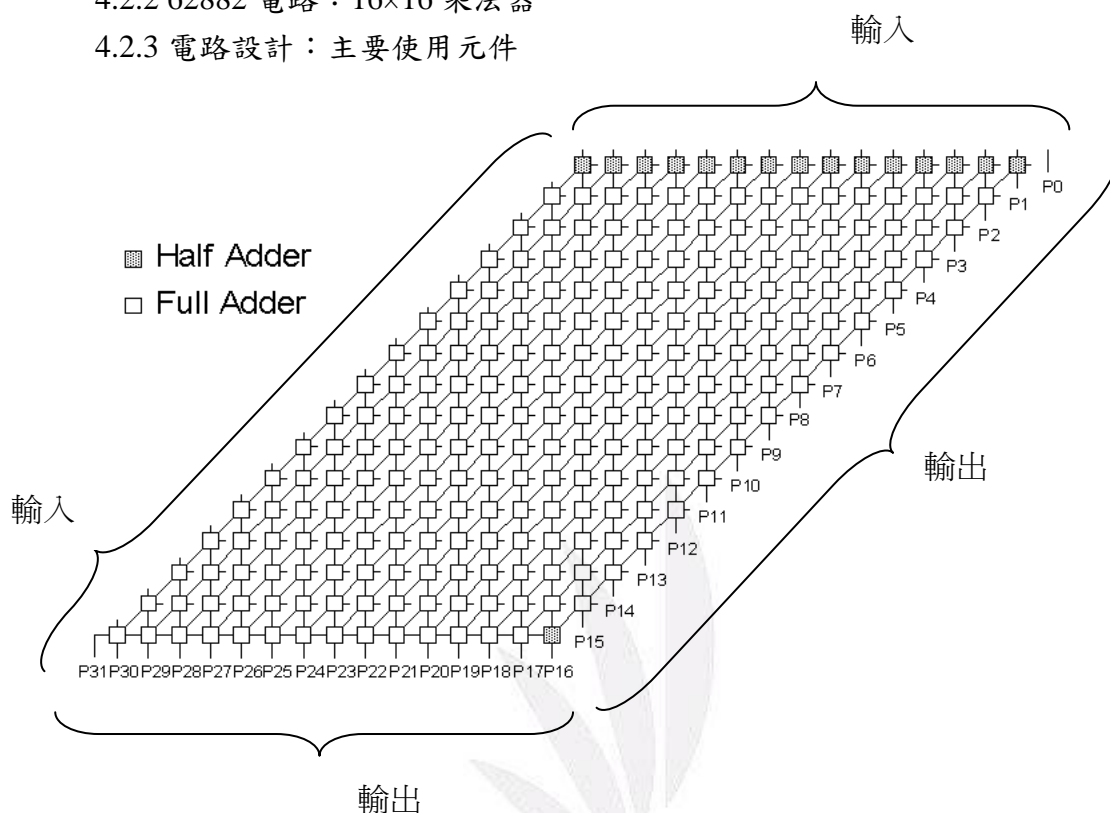


圖 4.2 16bit 乘法器結構圖

輸入運算範圍：(二進位) 0000~0000 -> 1111~1111

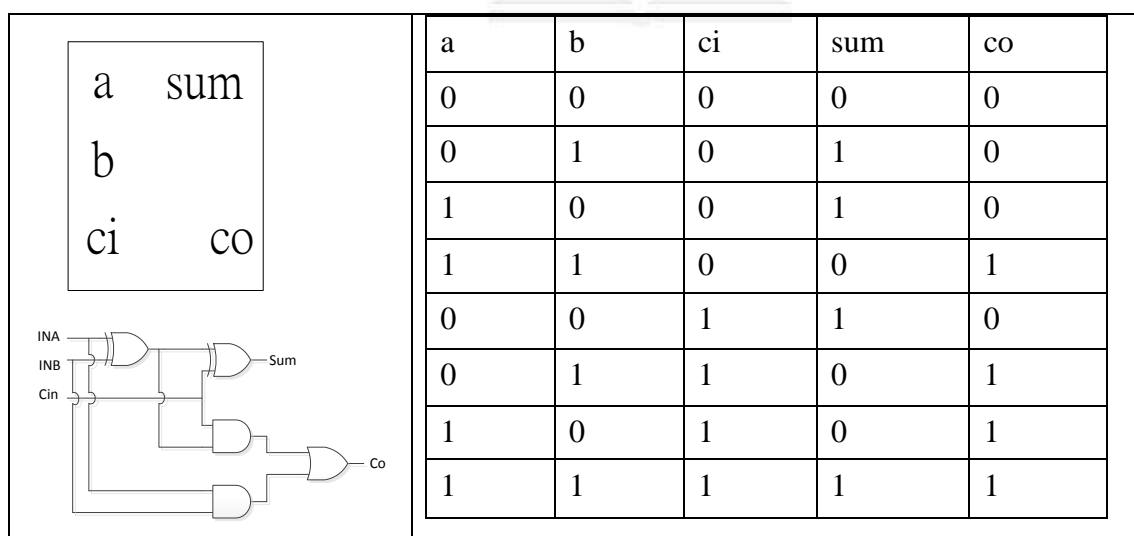


圖 4.3 Full Adder

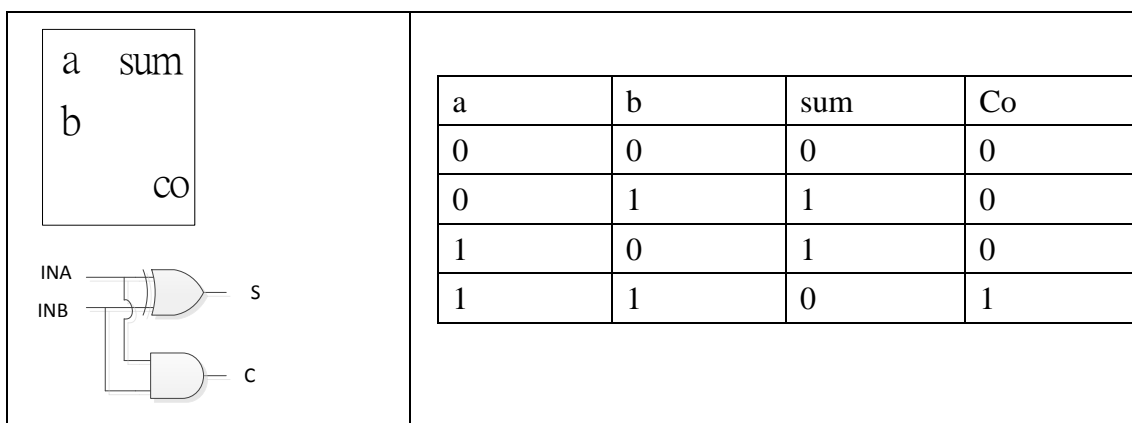


圖 4.4 Half Adder

4.3 內建自我測試方法與驗證 ACDFE

因為32bit乘法器需要66隻接腳(32隻輸入腳，32隻輸出腳，2隻phi腳)，但是晶片的腳位只能提供40隻腳位，所以加上LFSR & MISR兩個電路來節省腳位，以及驗證我們所設計的ACDFE是否能夠使用在電路上面，電路中所使用到的DFE皆是我們自行設計的ACDFE。

4.3.1 LFSR

線性回授移位暫存器 (Linear Feedback Shift Registers, LFSR)。當 CLOCK 信號改變時，線性回授移位暫存器內 D flip-flop 的值就會改變，此時我們就可以將這些會一直改變的值當成測試輸入，送給電路做測試。

一般的線性回授移位暫存器可以分為兩類，分別是 External XOR 線性回授移位暫存器和 Internal XOR 線性回授移位暫存器。這兩種線性回授移位暫存器的主要差別在於 External XOR 線性回授移位暫存器的 XOR 閘是放在電路的回授路徑上。而 Internal XOR 的線性回授移位暫存器的加法器則是放在兩個暫存器之間。這兩種不同結構的線性回授移位暫存器所產生出的測試向量也不一樣，External XOR 線性回授移位暫存器所產生的測試向量有下列特性：每個向量與下個向量之間的關係，是向量中的位分別往右移了一位。而 Internal XOR 的線性回授移位暫存器的 XOR 閘是在暫存器之間，所以產生的測試向量看起來比 External XOR 線性回授移位暫存器有更隨機的特性，所以我們必須選擇 Internal XOR LFSR 作為測試輸入產生器。

但除了(0000)之外，其他都可以循環，所以就著每個 D 型的正反器都用反向的輸出輸出來。

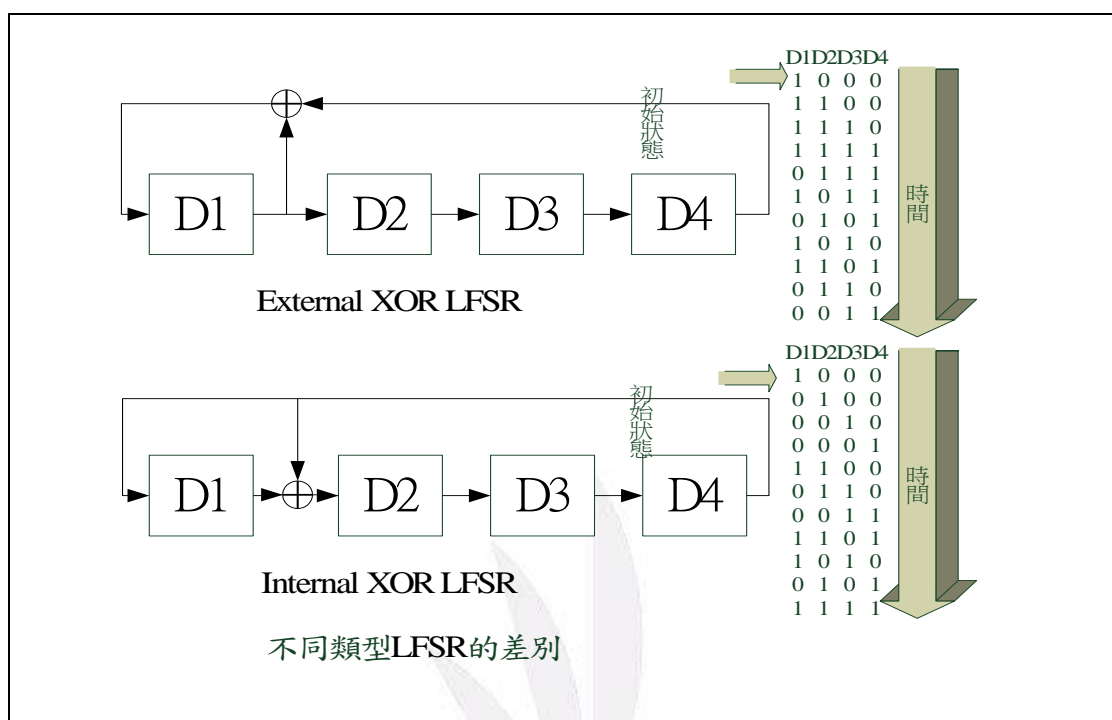


圖 4.5 INTERNAL LFSR 與 LFSR EXTERNAL 的差別

4.3.2 MISR

多輸入特徵暫存器 (Multiple Input Signature Register, MISR) 是線性回授移位暫存器的一種。將待測電路的輸出部分加入線性回授移位暫存器裡，就成為一個多輸入特徵暫存器。

多輸入特徵暫存器最主要的特性是在於它的初始狀態。即其暫存器的值，不僅與現在的狀態有關，還與初始輸入值有關。

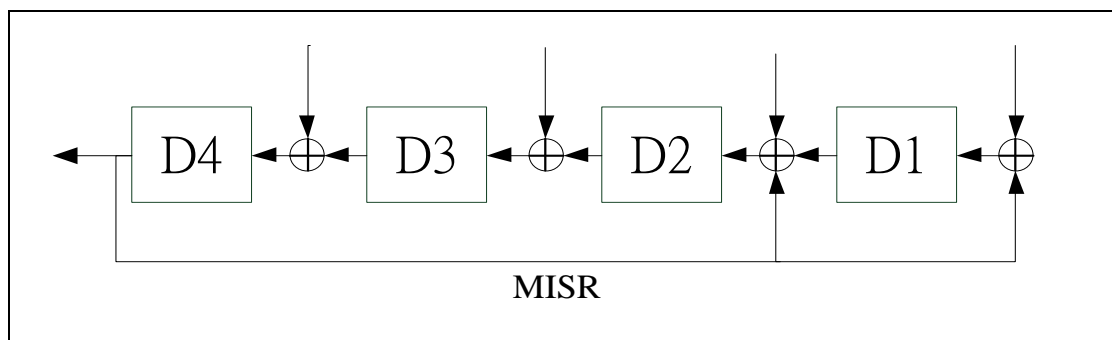


圖 4.6 MISR 電路圖

4.3.3 與乘法器合成的電路圖與解說

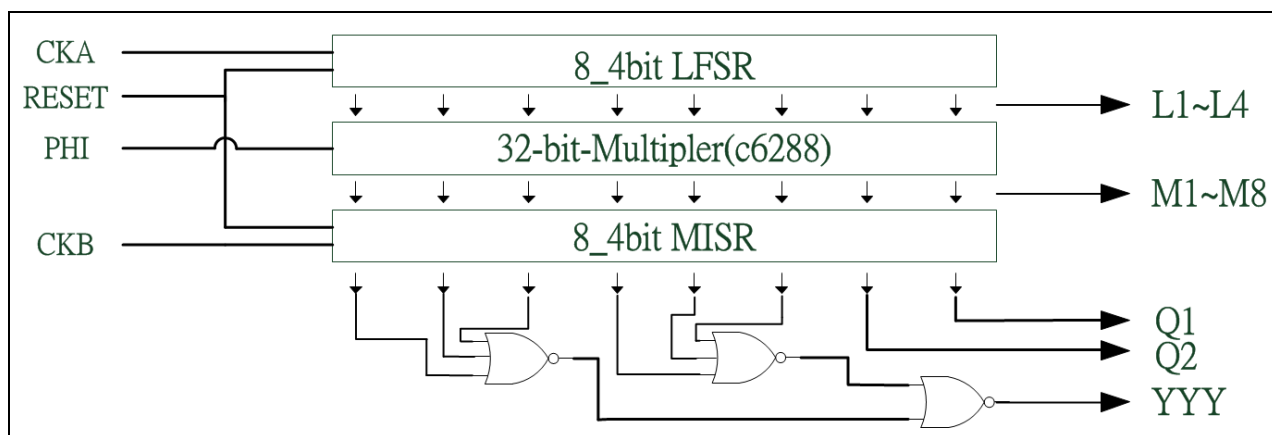


圖 4.7 完整電路圖

輸入端共有四隻腳位:

1. 控制LFSR的CKA
2. 控制C6288的PHI
3. 控制MISR的CKB
4. RESET

輸出端共有15隻腳位:

1. L1~L4為驗證LFSR是否有正常工作，也為C6288的輸入端，在模擬實可以看出進去C6288的值是否正確。
2. M1~M8為C6288的輸出，用來觀察C6288工作情況，是否在AC(VDD)情況下有算錯的情形。
3. Q1為MISR的壓縮值，MISR的輸入為M1~M4。
4. Q2為MISR的壓縮值，MISR的輸入為M5~M6。
5. YYY為剩下6個MISR的壓縮值。

第五章、模擬結果與分析說明

5.1 Pre-Simulation

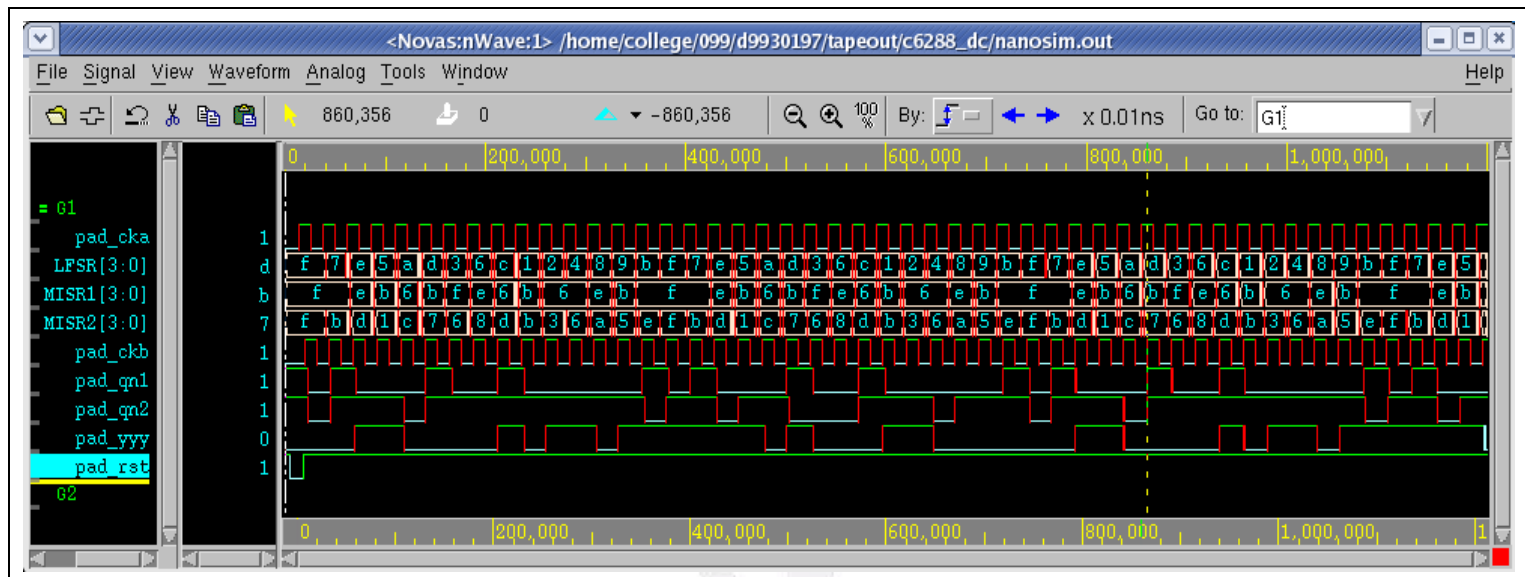


圖 5.1 Presimulation 信號模擬

圖 5.1 是我們在 Pre-Simulation 時候的結果圖，電壓為 DC，這可以被用來觀察在 AC 電壓底下的範例，在 LFSR 的輸出部分可以看到循環的效果，在此的 MISR 為 C6288 的輸出，相對的 MISR 也會有相同的情況。

LFSR 輸出觀察(腳位觀察)：

Vdd : AC 電源(-2.2V~2.2V)

CKA : LFSR 的 CLK

LFSR 為單一個 4Bit LFSR 的輸出與加總數值。

圖 5.1 的 LFSR 的輸出是我們一組的 4BIT_LFSR 的輸出，可以觀測出他是否有正常工作，並且以 15 個訊號為一個循環，我們可以藉由觀察循環的情況來判斷使用 AC 元件庫建成的 LFSR 是否能夠在 AC 情況下正常工作。

C6288 輸出觀察(腳位觀察)：

Vdd : AC 電源(-2.2V~2.2V)

MISR1 和 MISR2: 皆為 c6288 的輸出值。

LFSR	F	7	E	5	A	D	3	6	C	1	2	4	8	9	B	F
MISR1	F	F	E	B	6	B	F	E	6	B	6	6	E	B	F	F
MISR2	F	B	D	1	C	7	6	8	D	B	3	6	A	5	E	F

圖 5.2 在 DC 電壓的輸出結果整理出來的數值

上圖是根據我們在 DC 電壓的輸出結果整理出來的數值，可以看出兩者的數值是相同的，這可以證明我們的設計是能夠使用在 AC 上面。

5.2 Post-Simulation

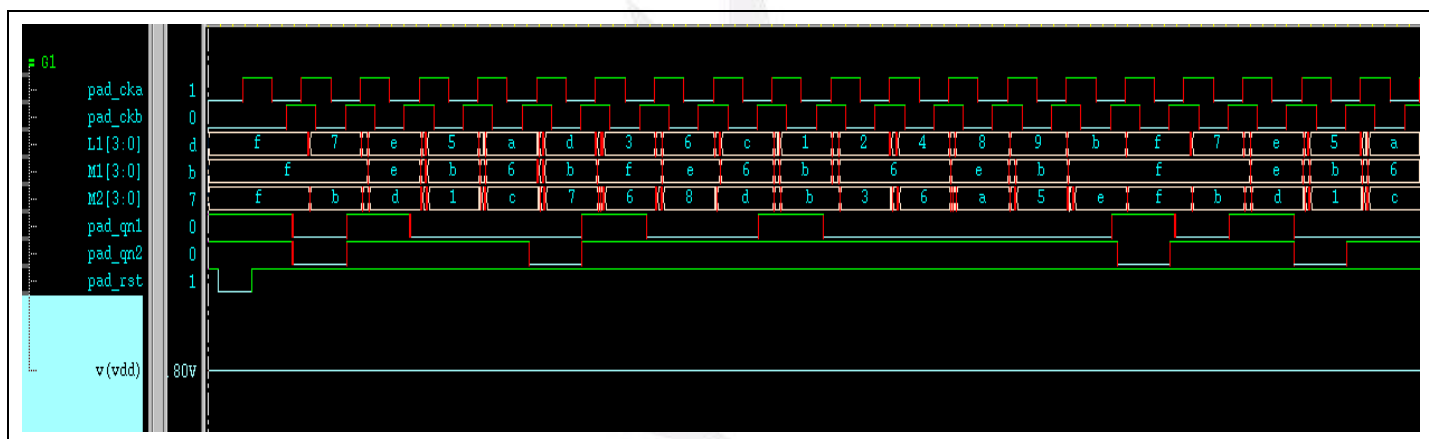


圖 5.3 DC 的輸出結果

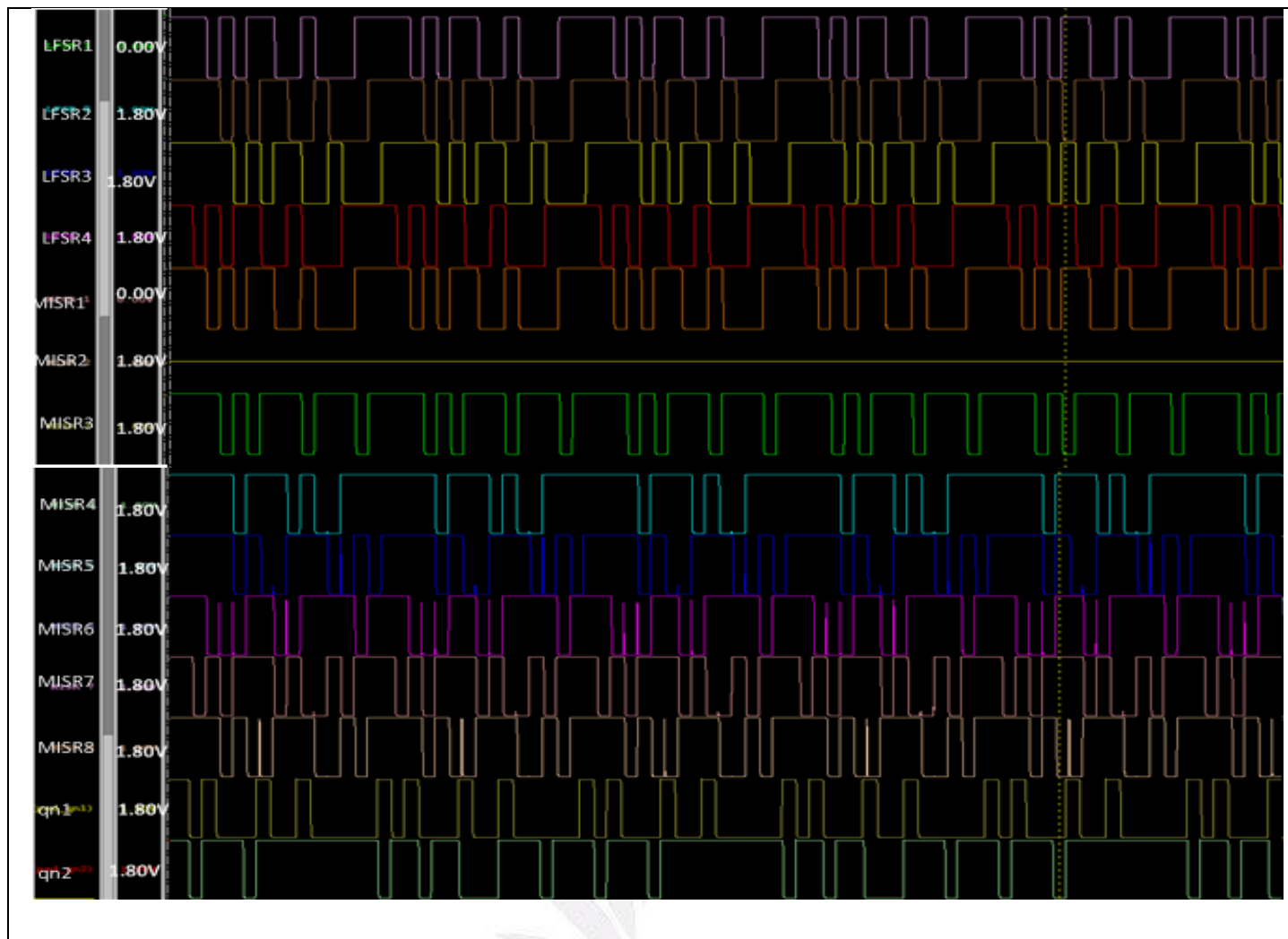


圖 5.4 DC 的詳細輸出結果

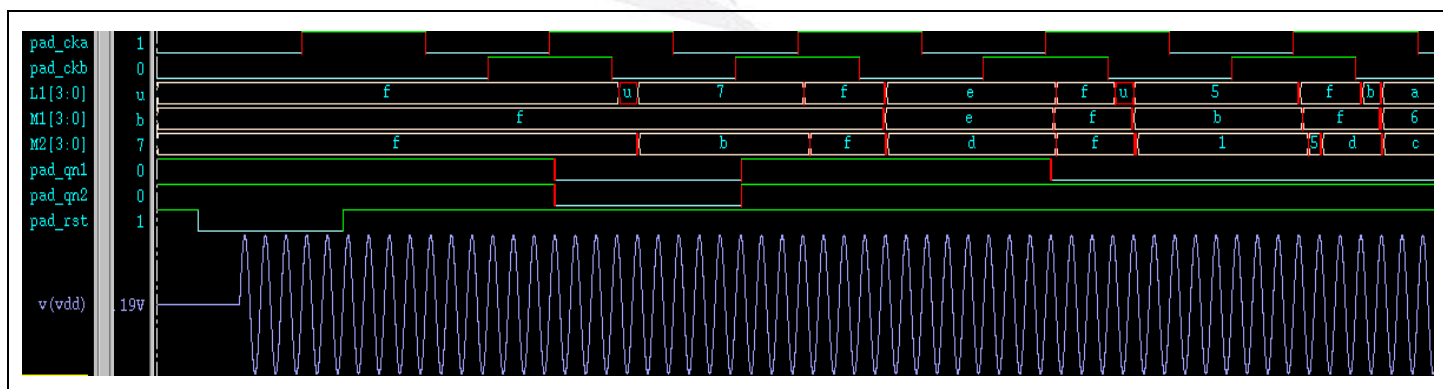


圖 5.5 AC 的輸出結果

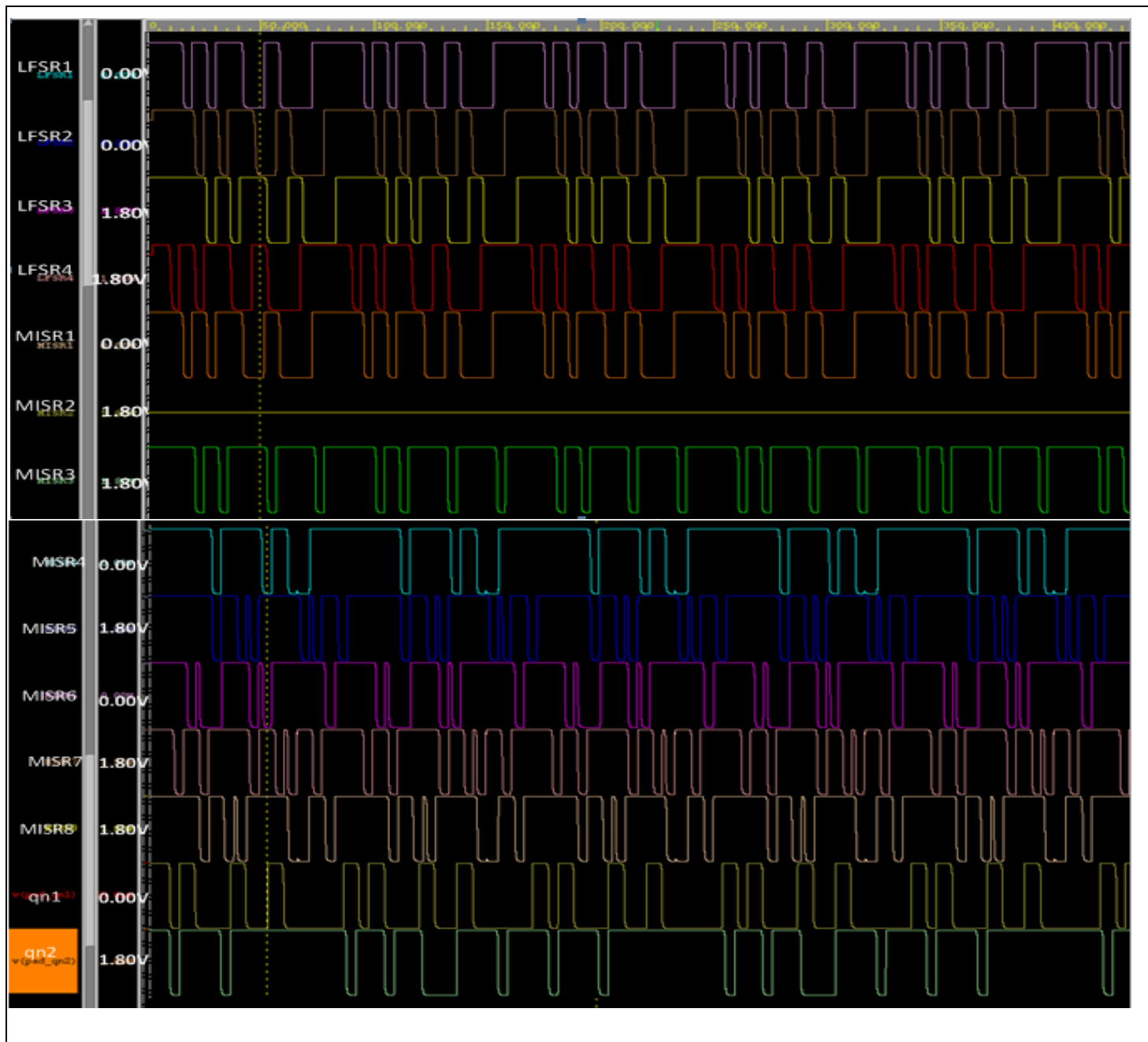


圖 5.6 AC 的詳細輸出結果

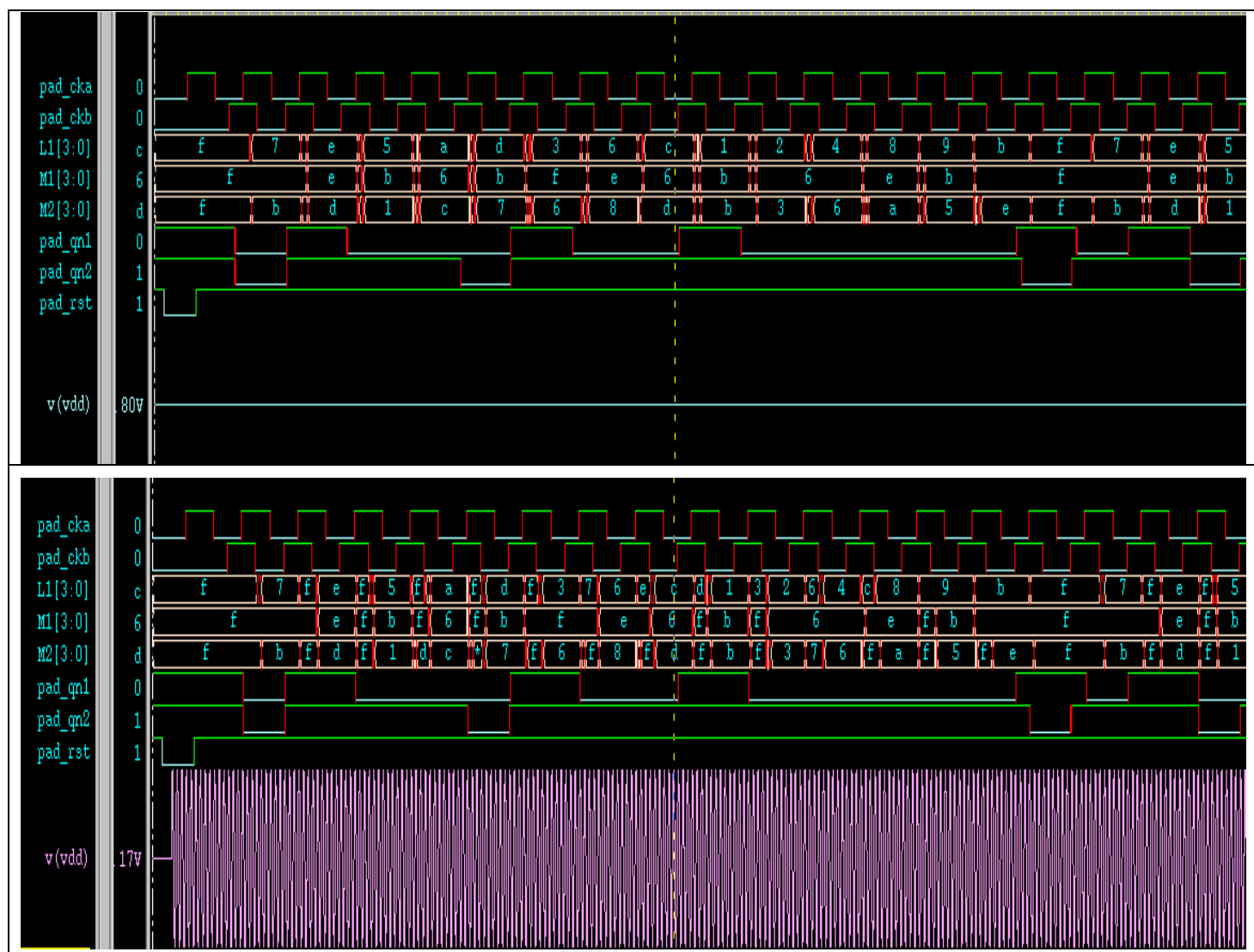


圖 5.7 DC 和 AC 的數值相同，所以我們的設計可用在 AC 上面

MISR 輸出觀察(腳位觀察)：

Vdd : AC 電源(-2.2V~2.2V)

CKB : MISR 的 CLK

q1 : 為單一 MISR 的壓縮值

q2 : 為單一 MISR 的壓縮值

YYY : 為 6 個 MISR 的壓縮值經過邏輯閘出來的數值

5.3 SOC 繞線完成圖

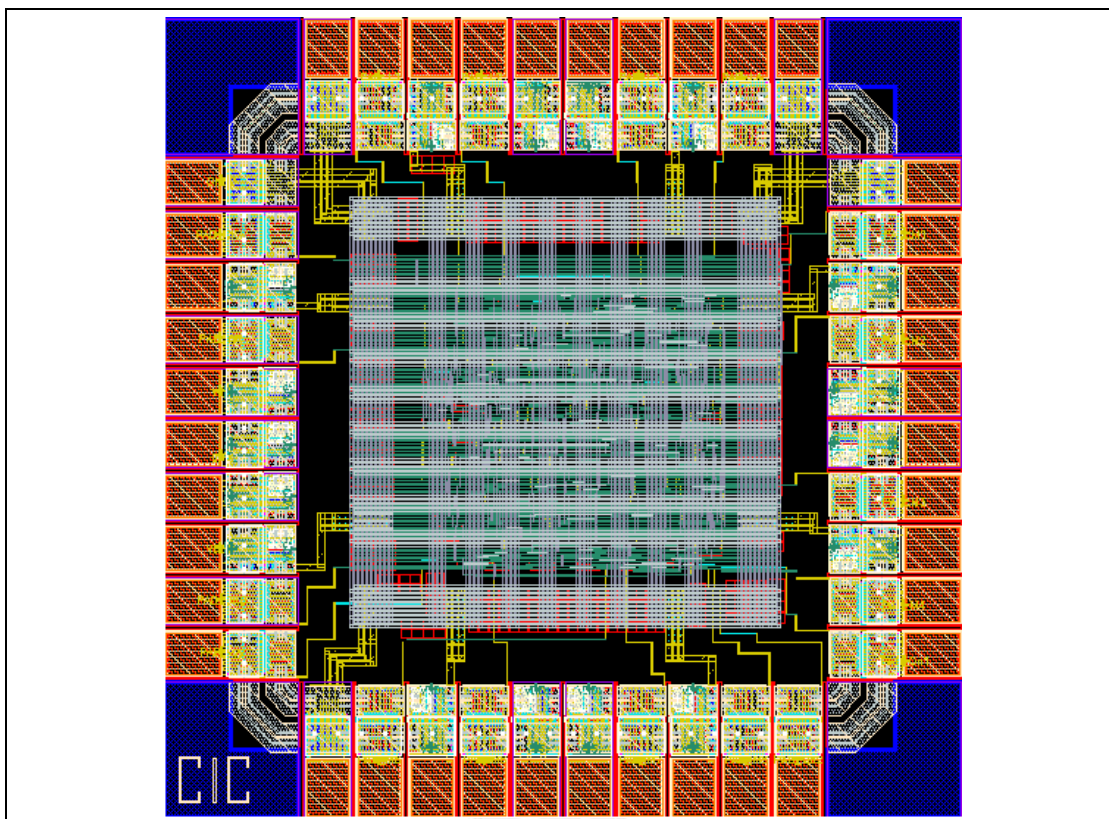


圖 5.8 晶片設計圖

	Pre simulation	Post simulation	Post simulation
Technology	TSMC 0.18 CMOS 1P		
Package	40 S/B		
Supply Voltage	DC 1.8v	AC 2.2v	DC 1.8v
Chip size	1.090 x 1.090 mm²		
Power Consumption	11.8mW	87.16mW	3.847mW
MAX Frequency	4.167MHz	4.167MHz	4.167MHz

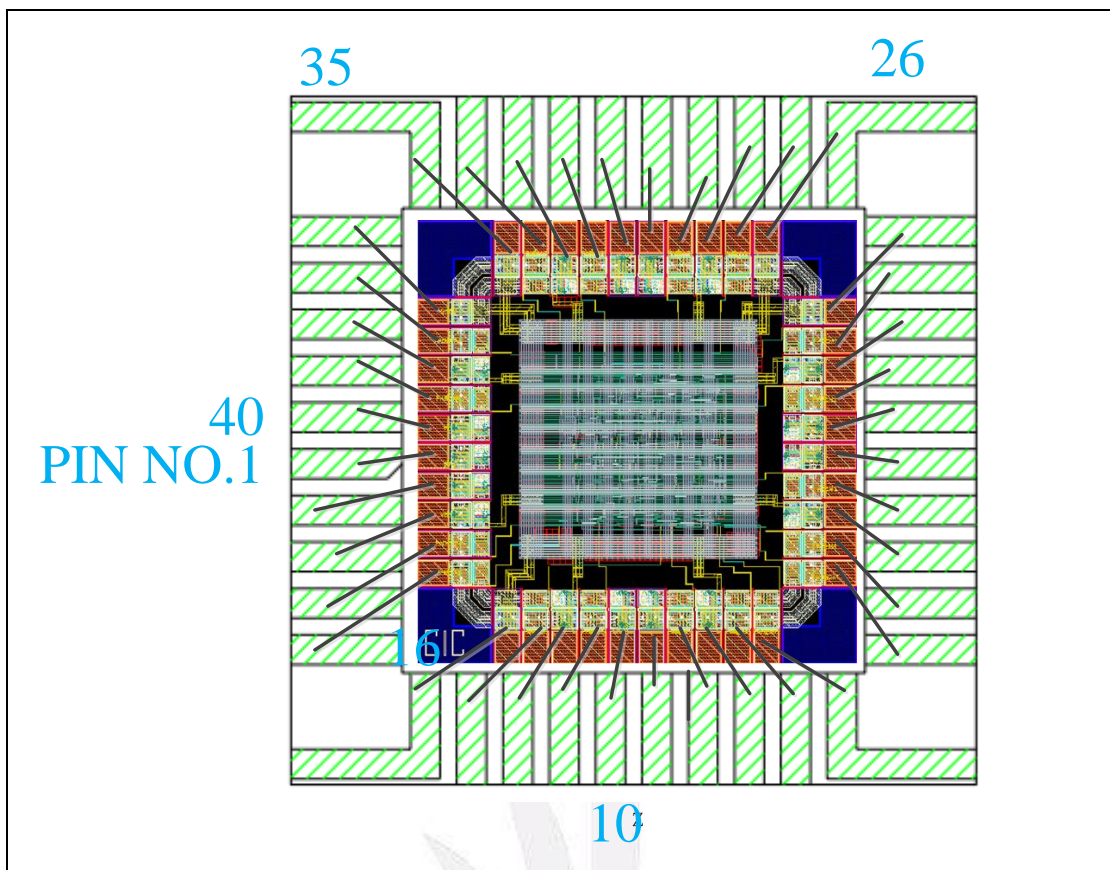


圖 5.9 晶片打線圖

5.4 佈局驗證結果錯誤說明

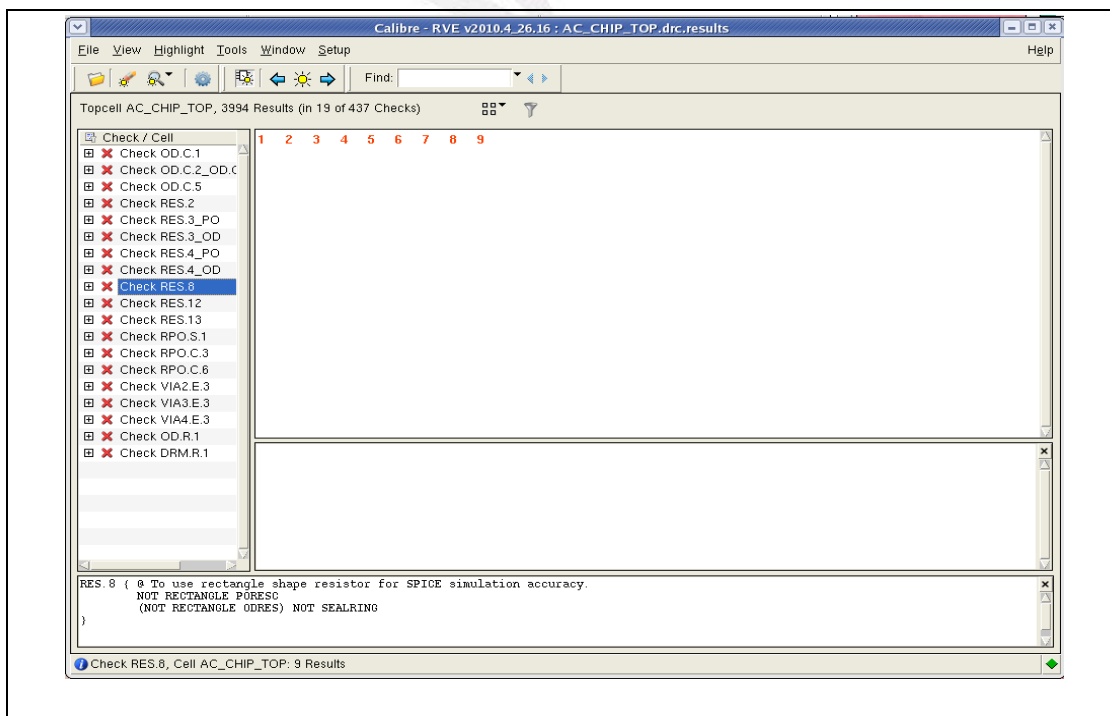


圖 5.10 DRC 驗證結果: DRC 已錯 3394 個錯誤 (可容許之錯誤)

電路佈局驗證 (layout versus schematic, LVS) 是一種電子設計自動化 (electronic design automation, EDA) 工具，其功能為驗證特定積體電路與其原始電路設計之間的差異有無異常。設計規範驗證 (design rule check, DRC) 可修正並檢驗佈局 (layout) 是否符合設計規範，但 DRC 無法保證在佈局完全符合設計規範的情況下，線路依舊維持設計者的預期，而 LVS 則是這個階段的最適合的解決方案。

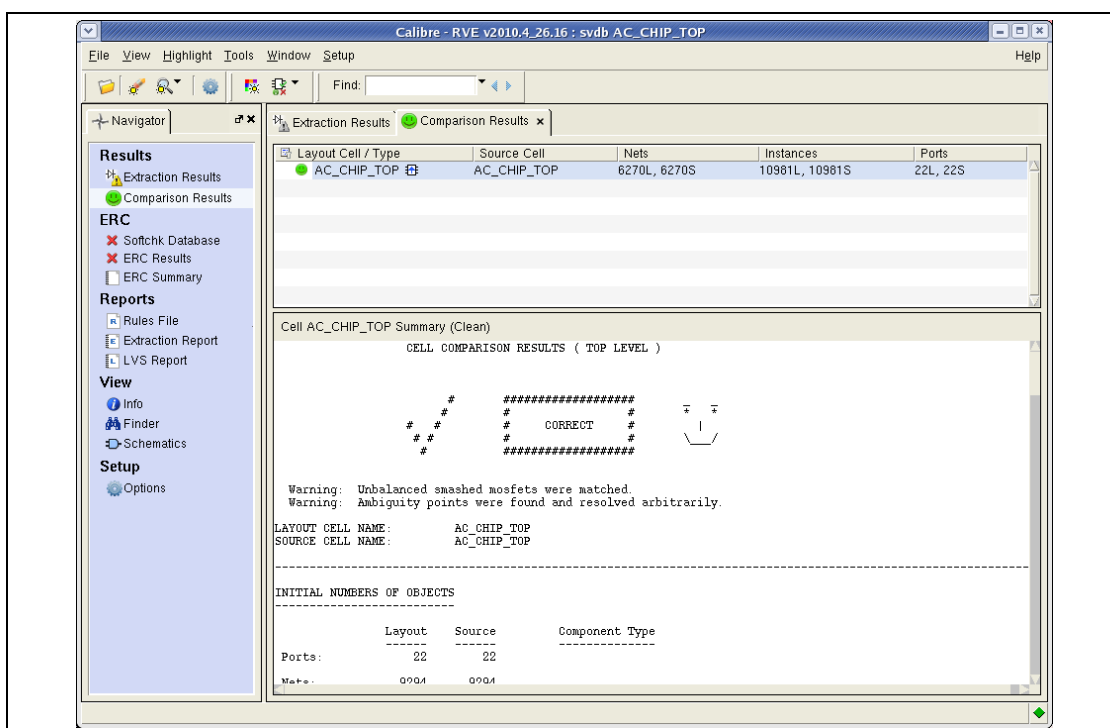


圖 5.11 LVS 的結果

5.5 量側考量

晶片實作後，以 off-line 方式進行晶片測試。

off-line：使用測試機台直接進行晶片測試，測試分為三部分

1. 首先驗證 LFSR 是否正常工作，輸出腳位 L1~L4 是否和設計時的輸出相同。
2. 透過觀察 C6288 的輸出 M1~M8 腳位，檢視組合電路工作是否都正常並觀察輸出變化了解設計目標是否達成。
3. 觀察 MISR 的輸出來看是否有把 C6288 出來的值運算正確。

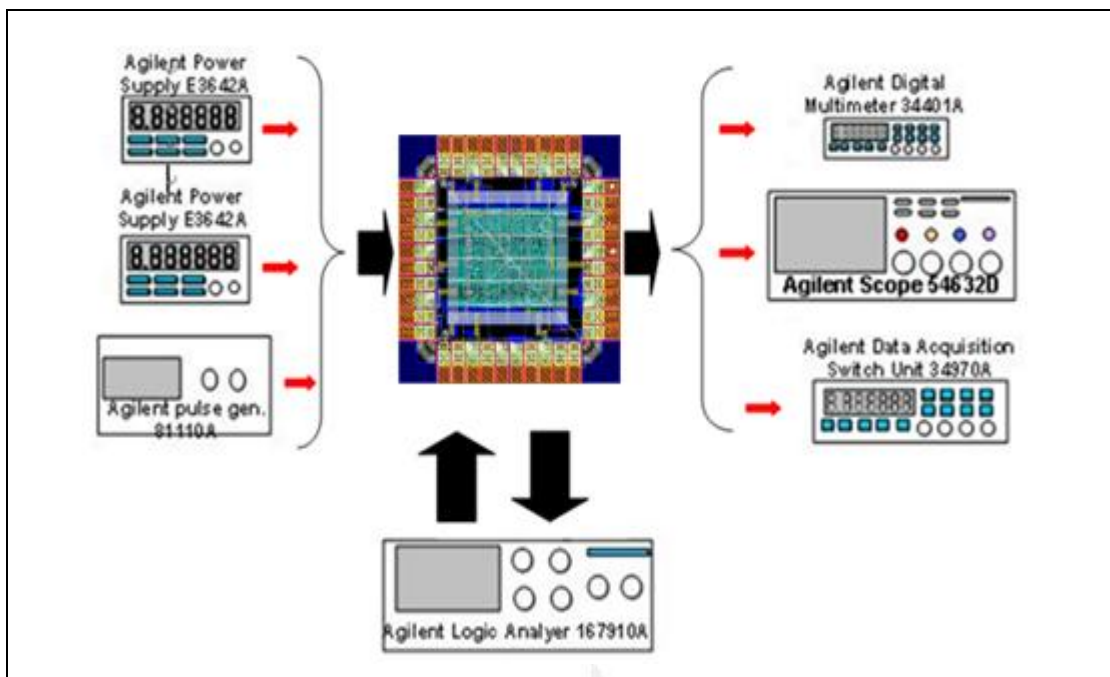


圖 5.12 量測步驟

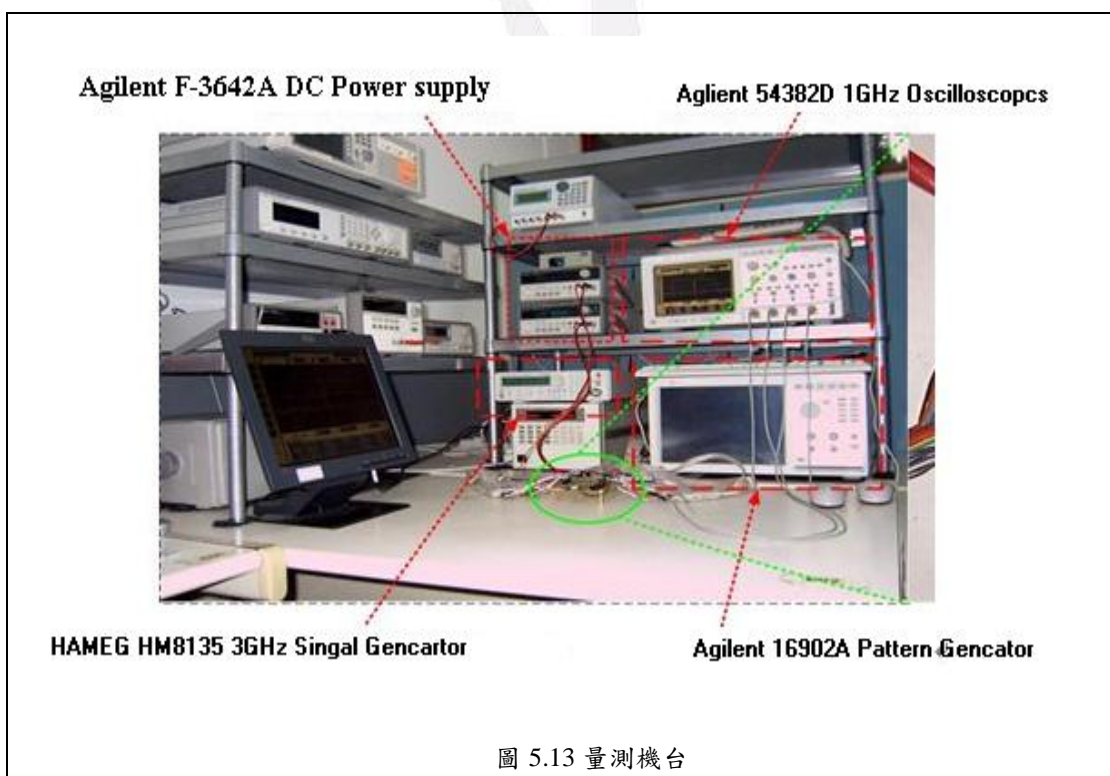
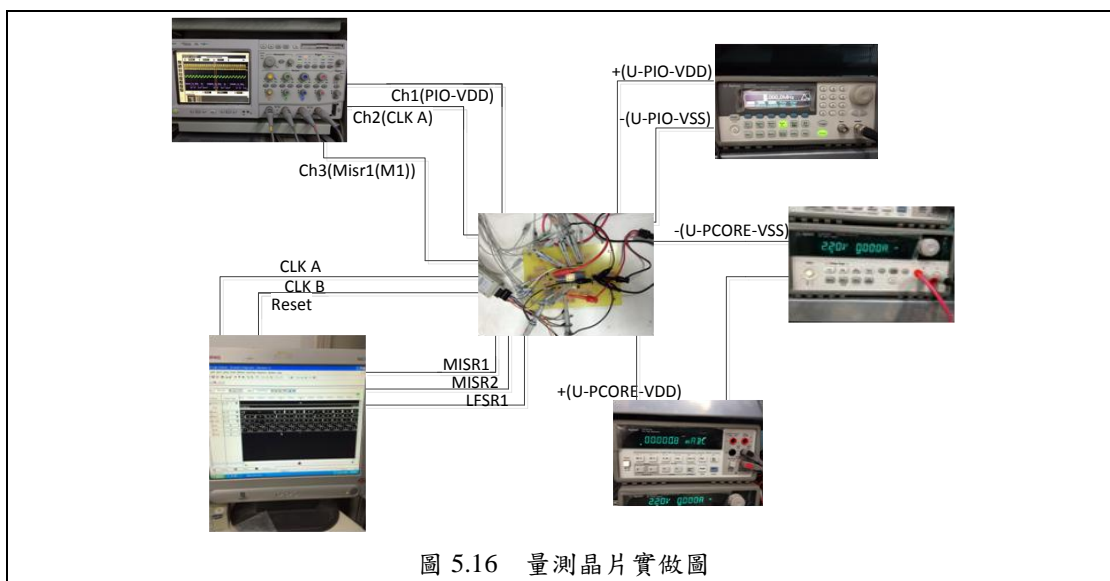
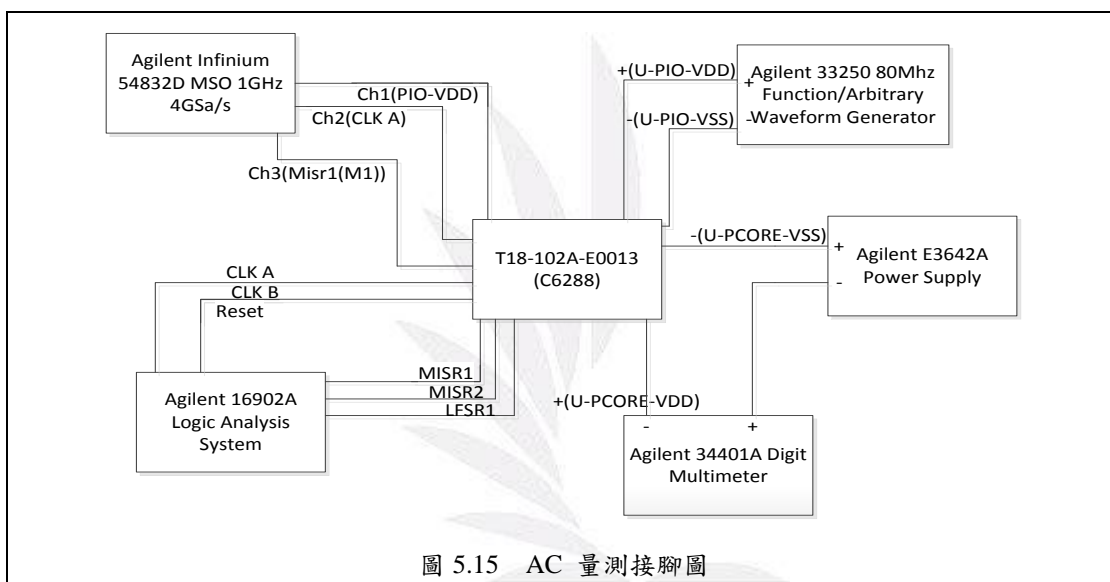
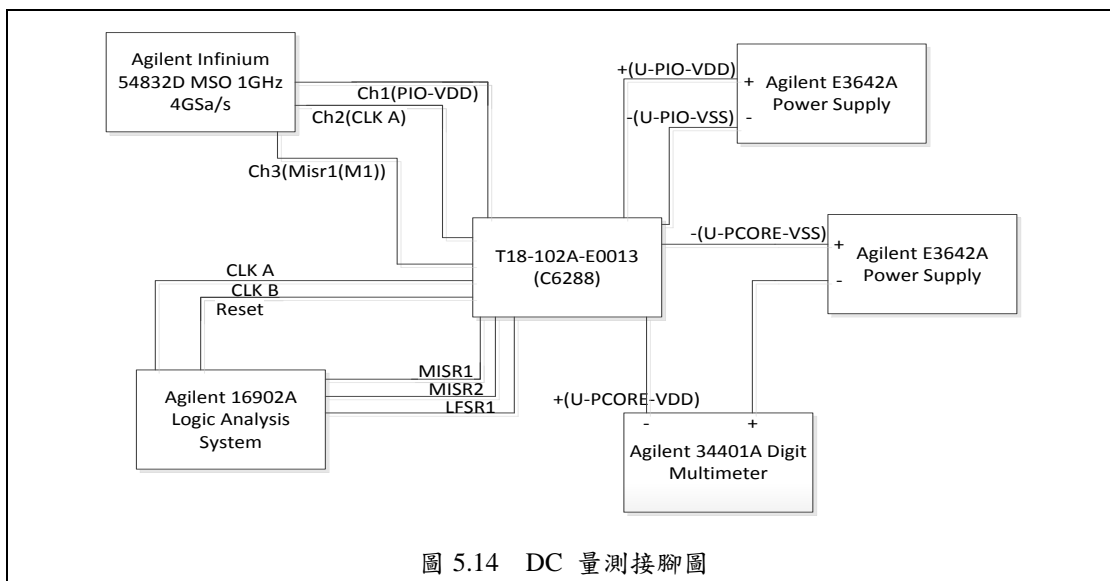


圖 5.13 量測機台



5.6 量測結果與分析

5.6.1 DC 量測結果

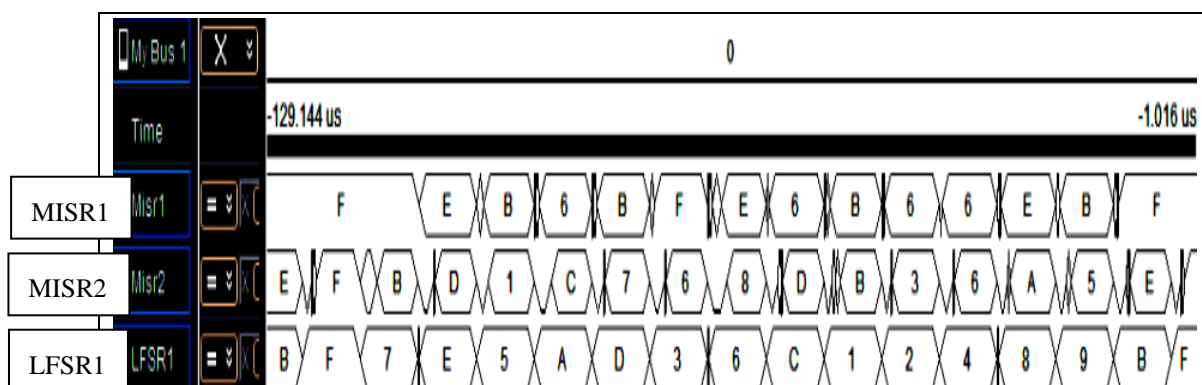


圖 5.17 DC 1.8 晶片實際量測結果

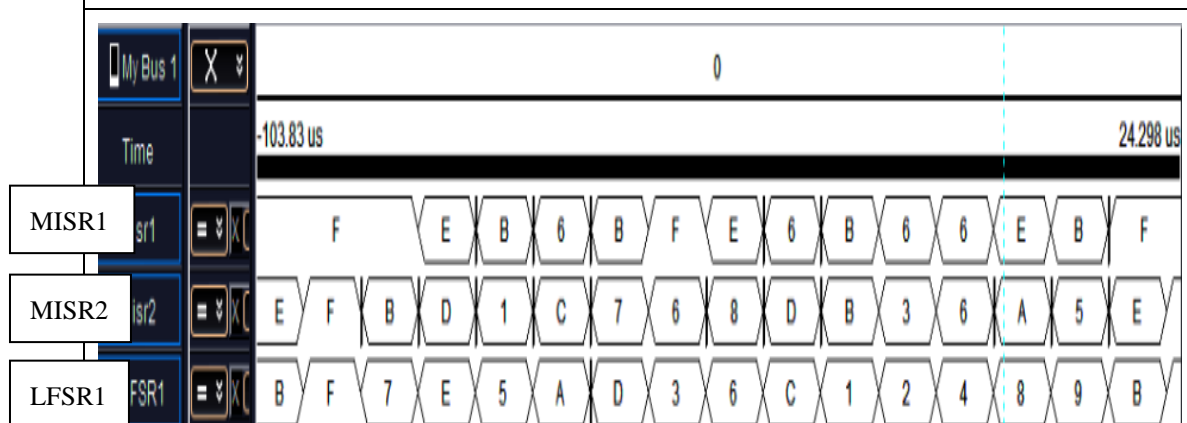


圖 5.18 DC 2.2 晶片實際量測結果

我們比對了模擬時的數值，發現數值跟模擬的相同，因此我們先確定了我們的晶片在 DC 使用上的乘法器計算結果是正確的。

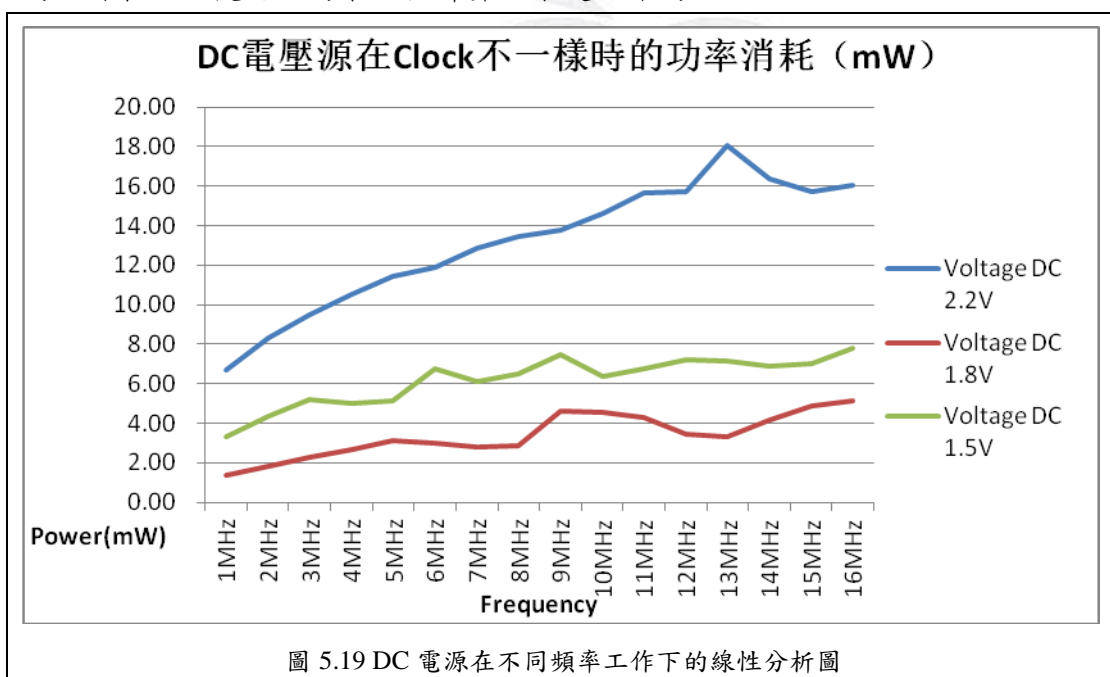


圖 5.19 DC 電源在不同頻率工作下的線性分析圖

	DC 1.5V	DC 1.8V
dvss average current	4.68031e+03 uA	1.48023e+03 uA
dvdd average current	-5.16336e+03 uA	-1.82656e+03 uA
Average supply current	-5413.356846 uA	-2136.970768 uA
Average wasted current	-4672.843807 uA	-1493.817271 uA
Average static wasted current	-3794.947112 uA	-790.896925 uA
Average block power	9669.190283 uW	3846.500463 uW

圖 5.16 DC 量測結果中我們可以發現新的邏輯閘及其所建構的電路隨著頻率增加，其功率消耗相對的增加，但最特殊的是隨著電壓上升，功率可能反下降，例如，從圖上的 DC1.8V 的功率消耗僅低於 DC1.5V 的功率消耗，Average supply current 指的是電晶體 I_{ON} 的電流，在 1.5V 時推估因為電容是先儲存電荷關係造成 $V_{DS} \geq V_{GS} - V_T$ 也就是 PMOS 與 NMOS 都工作在接近 turn on 的狀態(不是如同原 CMOS 電路的行為)，所以沒有 Full Swing 的輸出，也造成其 I_{ON} 電流過大。但是電壓到達 2.2V 時極大的順偏電流造成功率消耗大量增加。

5.6.2 AC 量測結果

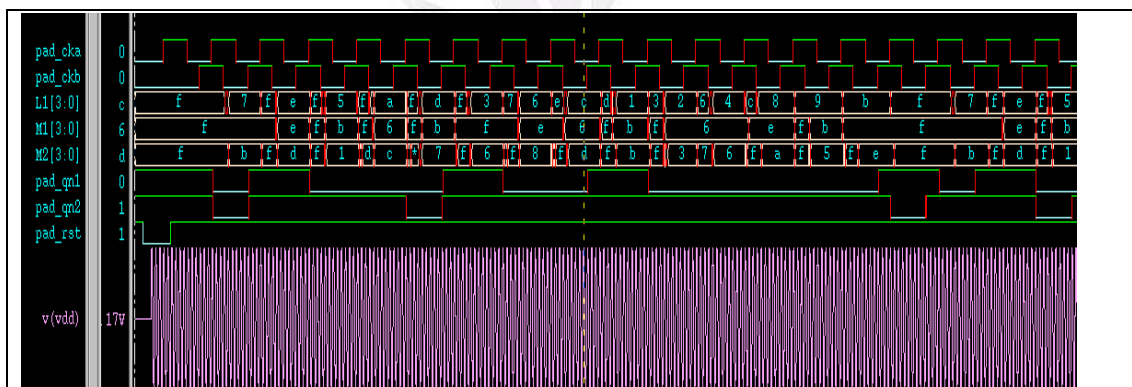


圖 5.20 (A) AC 模擬數據

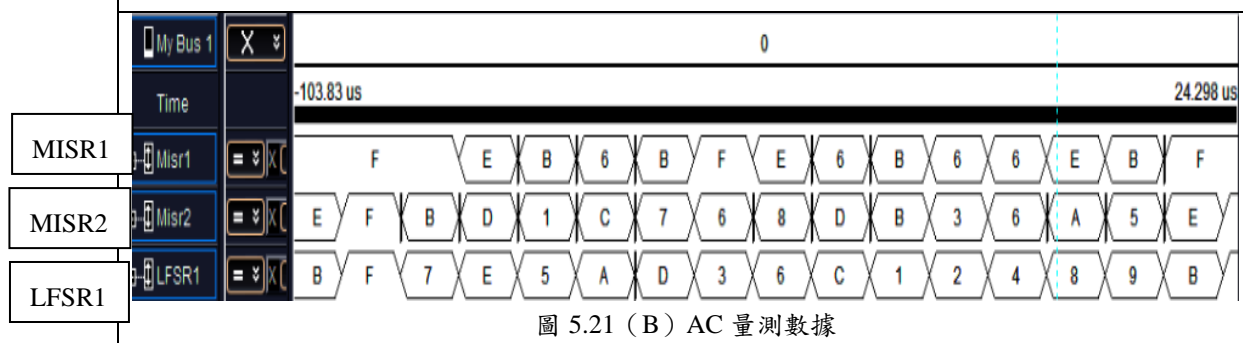


圖 5.21 (B) AC 量測數據

我們比對了模擬時的數值，確定數值跟模擬的相同，因此我們也確定了我們的晶片在使用 AC 時乘法器計算結果是正確的。

下面的圖是使用示波器的量測結果說明:

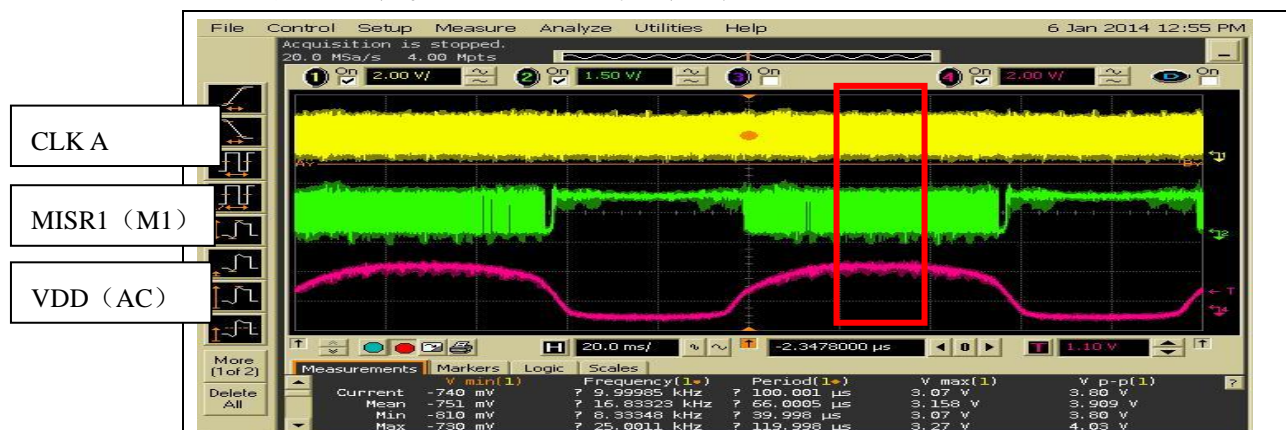


圖 5.22 AC (-2.2V~2.2V) 60Hz 量測結果

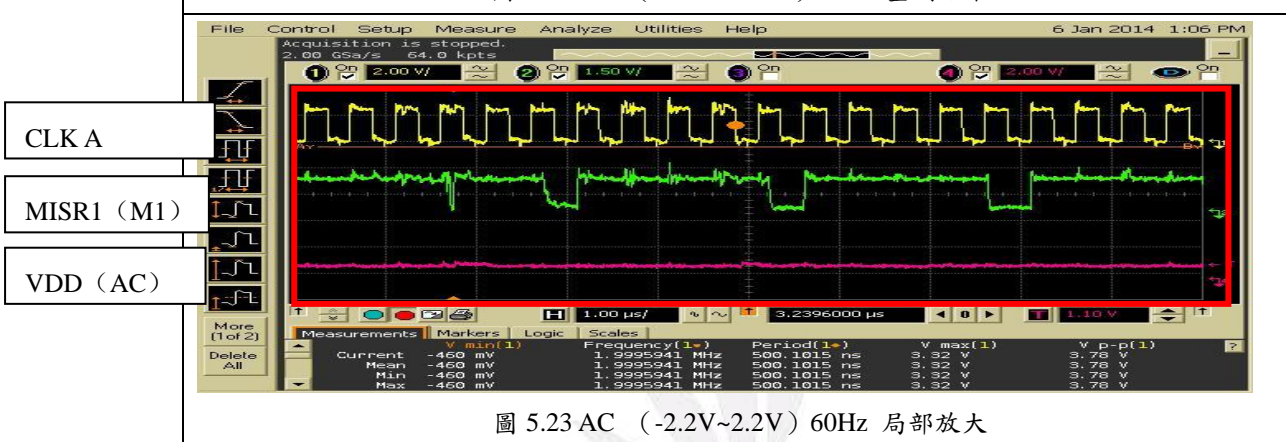


圖 5.23 AC (-2.2V~2.2V) 60Hz 局部放大

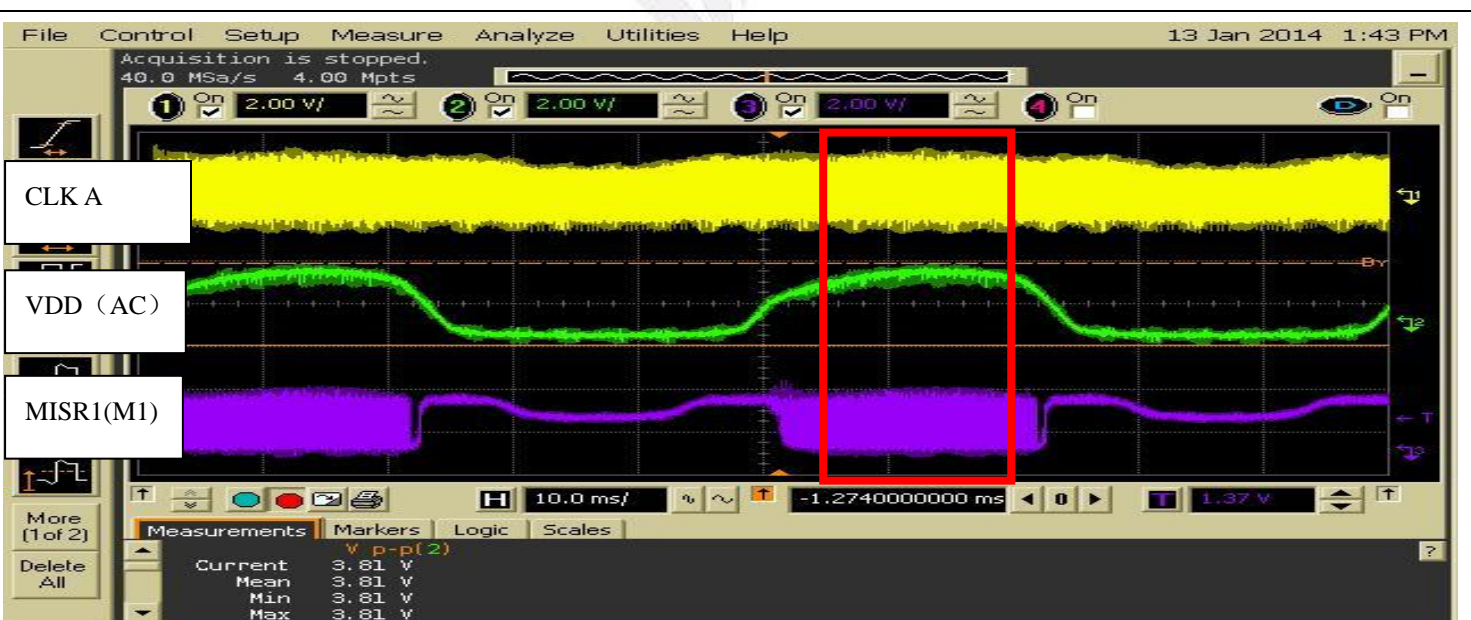


圖 5.24 AC (-2.2V~2.2V) 60Hz, Clock 為 8Mhz 的量測結果



圖 5.25 AC (-2.2V~2.2V) 60Hz，Clock 為 8Mhz 的局部放大量測結果



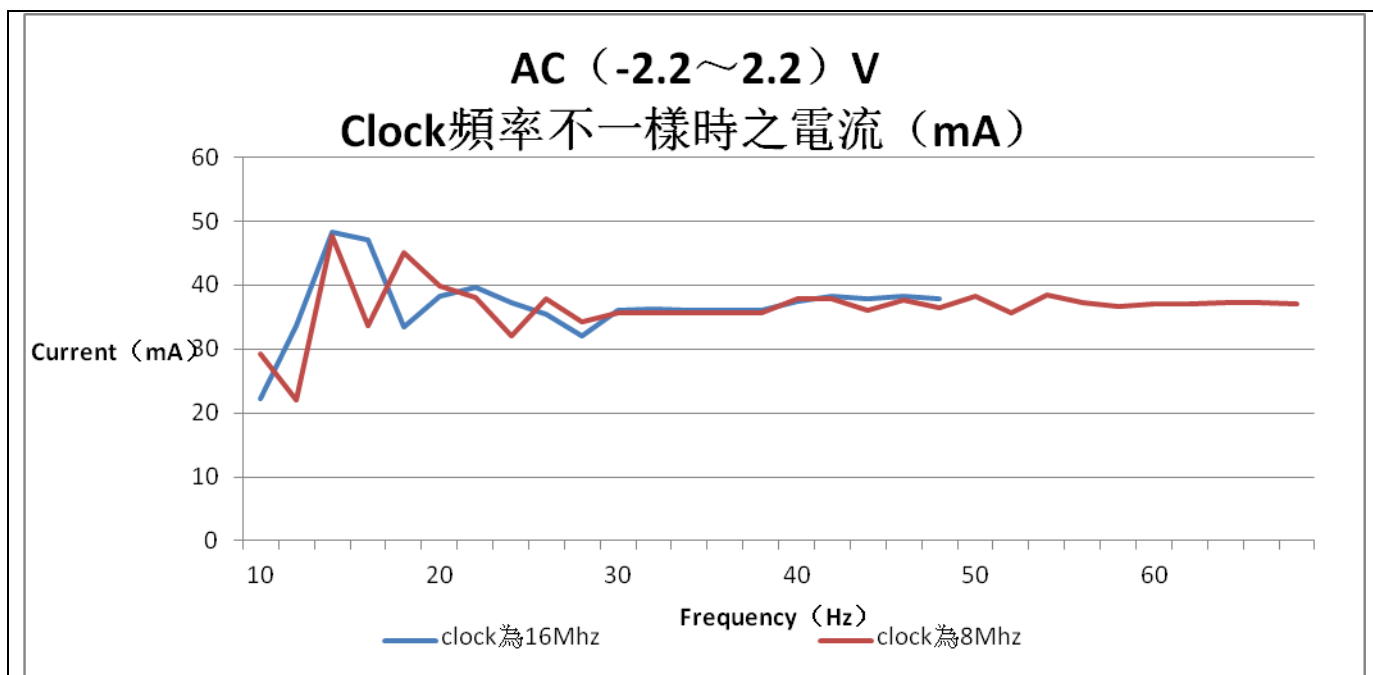


圖 5.26 AC (-2.2V~2.2V) 60Hz，Clock 為 8MHz 的局部放大量測結果 (電流)

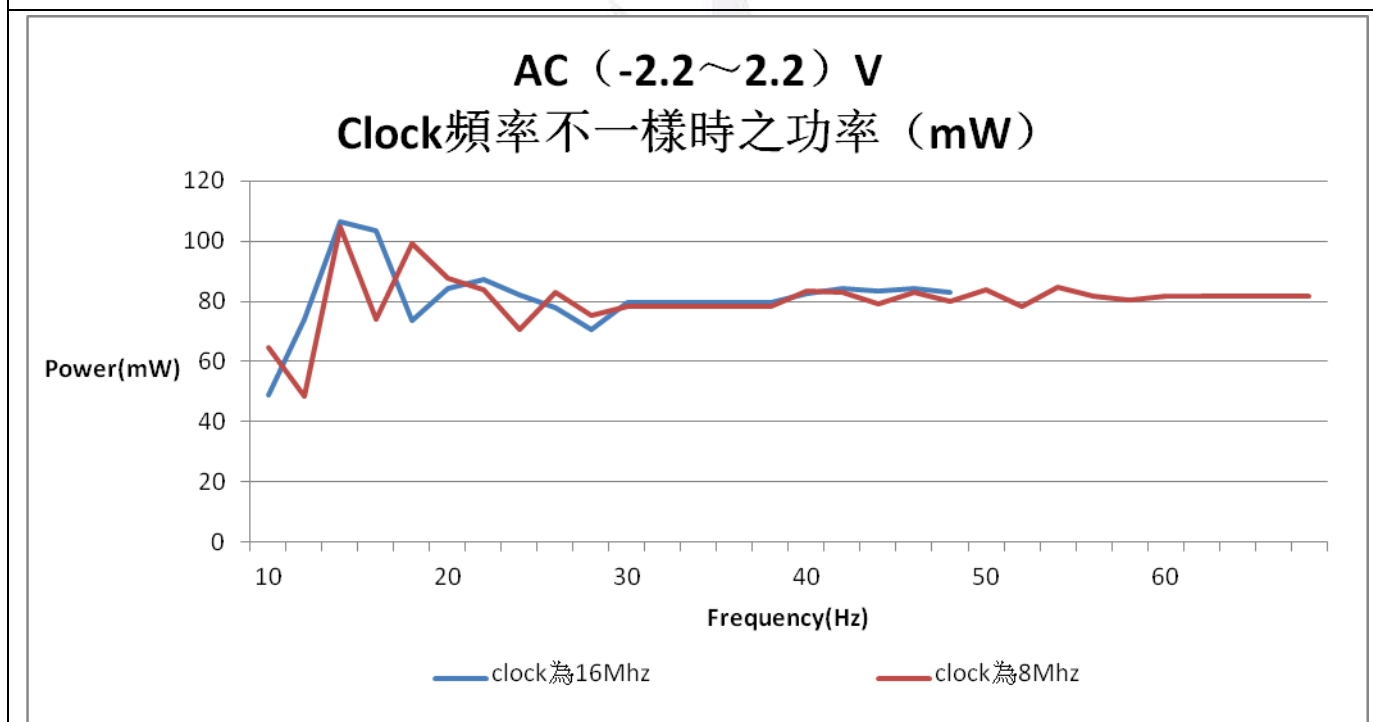


圖 5.23 AC (-2.2V~2.2V) 60Hz，Clock 為 8MHz 的局部放大量測結果功率

在量測 AC 電流與功率的過程中，我們發現只有在 AC 電壓頻率在 10Hz 到 60Hz 的時候，其輸出的值為正確的。改變 Clock 的頻率後得到上圖結果，發現在功能正確的要求條件下，兩種 clock 頻率的功率消耗極為接近，當 AC 電源的頻率越高，電流越穩定。但從圖中得到 Clock 頻率為 16MHz 時，只有 10Hz 到 60Hz 的輸出數據為正確的，在 Clock 為 8MHz 時，只有 10Hz 到 60Hz 的輸出數據是正確的，所以可推斷說 Clock 頻率越低時，可操作在 AC 電壓源的頻率範圍是增加。

5.6.3 Pulse-DC (0V~2.2V) 量測結果

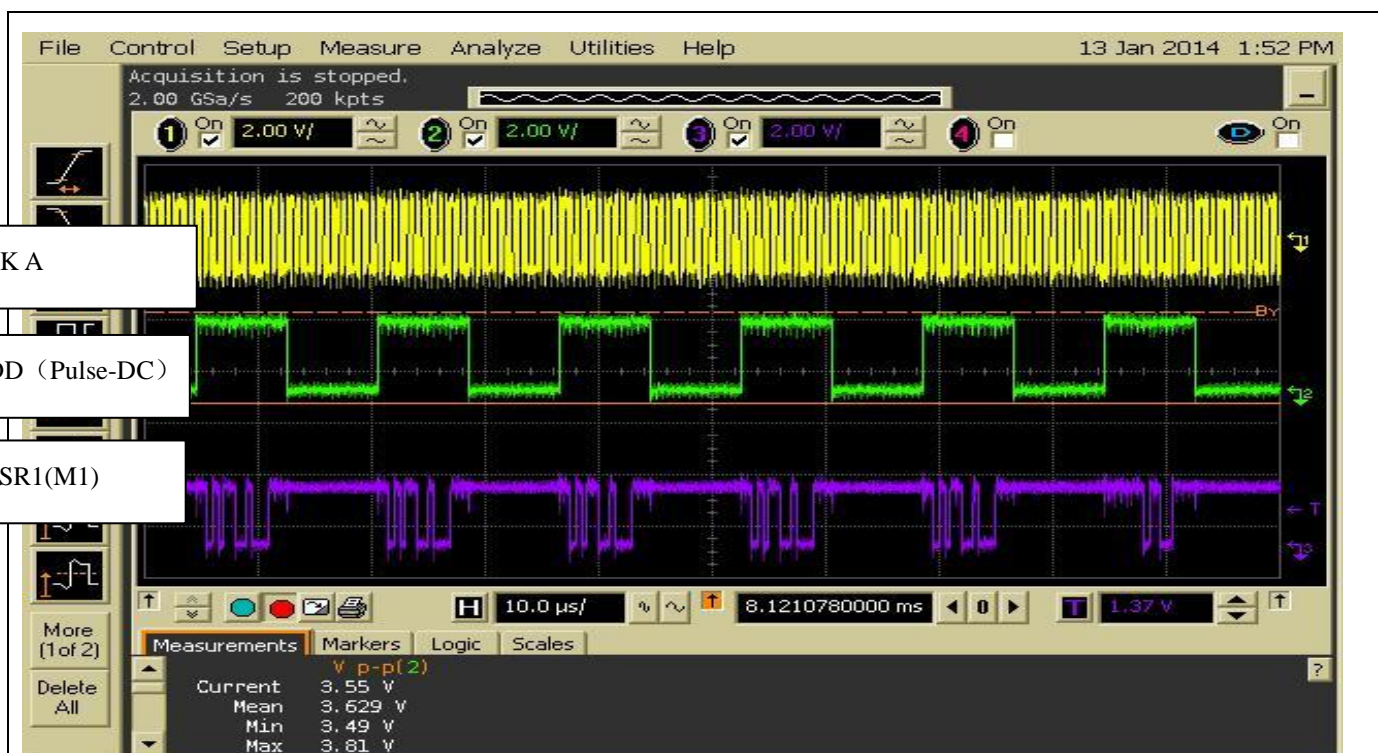


圖 5.24 Pulse-DC (0V~2.2V) 62.5KHz，Clock 為 16Mhz 的波形圖

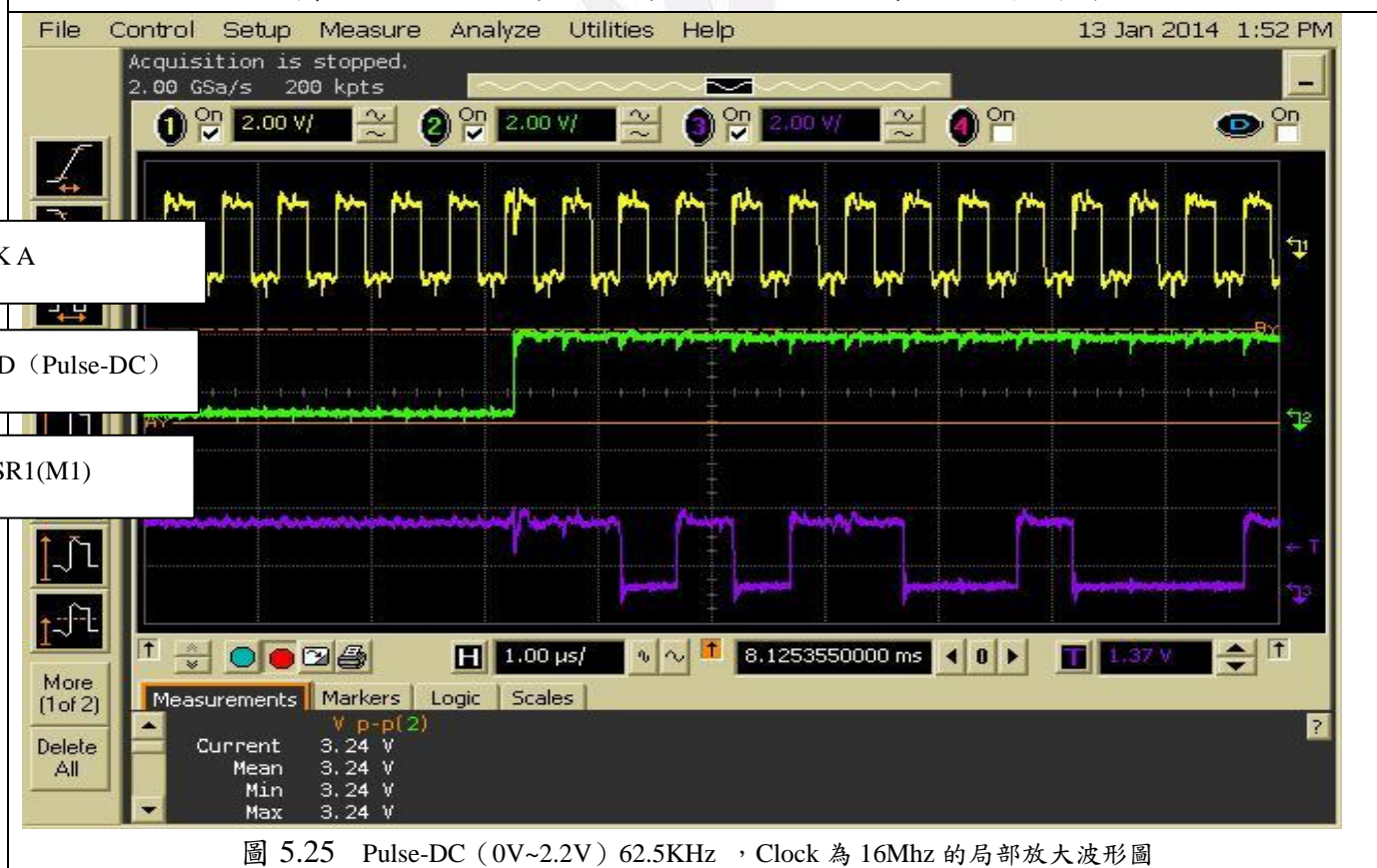


圖 5.25 Pulse-DC (0V~2.2V) 62.5KHz，Clock 為 16Mhz 的局部放大波形圖

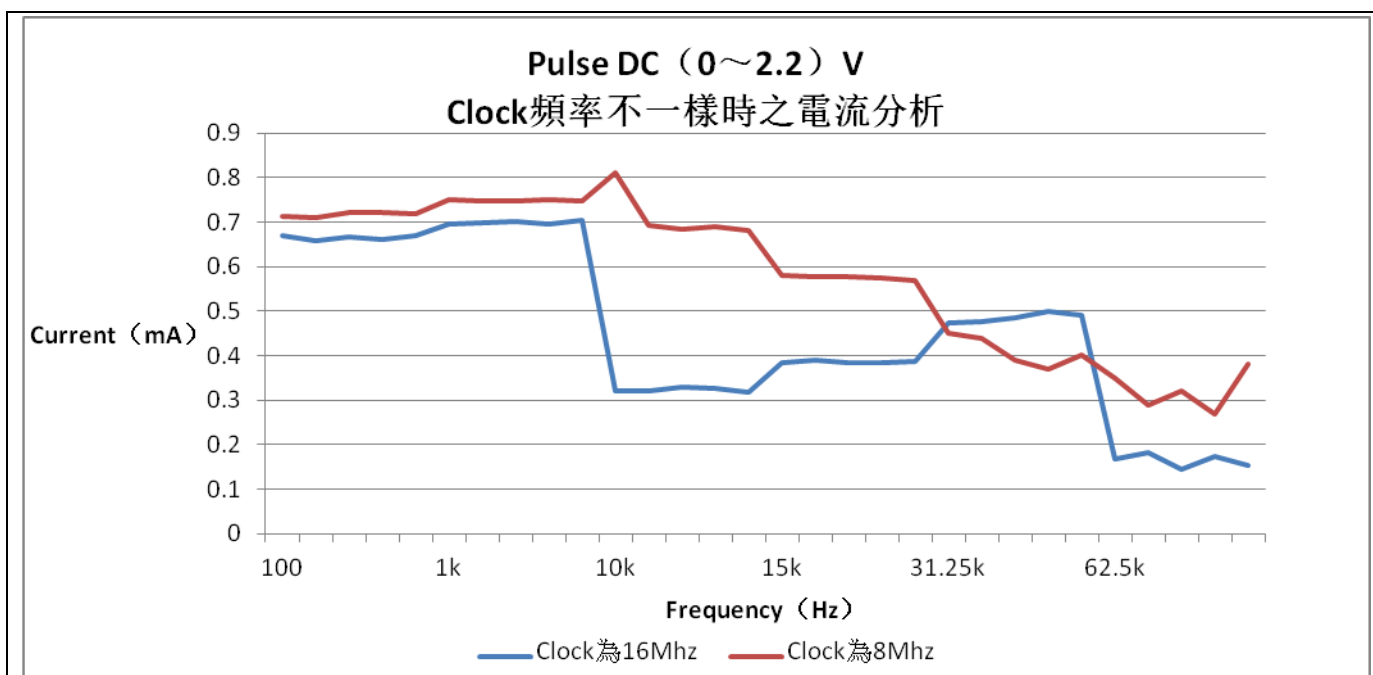


圖 5.26 Pulse-DC (0V~2.2V) Clock 頻率不一樣時之電流分析線性圖

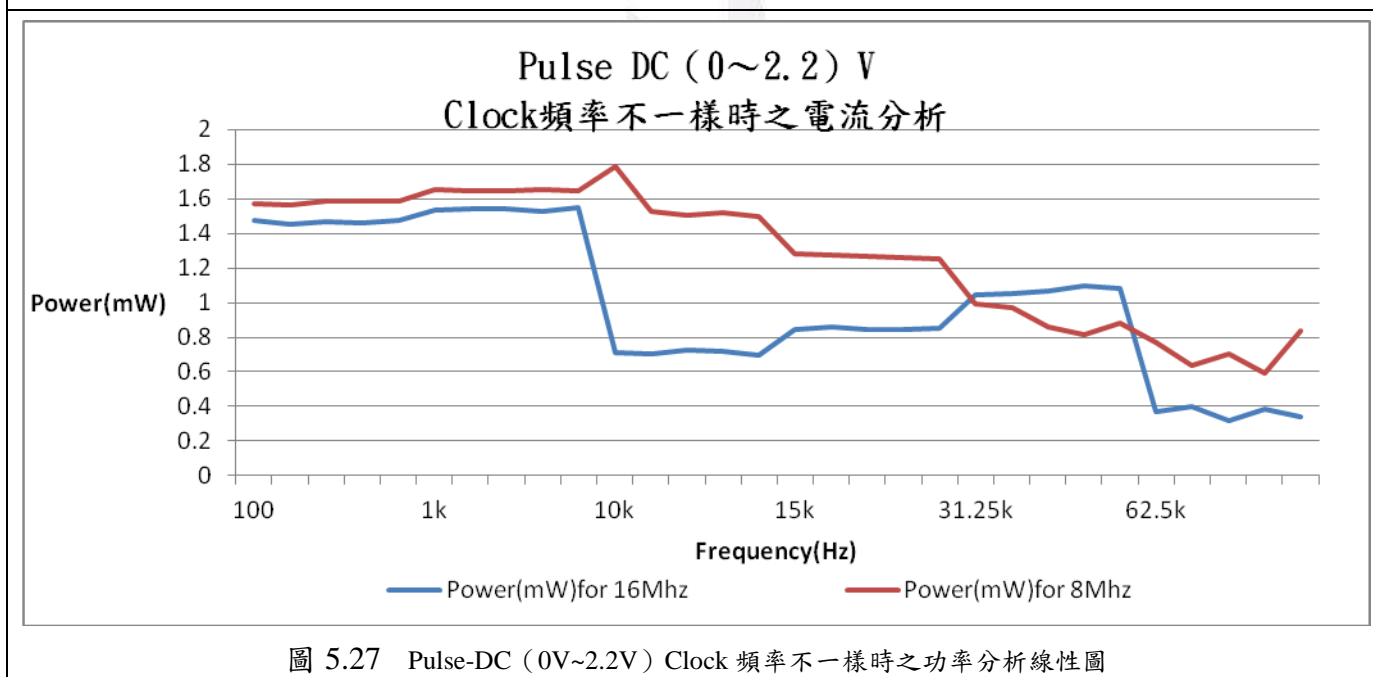


圖 5.27 Pulse-DC (0V~2.2V) Clock 頻率不一樣時之功率分析線性圖

從數據圖中得知 Pulse-DC 電壓的頻率越高時，功率會從 100Hz 的 1.6mW 節省至 62.5KHz 的 1mW。在此我們得知 Clock 頻率越高，功率越小，Pulse DC 的頻率越高時，其功率消耗也越小。

5.6.4 Pulse-DC (1.4V~1.8V) 量測結果

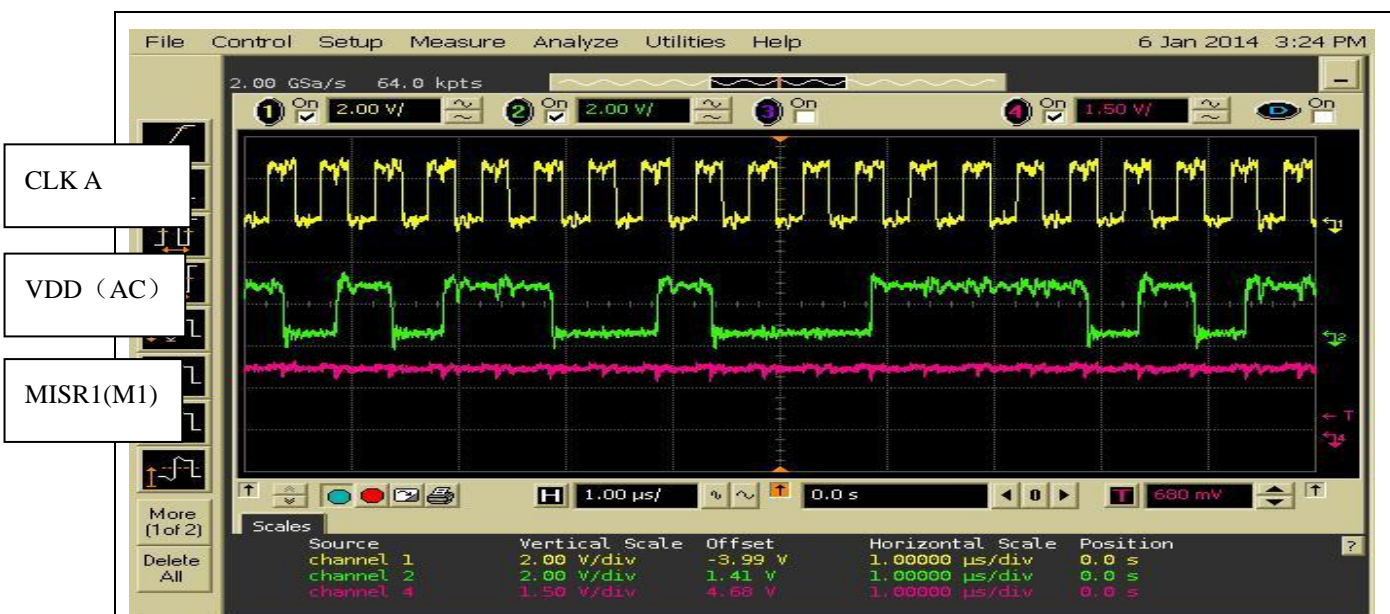


圖 5.28 Pulse DC (1.4V~1.8V) 波形圖

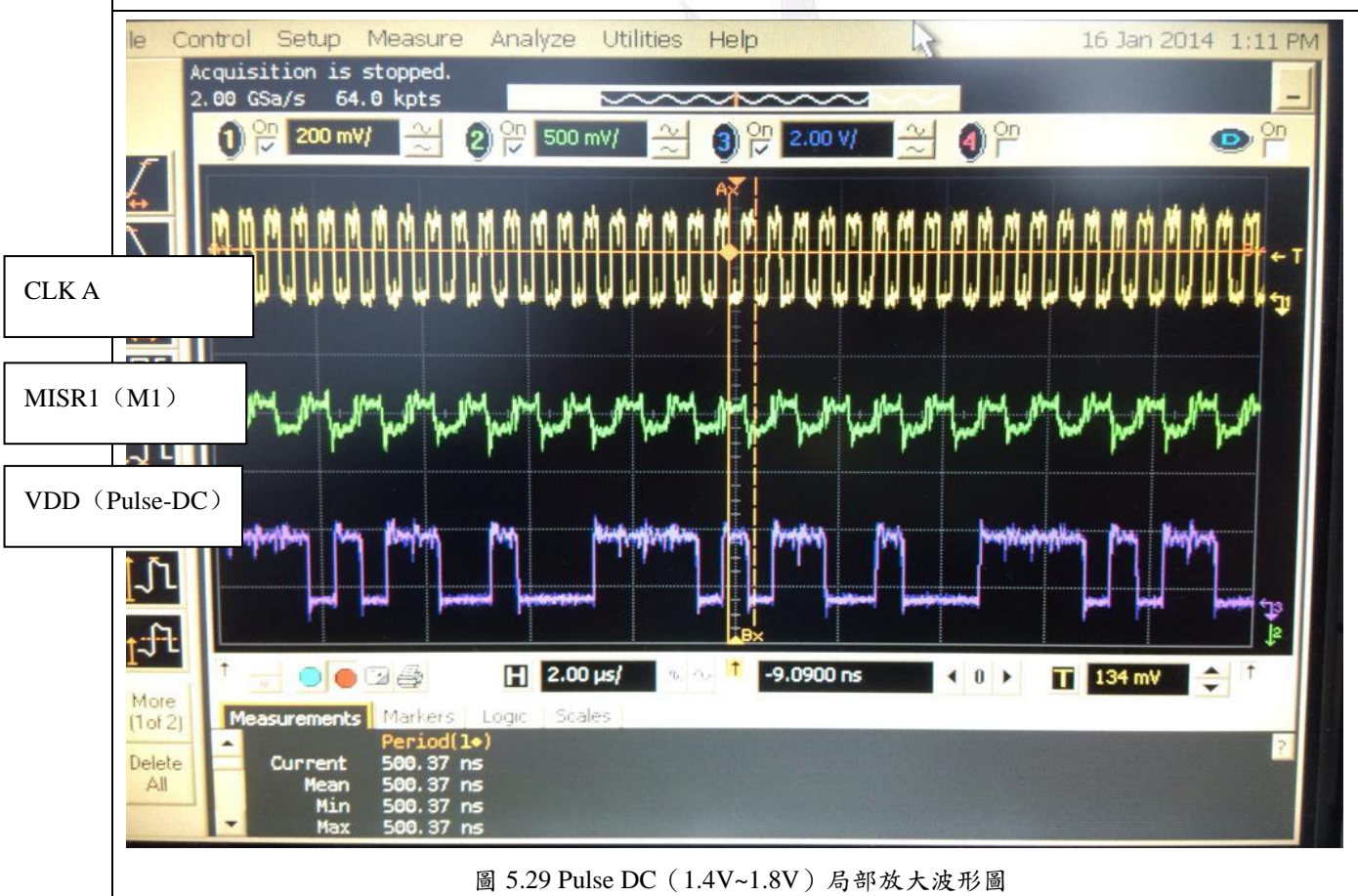


圖 5.29 Pulse DC (1.4V~1.8V) 局部放大波形圖

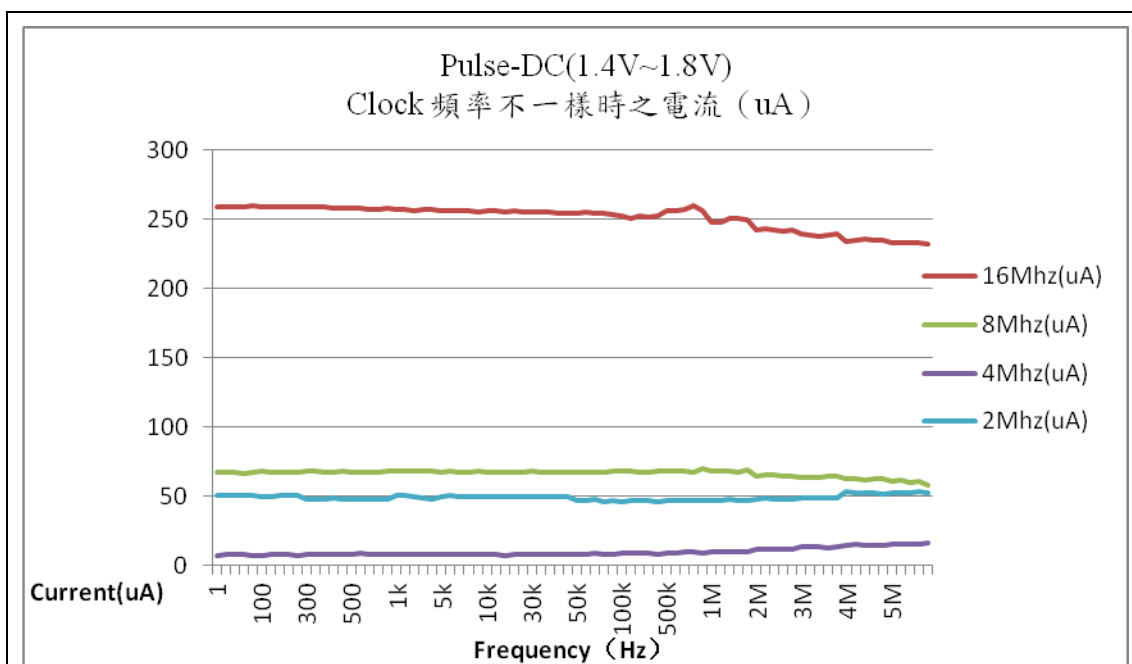


圖 5.30 Pulse DC (1.4V~1.8V) 在不同 Clock 頻率下的電流曲線圖

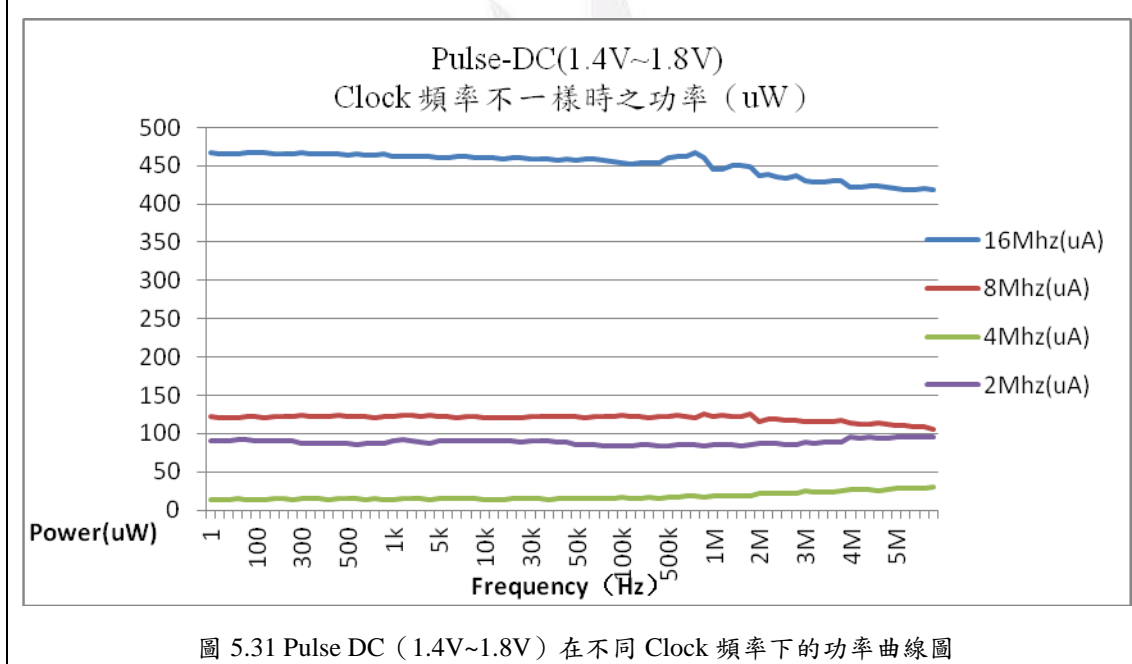


圖 5.31 Pulse DC (1.4V~1.8V) 在不同 Clock 頻率下的功率曲線圖

以上為 Pulse-DC (1.4V~1.8V) 在不同 Clock 頻率下的電流線性圖與功率線性圖。很明顯的我們可以知道跟 DC2.2V 比較時，在 Clock 頻率為 16Mhz 時其功率節省了大約 70%，較特殊處是在 4Mhz 的時候，其消耗的功率消耗為最低。

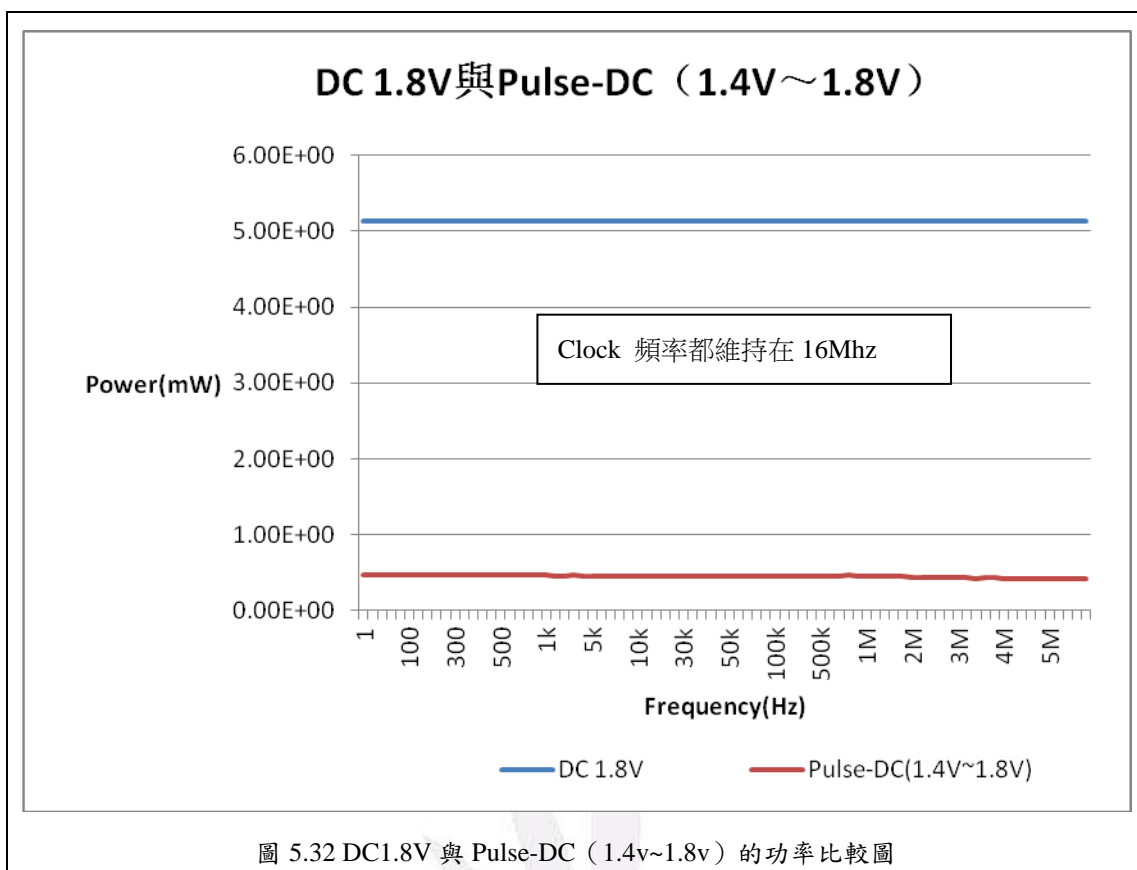
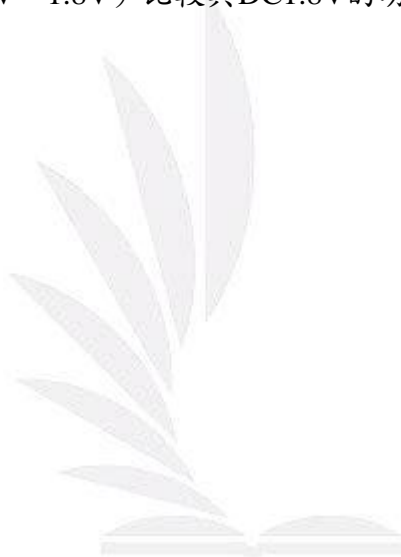


圖 5.32 DC1.8V 與 Pulse-DC (1.4v~1.8v) 的功率比較圖

在前述圖 5.16 我們使用 DC 1.8V 在各種頻率時都是功率消耗最低的，比較 DC 與 Pulse-DC (1.4V~1.8V) 的功率，我們可發現 pulse DC 節省了 90% 的功率消耗，所以歸納我們所做的 cell library 配合 pulse DC 可以得到最佳的功率節省的效果。

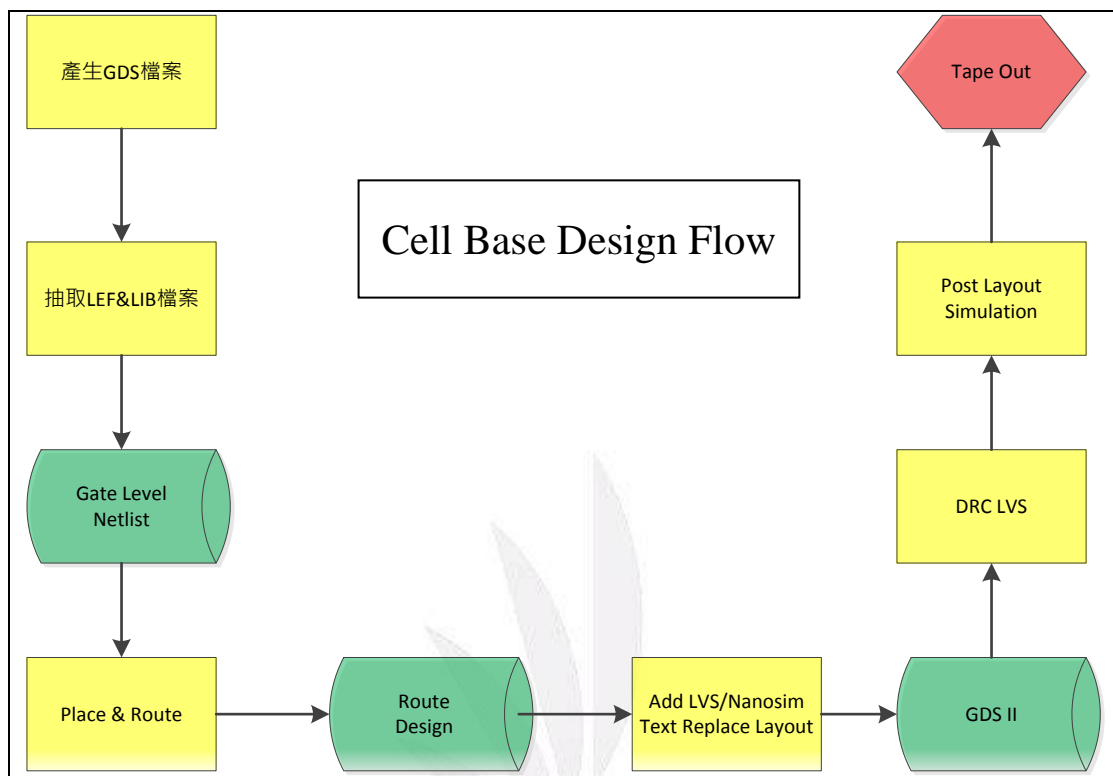
第六章、結論

1. 電路設計使用改良後的 CMOS 結構，但可直接使用近似 AC 的電源來操作，不需 AC 轉 DC 電路，藉此降低晶片的功率消耗與電源轉換機制的面積浪費，可應用在植入人體之無線電源傳輸生醫晶片上，減少病人重新置換電池的痛苦與經濟成本，適宜植入式電子醫療設備的應用考量。
2. 不同於傳統的植入式無線傳輸生醫晶片使用需定期置換的 DC 電池，直接使用由外部無線傳輸進來的 AC 電源，中間不經過 AC 轉 DC 的功率損失，使得在體內的晶片能完全利用由外部無線傳輸進來的電源，大幅減少了使用電源轉換電路上所造成功率消耗，能使植入式晶片盡可能的省電以及面積小的設計目標。
3. 我們所設計的元件庫，不僅能夠使用 DC，還能夠使用與 AC，Pulse-DC，並在 Pulse-DC (1.4V~1.8V) 比較與 DC 1.8V 的功率消耗上減少了 70%。



第七章、附錄

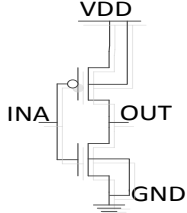
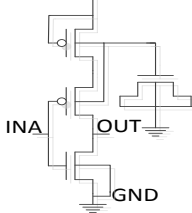
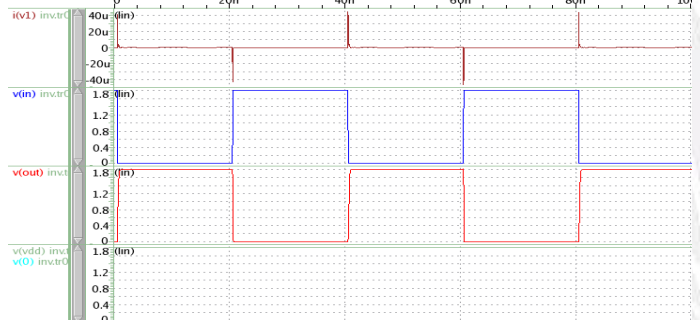
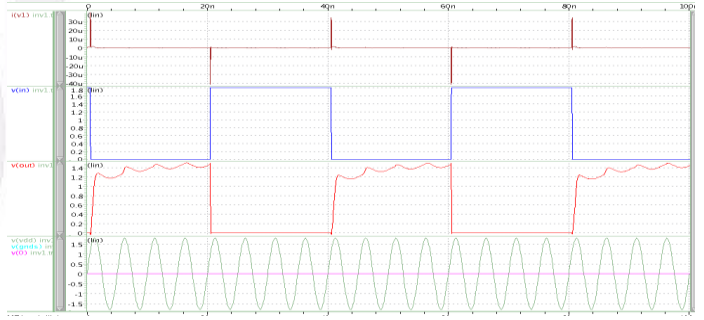
7.1 流程操作

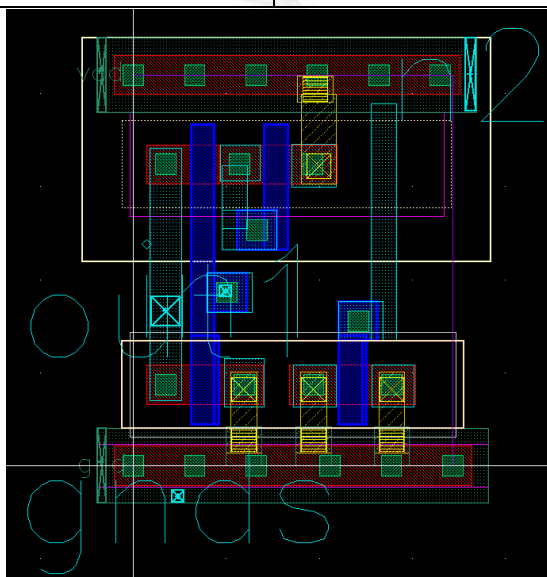


7.2 各別元件比較

使用於電壓源 DC1.8V 與+-AC1.8V

INV1 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

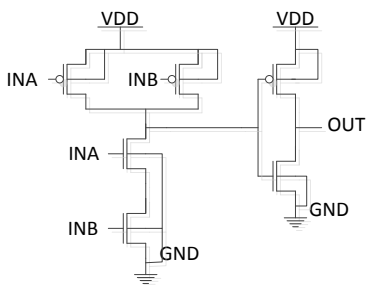
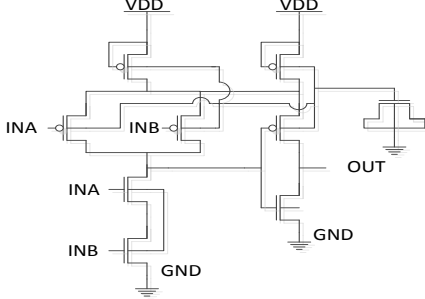
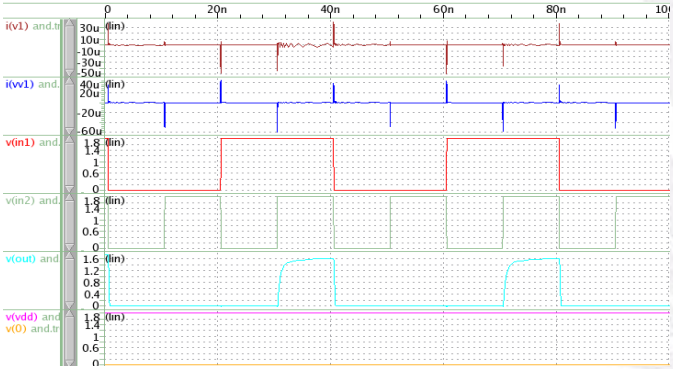
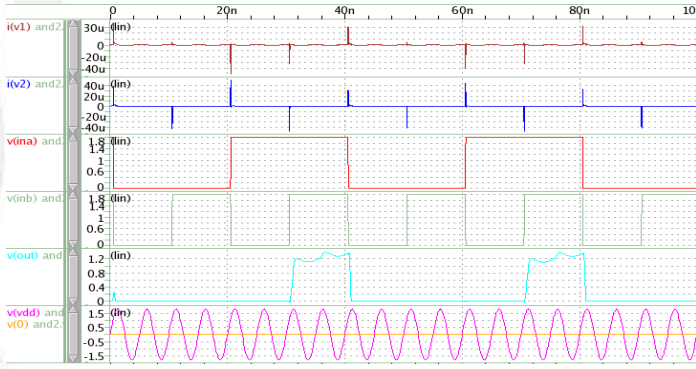
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre>x1 in out inv V1 in 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) *vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>v1 in 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v2 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10ff</pre>
	
<p>總功率消耗=1.001uW</p>	<p>總功率消耗= 0.920uW</p>

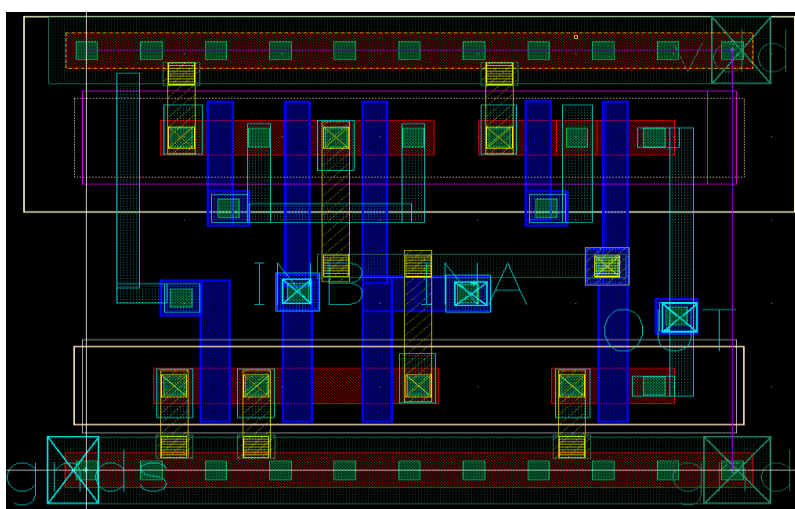


改良後 INV 之 layout 圖

AND2

w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

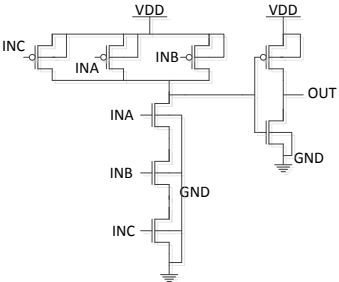
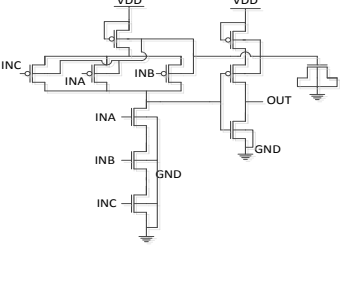
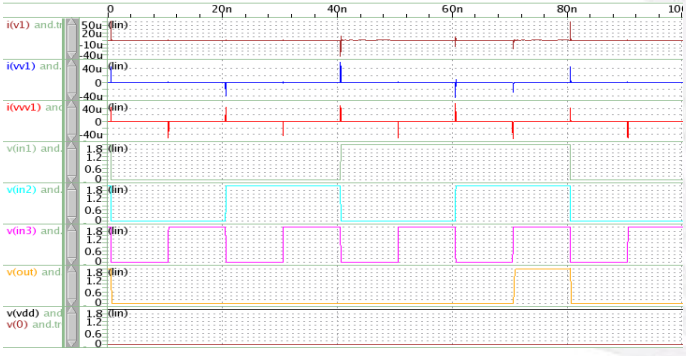
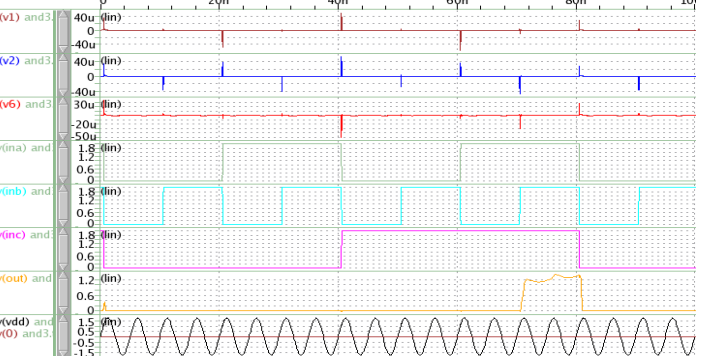
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre> x1 in1 in2 out and V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc 'and2.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF x1 ina inb out vdd gnd gnds and2 </pre>
	
<p>總功率消耗=1.374uW</p>	<p>總功率消耗= 1.158 uW</p>

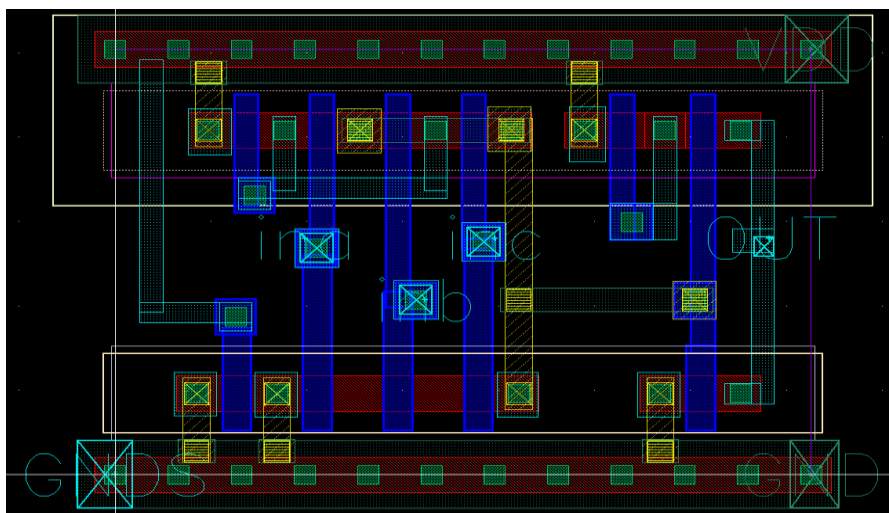


改良後 AND2 之 layout 圖

AND3

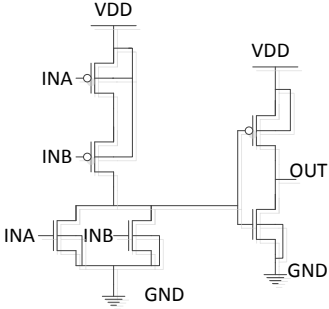
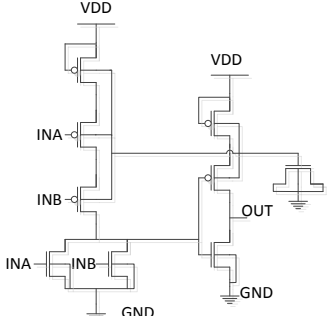
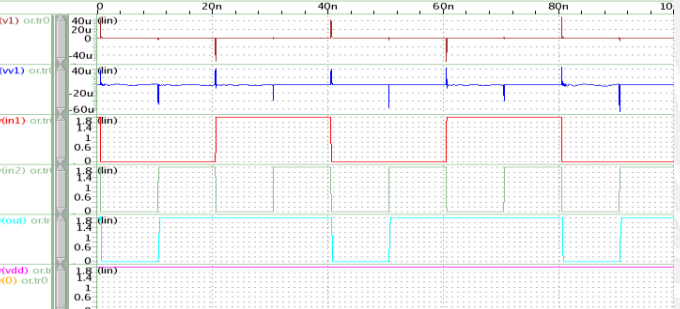
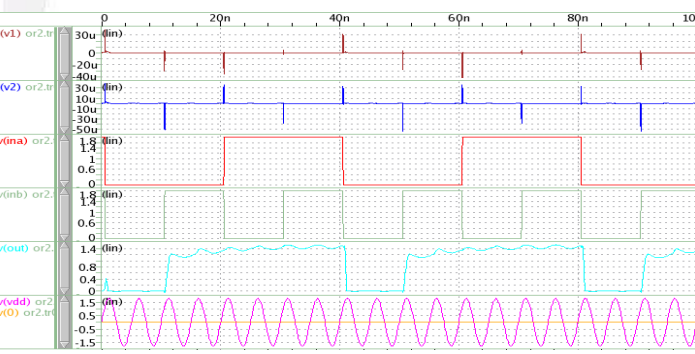
w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

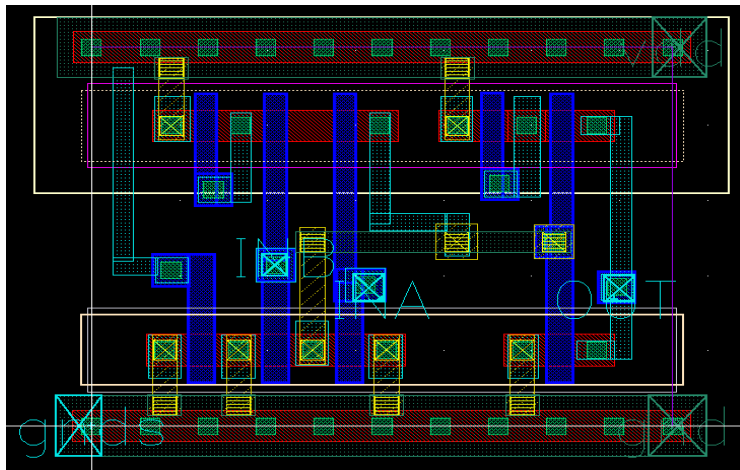
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre> x1 in1 in2 in3 out and V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 in3 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0 </pre>	<pre> .lib '/home/college/O99/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc 'and3.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10ff </pre>
	
<p>總功率消耗=1.123uW</p>	<p>總功率消耗=0.801 uW</p>



改良後 AND3 之 layout 圖

OR2 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

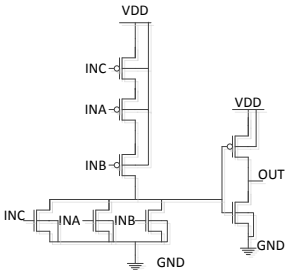
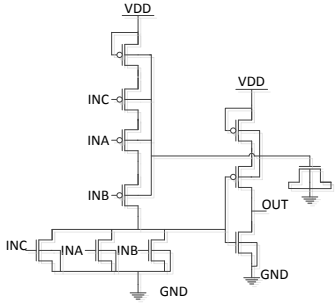
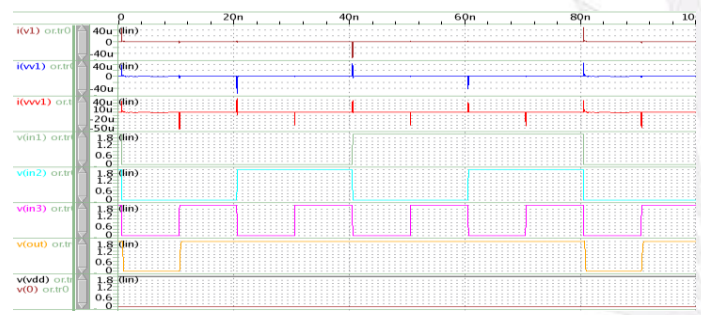
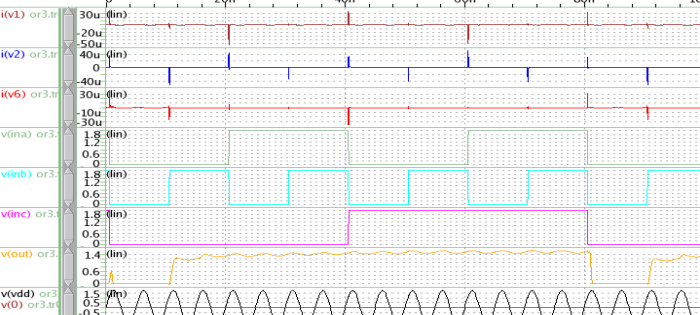
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre>x1 in1 in2 out or V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc 'or2.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF x1 ina inb out vdd gnd gnds or2</pre>
	
<p>總功率消耗= 1.829uW</p>	<p>總功率消耗= 1.431uW</p>

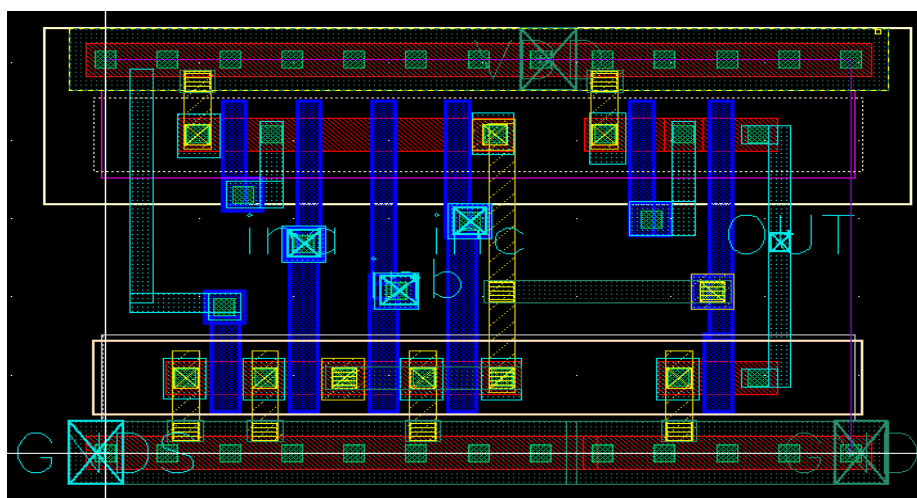


改良後 OR2 之 layout 圖

OR3

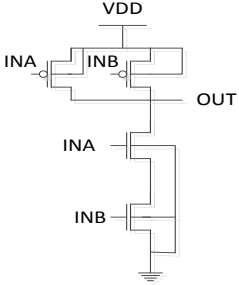
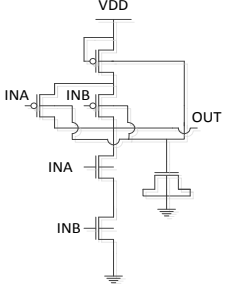
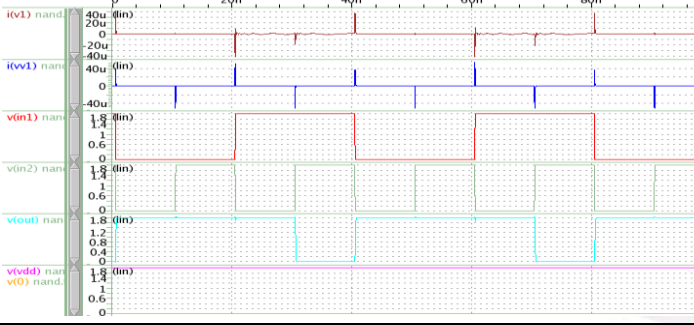
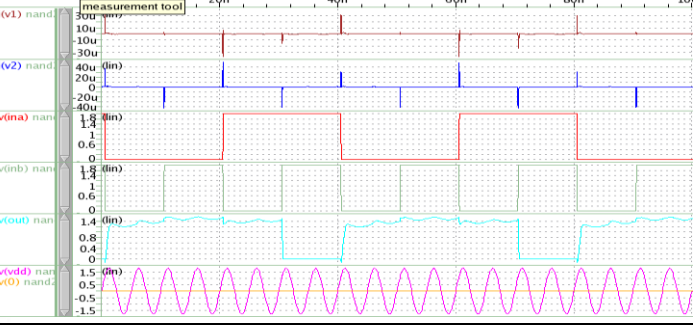
w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

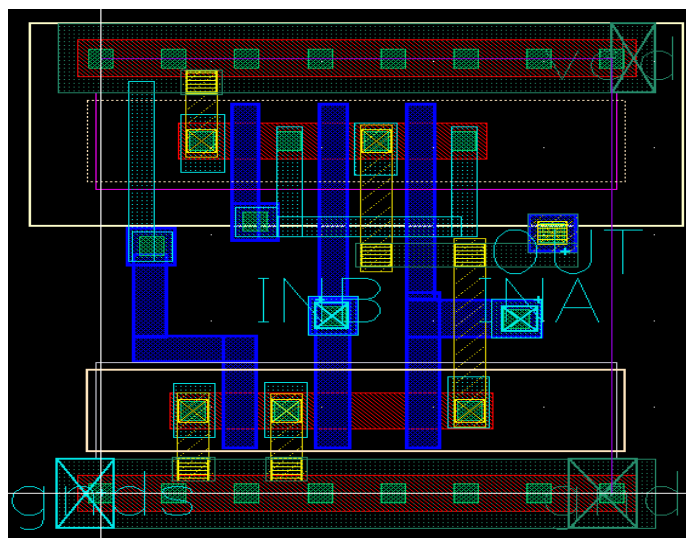
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre>x1 in1 in2 in3 out or V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vVV1 in3 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc 'or3.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF x1 ina inb inc out vdd gnd gnds or3</pre>
	
<p>總功率消耗= 1.343uW</p>	<p>總功率消耗= 1.148 uW</p>



改良後 OR3 之 layout 圖

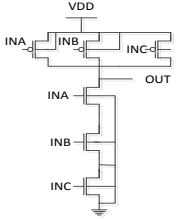
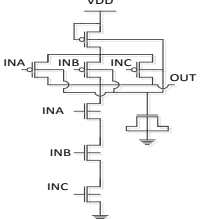
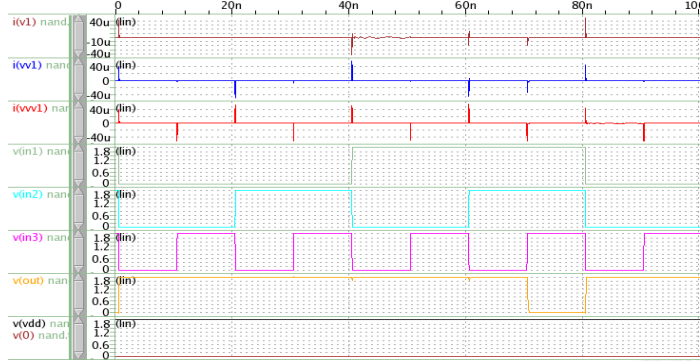

NAND2 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

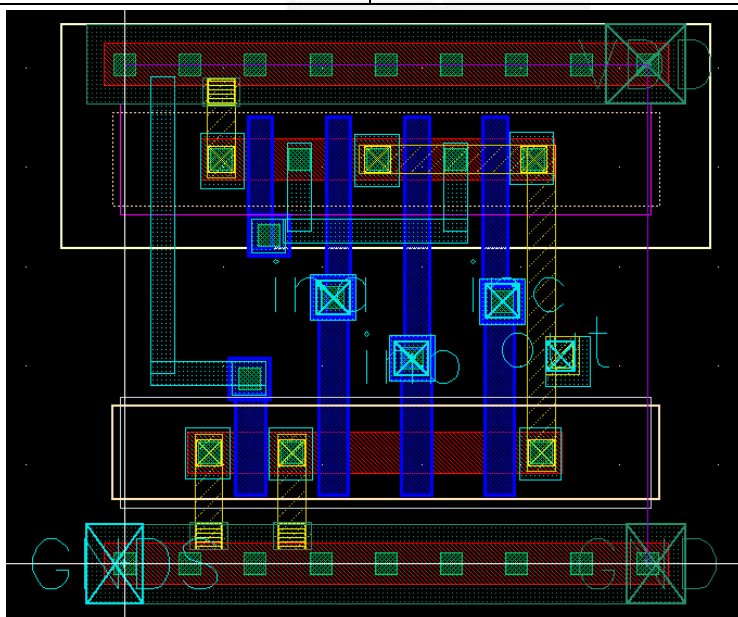
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre>x1 in1 in2 out nand V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc'nand2.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF x1 ina inb out vdd gnd gnds nand2</pre>
	
<p>總功率消耗=1.262uW</p>	<p>總功率消耗= 1.048 uW</p>



改良後 NAND2 之 layout 圖

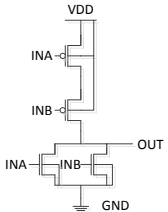
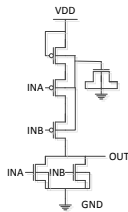
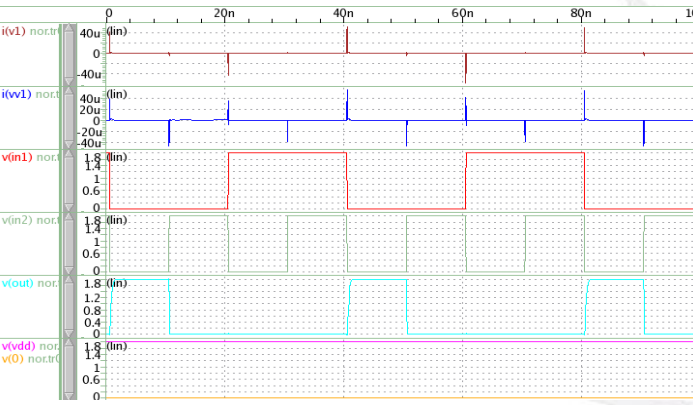
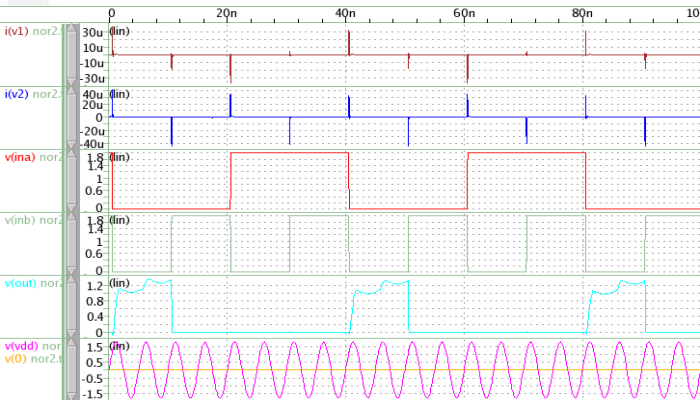
NAND3 $w=0.42\mu$ (PMOS $l=0.25\mu$ NMOS $l=0.3\mu$)

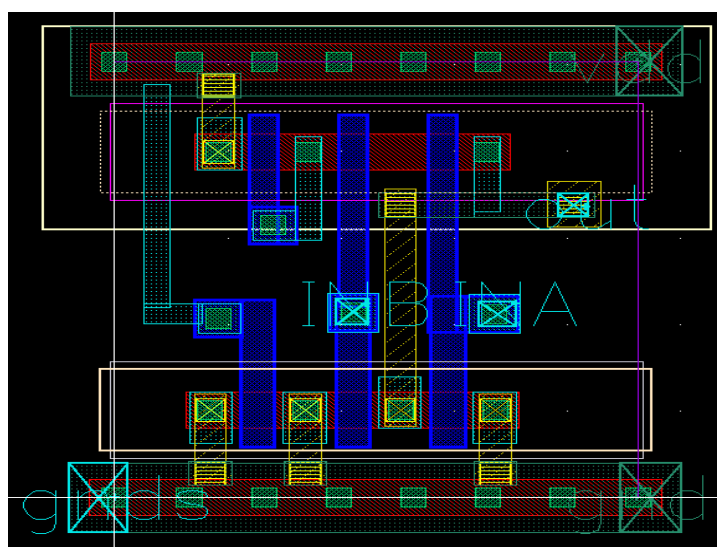
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre>x1 in1 in2 in3 out nand V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 in3 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc'nand3.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>
	
<p>總功率消耗= 0.939uW</p>	<p>總功率消耗= 0.785 uW</p>



改良後 NAND3 之 layout 圖

NOR2 $w=0.42\mu$ (PMOS $l=0.25\mu$ NMOS $l=0.3\mu$)

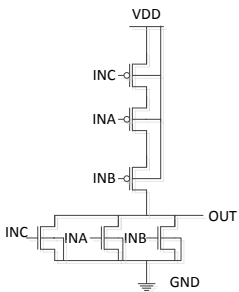
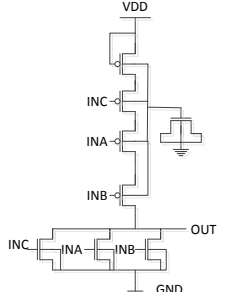
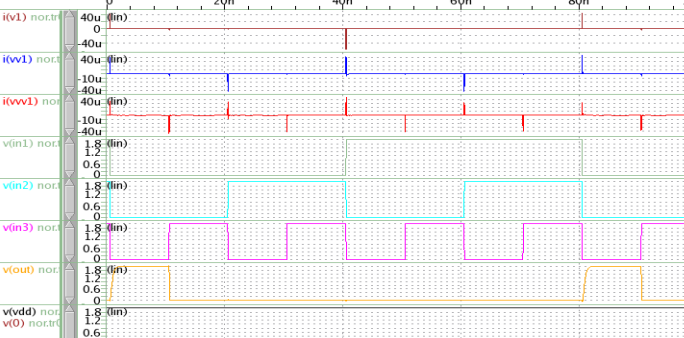
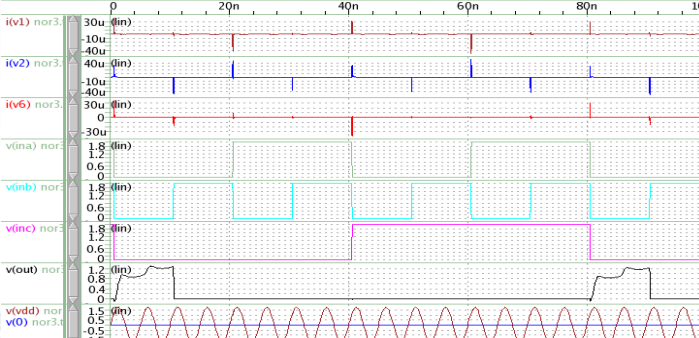
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre>x1 in1 in2 out nor V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.l' TT_m .global vdd gnd gnds .inc 'nor2.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10FF x1 ina inb out vdd gnd gnds nor2</pre>
	
<p>總功率消耗= 1.388uW</p>	<p>總功率消耗=1.098 uW</p>

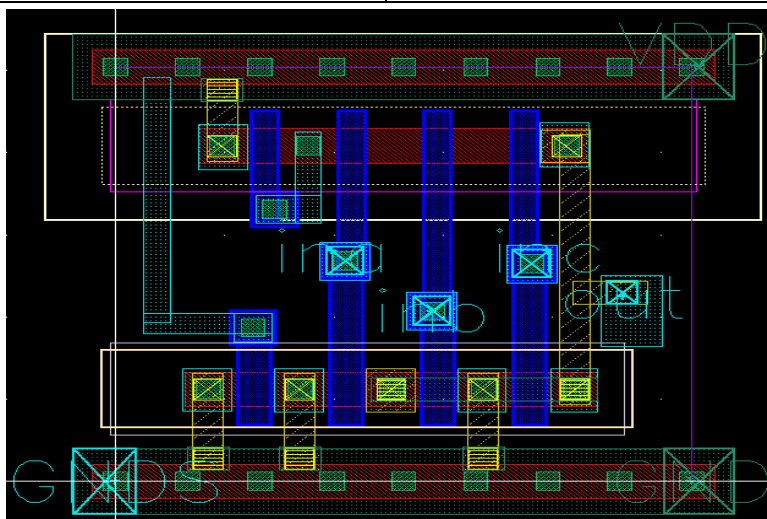


改良後 NOR2 之 layout 圖

NOR3

w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

改良前 DC 1.8V	改良後 AC 1.8V
	
<pre> x1 in1 in2 in3 out nor V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 in3 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gn ds .inc 'nor3.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0 1.8 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gn ds 0 0 c1 out 0 10ff x1 ina inb inc out vdd gnd gn ds nor3 </pre>
	
<p>總功率消耗= 0.969uW</p>	<p>總功率消耗= 0.821 uW</p>

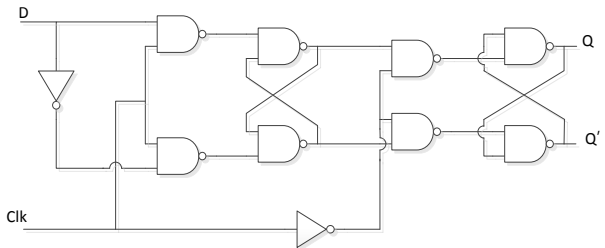
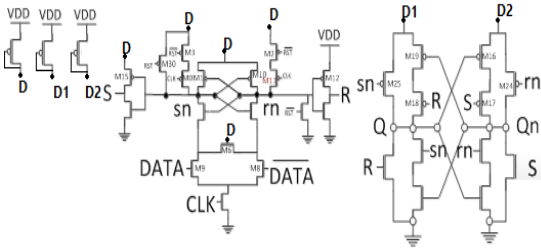
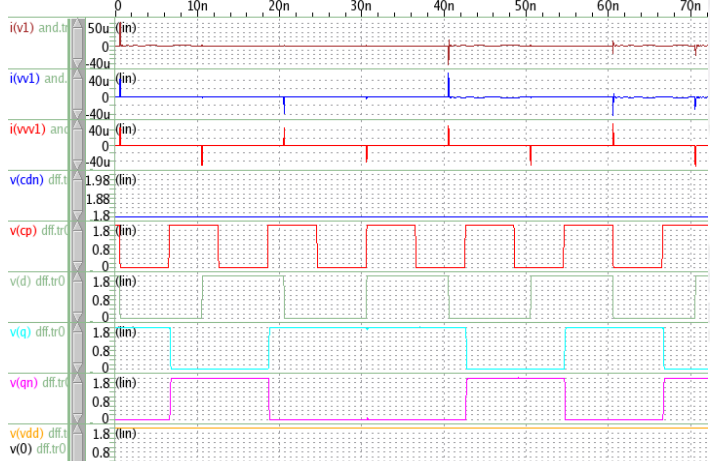



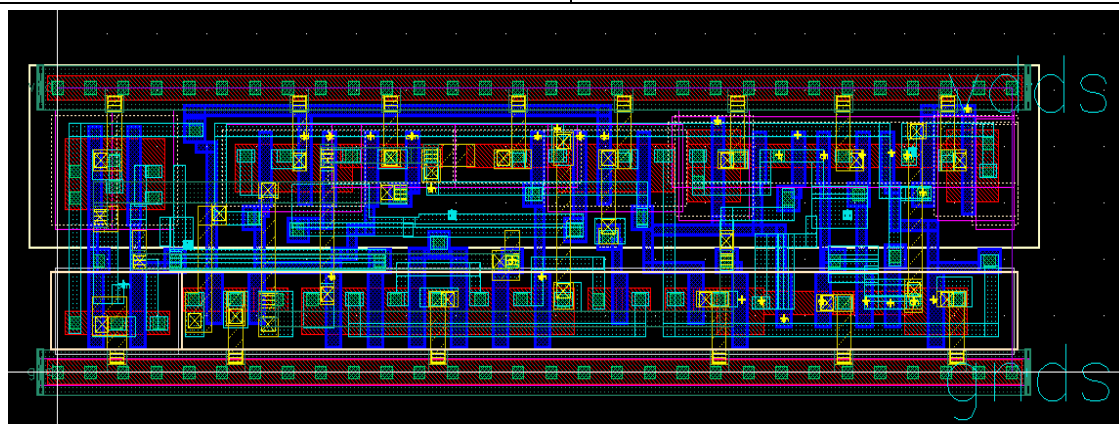
改良後 NOR3 之 layout 圖

D-FF

w=0.42u (PMOS ,l=0.25u

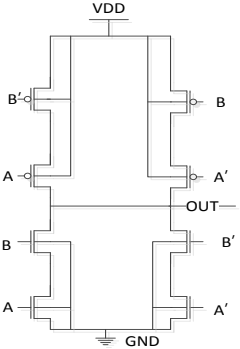
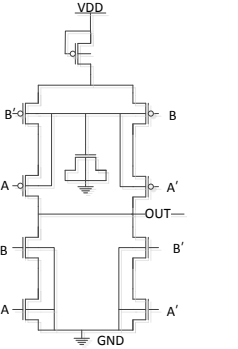

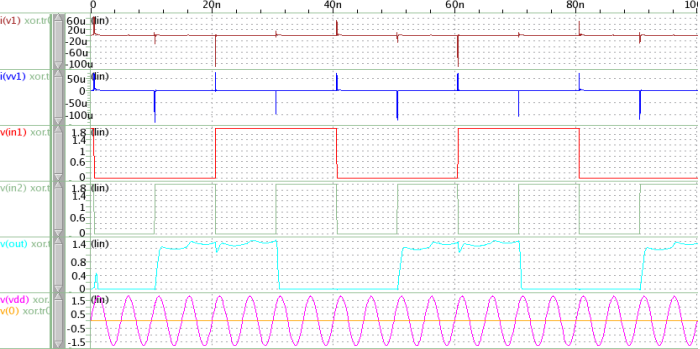
NMOS ,l=0.3u)

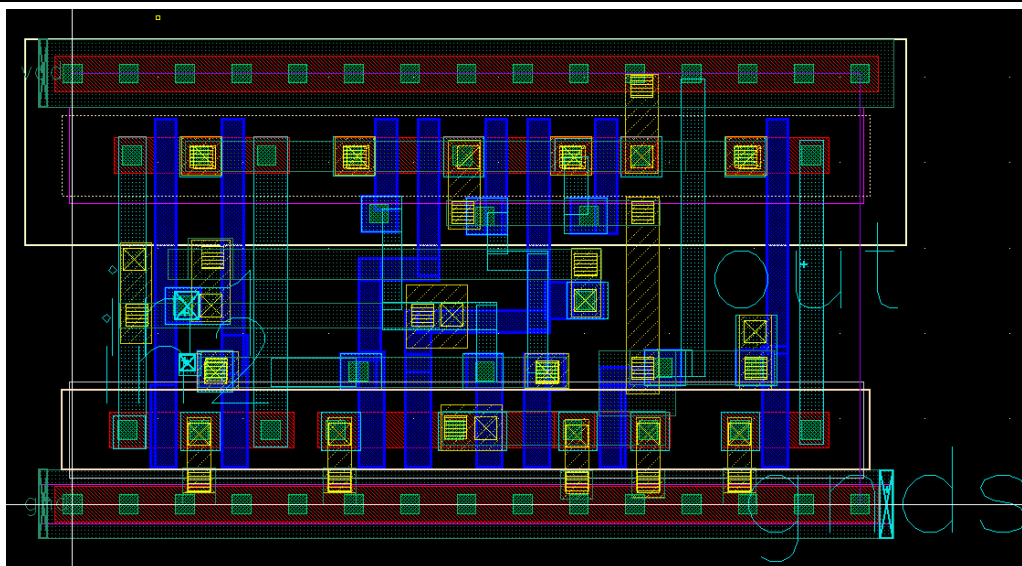
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .inc 'dff2.net' x1 cdn cp d q qn gnd gnds dfctnx0 v1 cdn 0 1.8 vv1 cp 0 pulse(1.8 0 0.5n 0.1n 0.1n 5.9n 12n) vvv1 d 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 q 0 10ff cc1 qn 0 10ff v4 vdd 0 1.8 *v6 vdds 0 1.8 *v11 vdd 0 sin(0 1.8 200Meg 0n 0e0) v5 gnd 0 0 v7 gnds 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .inc 'dff2.net' x1 cdn cp d q qn gnd gnds dfctnx0 v1 cdn 0 1.8 vv1 cp 0 pulse(1.8 0 0.5n 0.1n 0.1n 5.9n 12n) vvv1 d 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 q 0 10ff cc1 qn 0 10ff v4 vdd 0 1.8 *v6 vdds 0 1.8 *v11 vdd 0 sin(0 1.8 200Meg 0n 0e0) v5 gnd 0 0 v7 gnds 0 0 </pre>
	
<p>總功率消耗= 16.58uW</p>	<p>總功率消耗=9.722 uW</p>



改良後 D-FF 之 layout 圖

XOR2 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

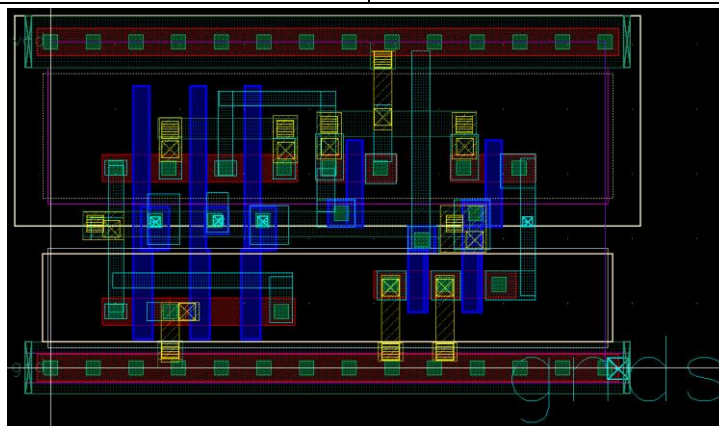
改良前 DC 1.8V	改良後 AC 1.8V
	
<pre>x1 in1 in2 out xor V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .inc 'xor.netlist' x1 in1 in2 out vdd gnd gnds xor1 V1 in1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff *v4 vdd 0 1.8 v11 vdd 0 sin(0 1.8 200Meg 0n 0e0) v5 gnd 0 0</pre>
	
<p>總功率消耗= 6.702uW</p>	<p>總功率消耗= 2.20 uW</p>



改良後 XOR 之 layout 圖

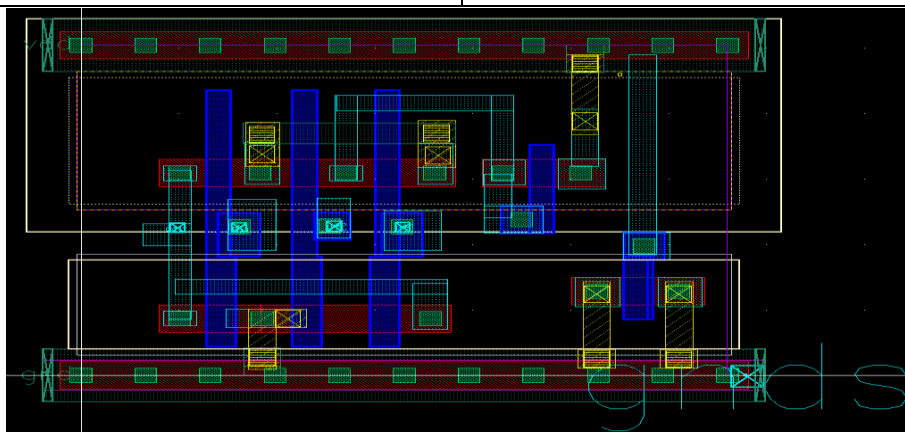
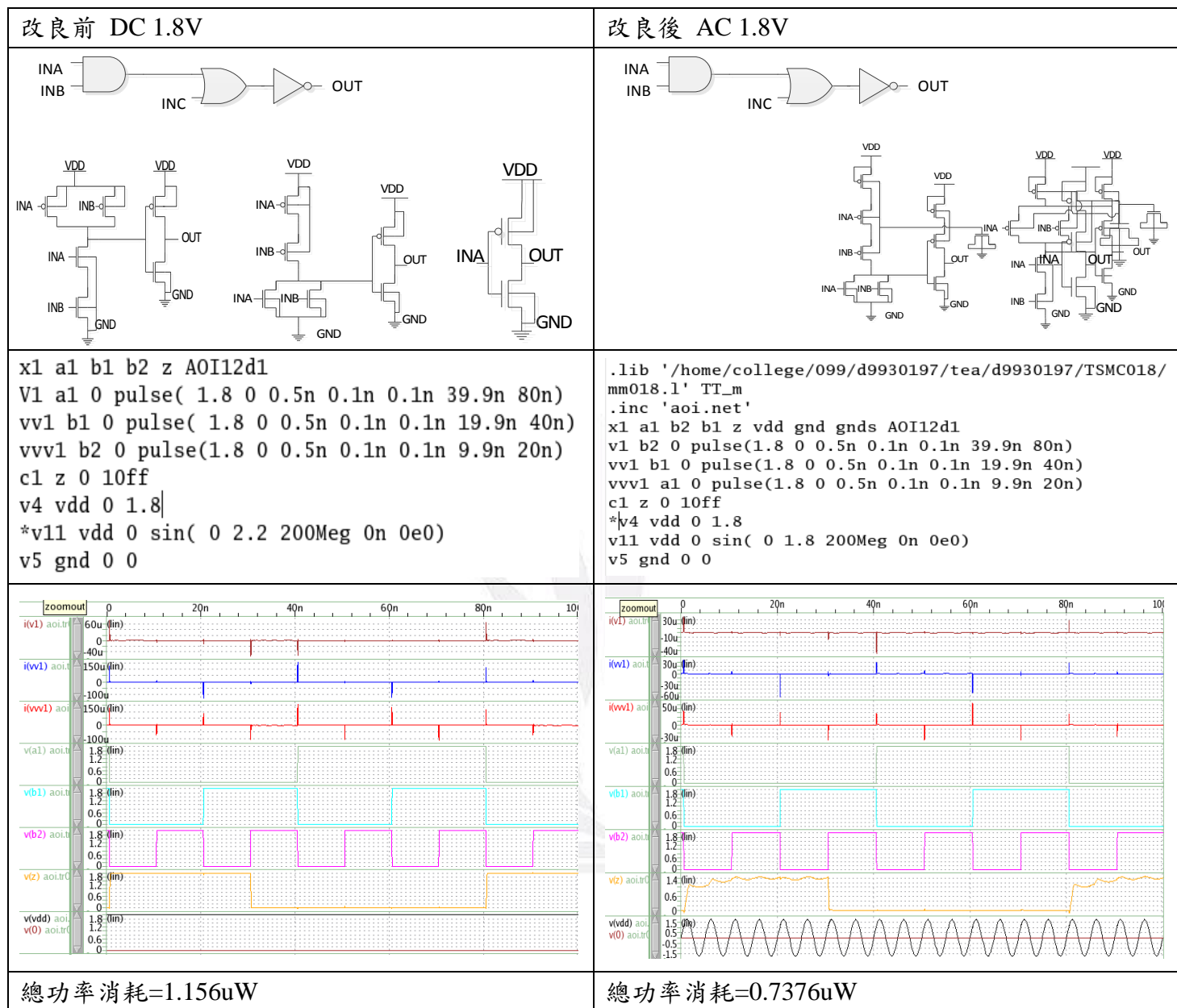
AO12 $w=0.42\mu$ (PMOS , $l=0.25\mu$) NMOS , $l=0.3\mu$)

改良前 DC 1.8V	改良後 AC 1.8V
<pre>x1 a1 c1 c2 z A012d1 V1 a1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 c2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .inc 'ao.net' x1 c1 c2 a1 z gnd gnds vdd vdds A012d1 v1 a1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 c2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff *v4 vdd 0 1.8 v11 vdd 0 sin(0 1.8 200Meg 0n 0e0) v5 gnd 0 0</pre>
<p>總功率消耗= 1.728uW</p>	<p>總功率消耗= 0.750 uW</p>



改良後 AO12 之 layout 圖

AOI12 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)



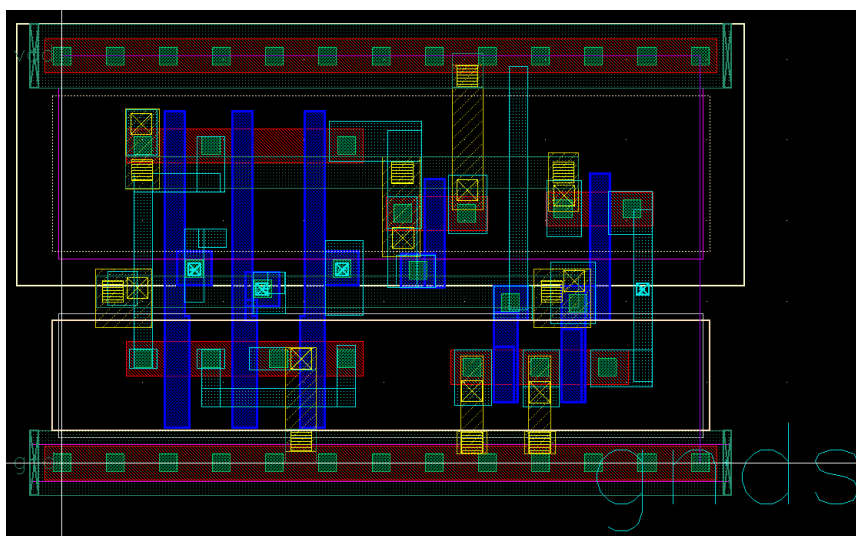
改良後 AOI12 layout 圖

OA12

w=0.42u (PMOS ,l=0.25u

NMOS ,l=0.3u)

改良前 DC 1.8V	改良後 AC 1.8V
<pre>x1 a1 b1 b2 z OA12d1 V1 a1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 b1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 b2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.l' TT_m .inc 'oa2.net' x1 c1 c2 a1 z vdd gnd gnds OAI12d1 v1 c1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c2 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 a1 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff *v4 vdd 0 1.8 v11 vdd 0 sin(0 1.8 200Meg 0n 0e0) v5 gnd 0 0</pre>
<p>總功率消耗=1.521uW</p>	<p>總功率消耗=0.6966uW</p>

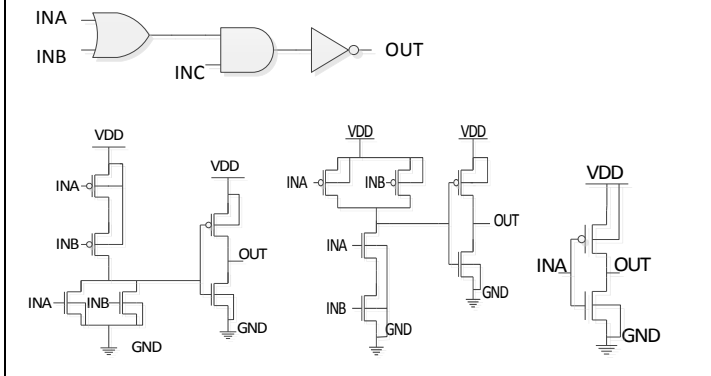
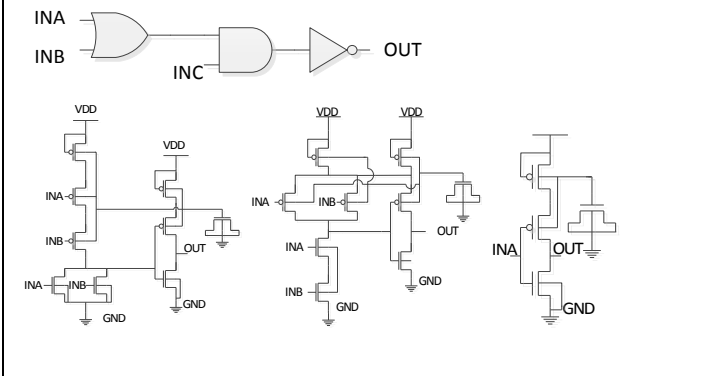
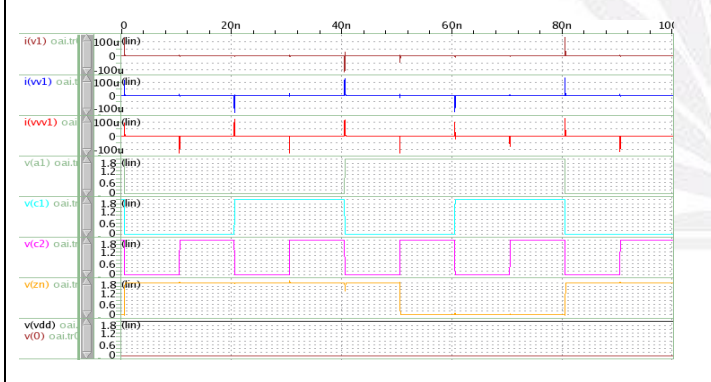
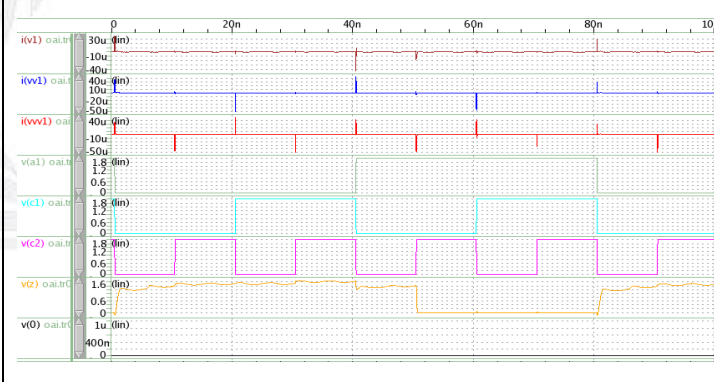


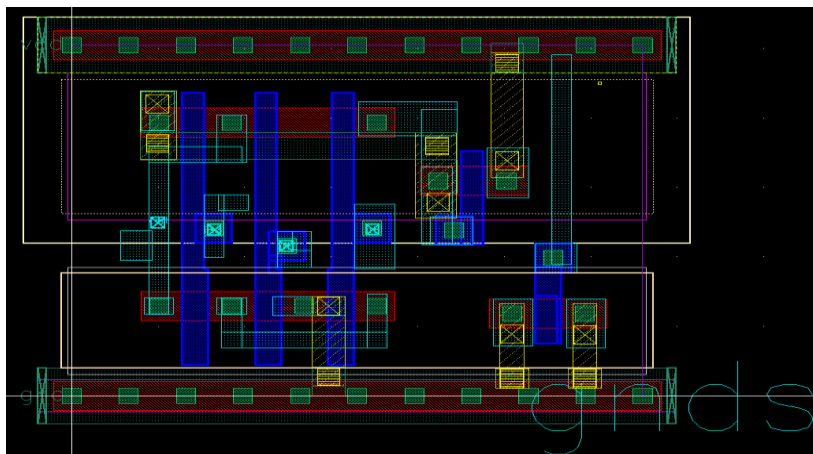
改良後 OA12 之 layout 圖

OAI12

w=0.42u (PMOS ,l=0.25u

NMOS ,l=0.3u)

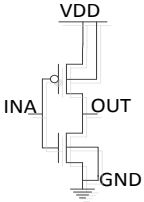
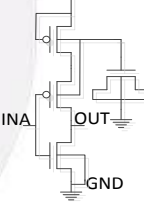
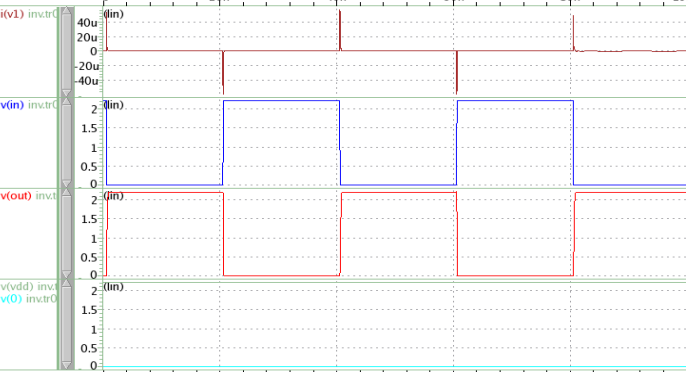

改良前 DC 1.8V	改良後 AC 1.8V
	
<pre>x1 a1 c1 c2 zn OAI12d1 V1 a1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 c2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 zn 0 10ff v4 vdd 0 1.8 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .inc 'oai.net' x1 a1 c1 c2 z vdd gnd gnds OAI12d1 v1 c1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c2 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 a1 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff *v4 vdd 0 1.8 v11 vdd 0 sin(0 1.8 200Meg 0n 0e0) v5 gnd 0 0</pre>
	
<p>總功率消耗=1.328uW</p>	<p>總功率消耗=0.7426uW</p>

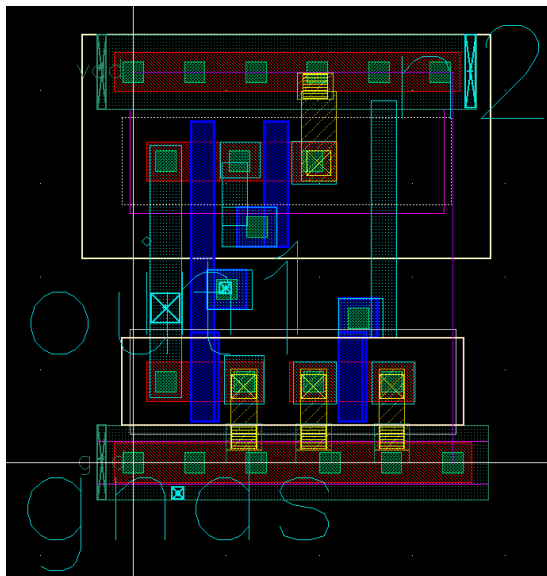


改良後 OAI 之 layout 圖

使用於電壓源 DC2.2V 與 AC (-2.2V~+2.2V)

INV1 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

改良前 DC 2.2V	改良後 AC 2.2V
	
<pre> x1 in out inv V1 in 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) *vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0 </pre>	<pre> v1 in 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.8n 40n) v2 vdd 0 sin(0 2.2 200Meg 0n 0e0) *v2 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10FF </pre>
	
<p>總功率消耗=1.562uW</p>	<p>總功率消耗= 1.41uW</p>

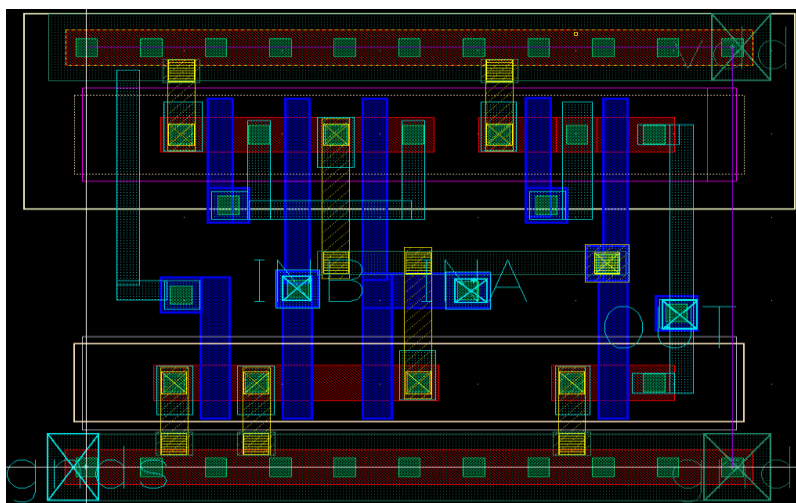


改良後 INV 之 layout 圖

AND2

w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

改良前 DC 2.2V	改良後 AC 2.2V
<pre>x1 in1 in2 out and V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc'and2.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0 2.2 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF x1 ina inb out vdd gnd gnds and2</pre>
<p>總功率消耗= 2.100uW</p>	<p>總功率消耗= 1.811 uW</p>



改良後 AND2 之 layout 圖

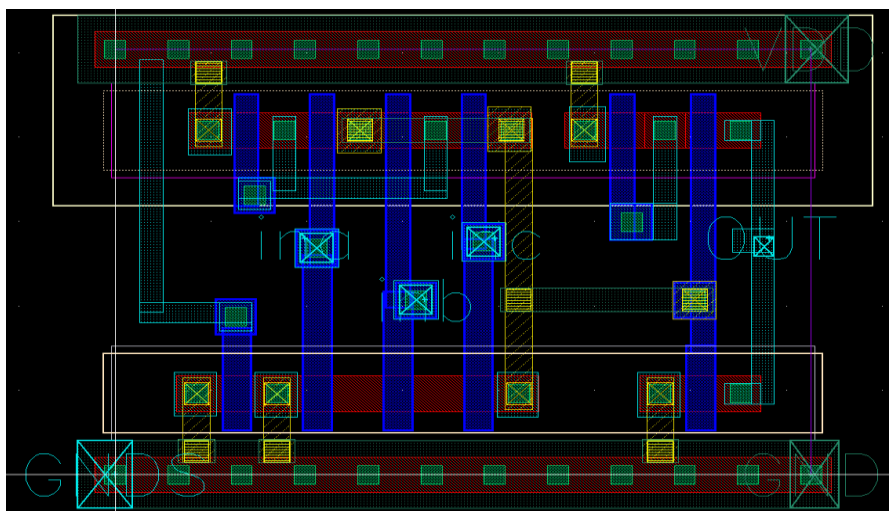
AND3

w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

改良前 DC 2.2V	改良後 AC 2.2V
<pre> x1 in1 in2 in3 out and V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 in3 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc 'and3.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0 2.2 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>

總功率消耗= 1.695uW

總功率消耗= 1.253 uW

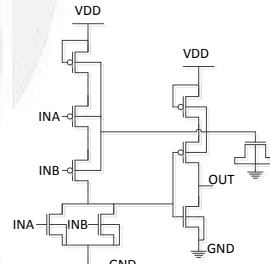
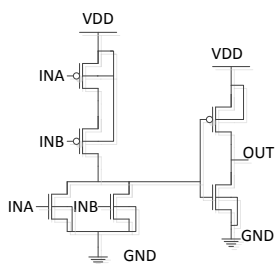


改良後 AND3 之 layout 圖

OR2 $w=0.42\mu$ (PMOS , $l=0.25\mu$ NMOS , $l=0.3\mu$)

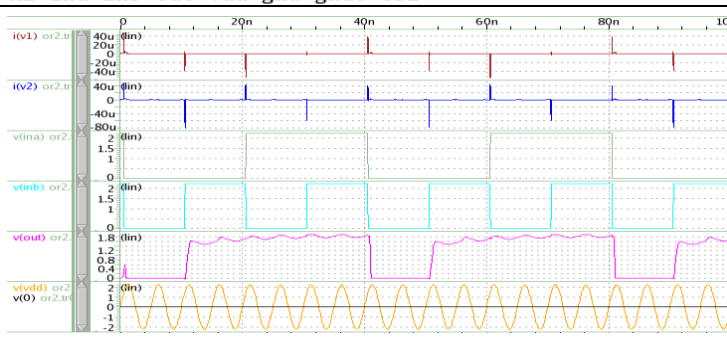
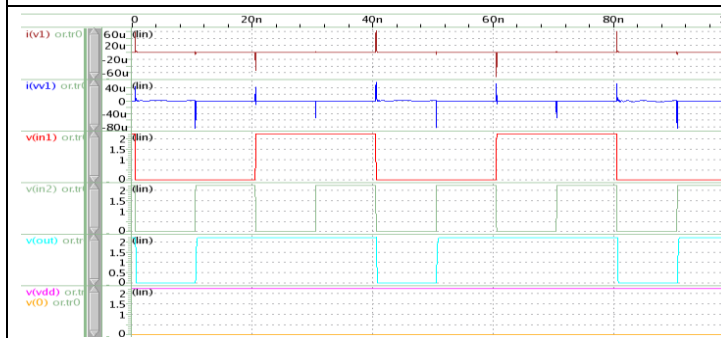
改良前 DC 2.2V

改良後 AC 2.2V



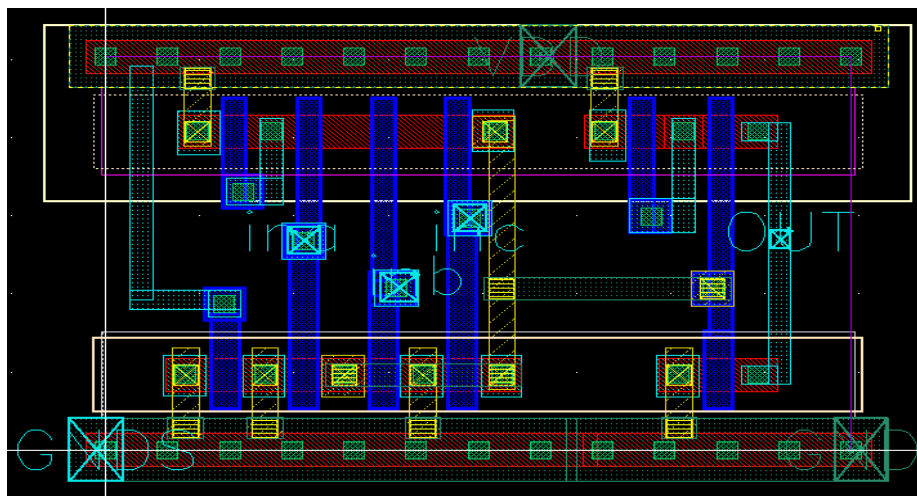
```
x1 in1 in2 out or
V1 in1 0 pulse( 2.2 0 0.5n 0.1n 0.1n 19.9n 40n
vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n)
c1 out 0 10ff
v4 vdd 0 2.2|
*v11 vdd 0 sin( 0 2.2 200Meg 0n 0e0)
v5 gnd 0 0
```

```
.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/
mm018.1' TT_m
.global vdd gnd gnds
.inc 'or2.netlist'
v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n)
v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n)
v5 vdd 0 sin(0 2.2| 200Meg 0n 0e0)
*v5 vdd 0 1.8
v3 gnd 0 0
v4 gnds 0 0
c1 out 0 10fF
x1 ina inb out vdd gnd gnds or2
```



總功率消耗= 2.818uW

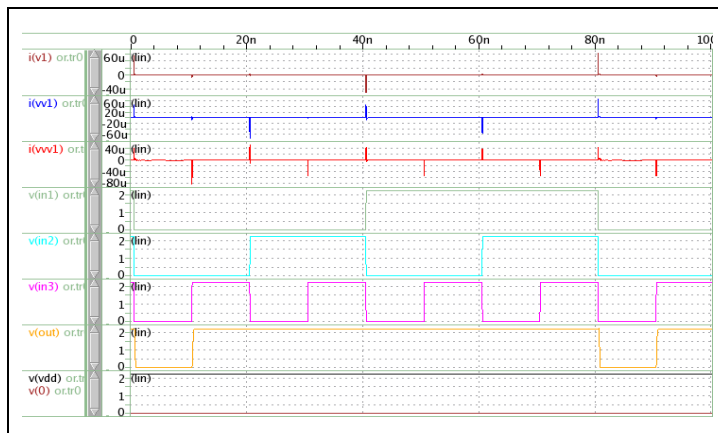
總功率消耗= 2.203 uW



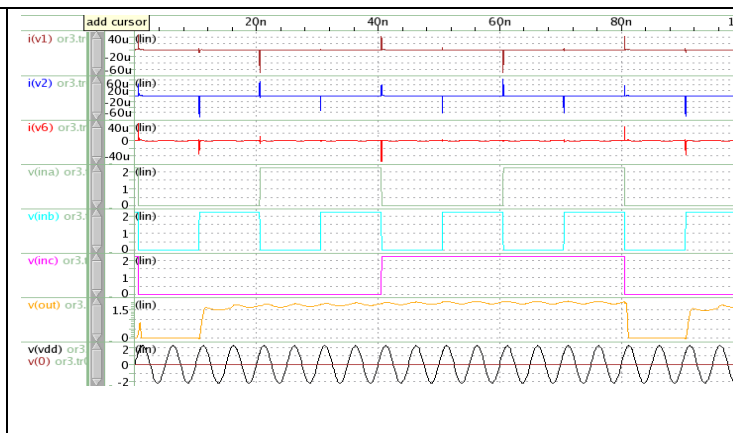
改良後 OR2 之 layout 圖

OR3 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

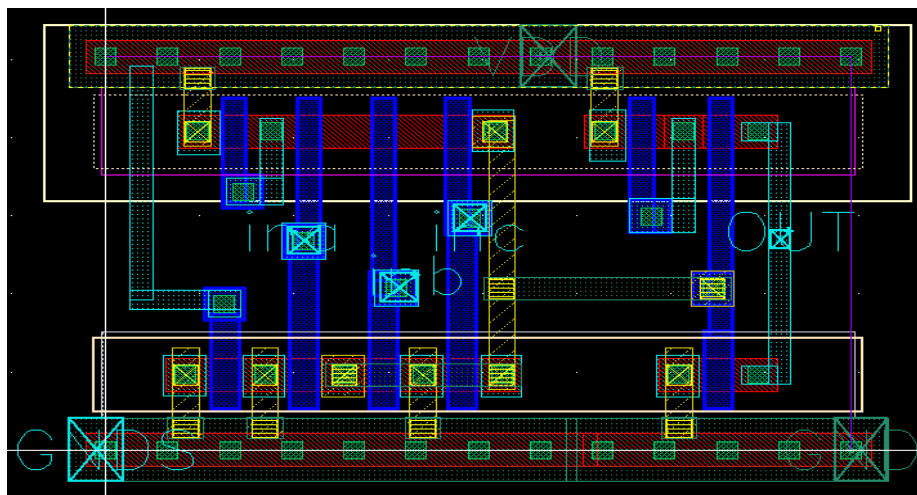
改良前 DC 2.2V	改良後 AC 2.2V
<pre> x1 in1 in2 in3 out or V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 in3 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .global vdd gnd gnds .inc 'or3.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0 2.2 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF x1 ina inb inc out vdd gnd gnds or3 </pre>



總功率消耗= 2.046uW



總功率消耗= 1.772 uW

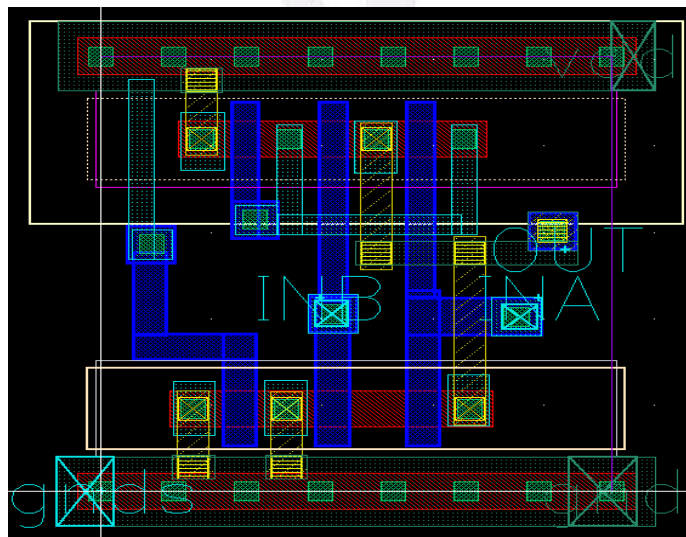


改良後 OR3 之 layout 圖

NAND2 $w=0.42\mu$ (PMOS $l=0.25\mu$ NMOS $l=0.3\mu$)

改良前 DC 2.2V	改良後 AC 2.2V

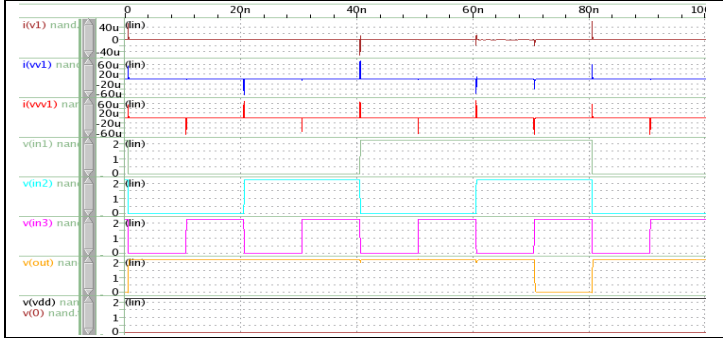
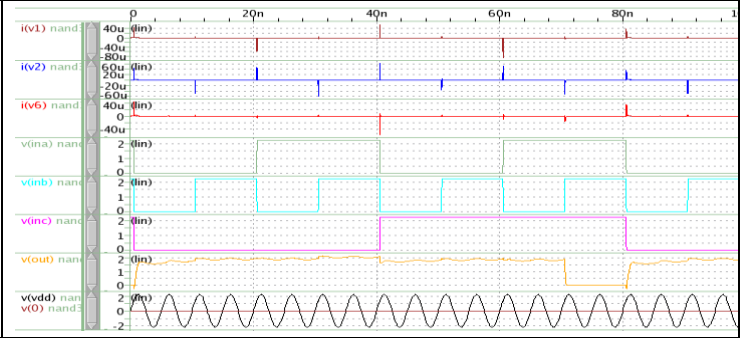
<pre>x1 in1 in2 out nand V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.l' TT_m .global vdd gnd gnds .inc'nand2.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0 2.2 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10FF x1 ina inb out vdd gnd gnds nand2</pre>
<p>總功率消耗=1.994uW</p>	<p>總功率消耗= 1.603 uW</p>

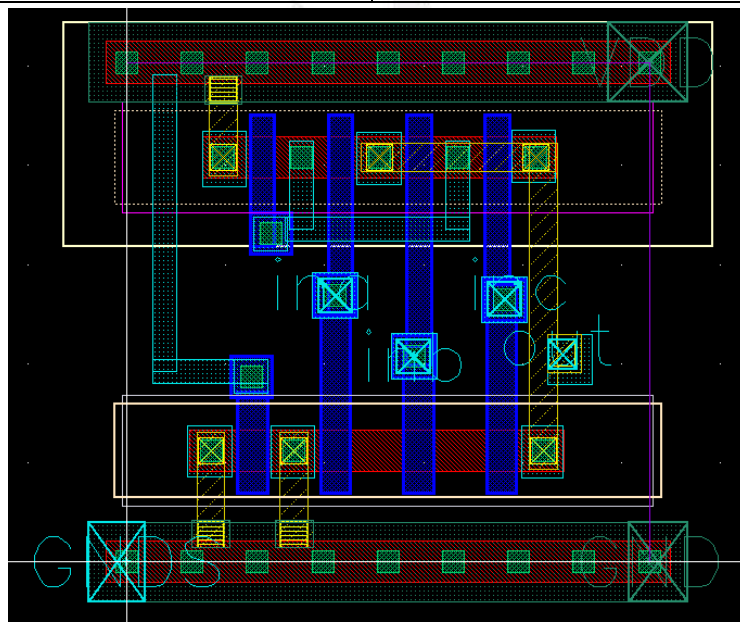


改良後 NAND2 之 layout 圖

NAND3 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)



<p>改良前 DC 2.2V</p>	<p>改良後 AC 2.2V</p>
--------------------	--------------------

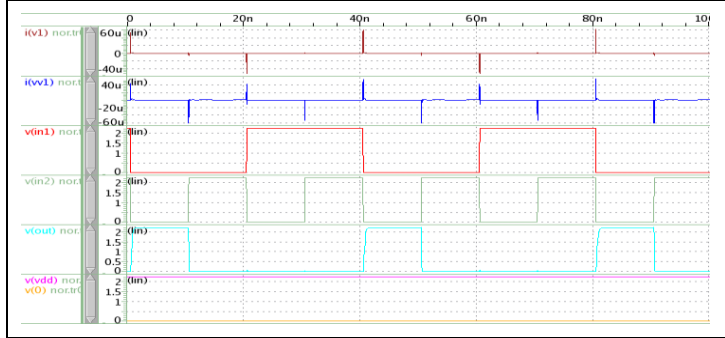
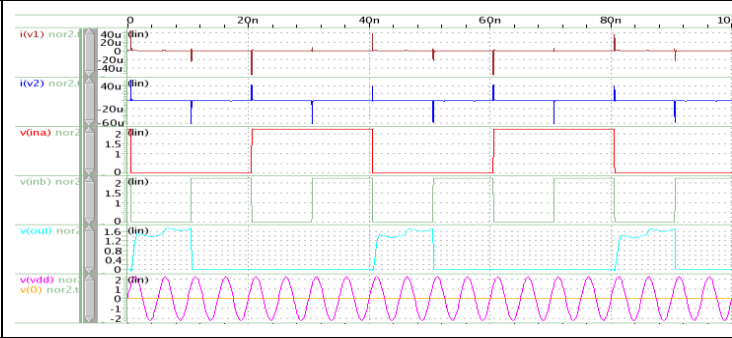
<pre>x1 in1 in2 in3 out nand V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 in3 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.l' TT_m .global vdd gnd gnds .inc 'nand3.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0 2.2 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>
	
<p>總功率消耗=1.434uW</p>	<p>總功率消耗= 1.192 uW</p>

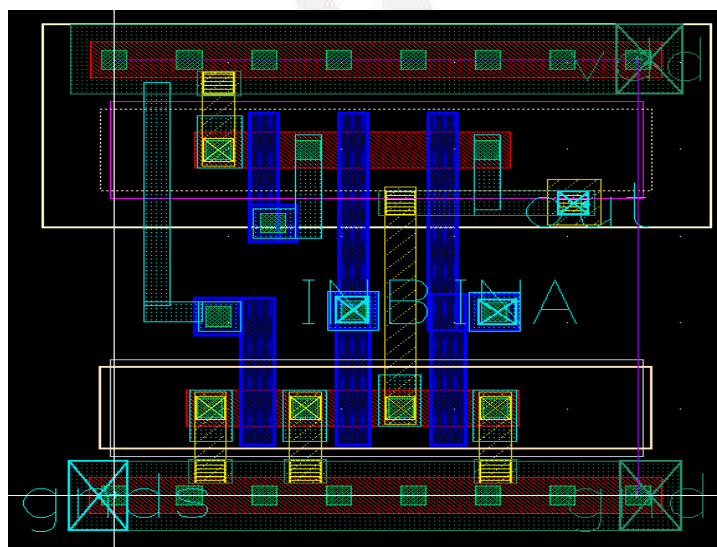


改良後 NAND3 之 layout 圖

NOR2 $w=0.42\mu$ (PMOS $l=0.25\mu$ NMOS $l=0.3\mu$)

<p>改良前 DC 2.2V</p>	<p>改良後 AC 2.2V</p>
	

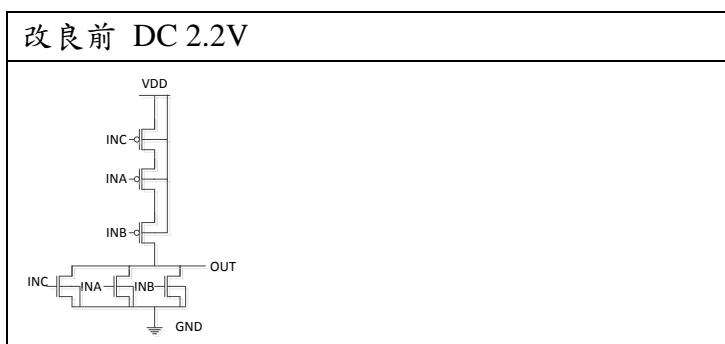
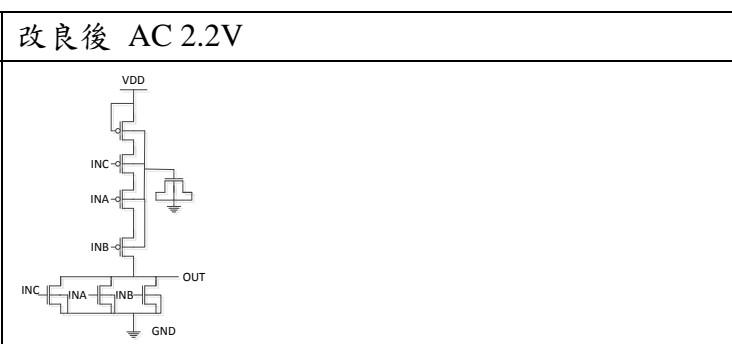
<pre>x1 in1 in2 out nor V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.l' TT_m .global vdd gnd gnds .inc 'nor2.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0 2.2 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF x1 ina inb out vdd gnd gnds nor2</pre>
	
<p>總功率消耗=2.233uW</p>	<p>總功率消耗= 1.666 uW</p>



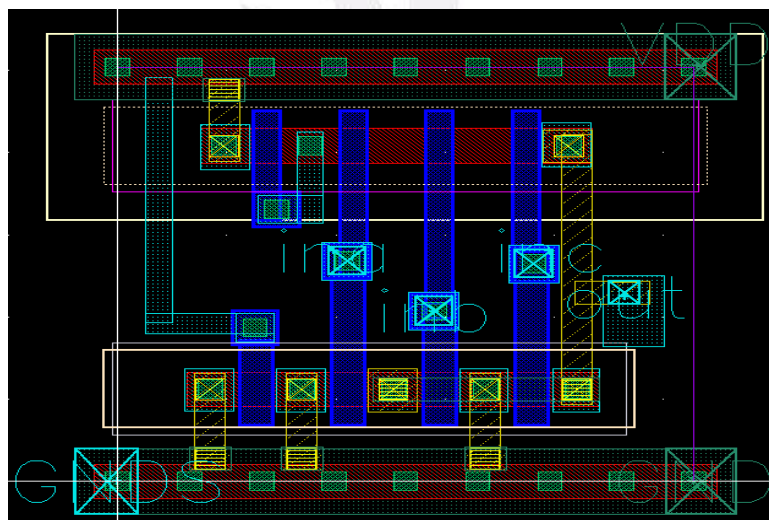
改良後 NOR2 之 layout 圖

NOR3

w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

<p>改良前 DC 2.2V</p> 	<p>改良後 AC 2.2V</p> 
---	---

<pre>x1 in1 in2 in3 out nor V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 in3 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TI_m .global vdd gnd gnnds .inc 'nor3.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0 2.2 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnnds 0 0 c1 out 0 10fF x1 ina inb inc out vdd gnd gnnds nor3</pre>
<p>總功率消耗= 1.507uW</p>	<p>總功率消耗= 1.329 uW</p>



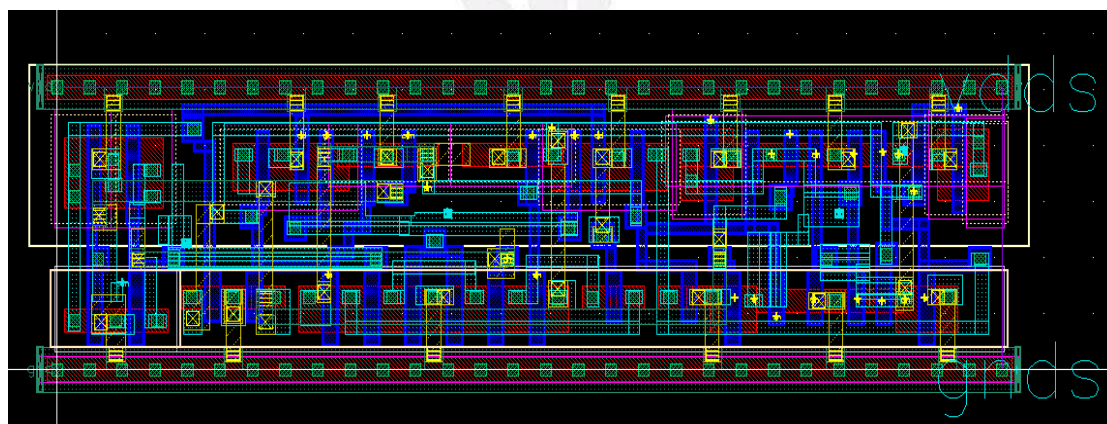
改良後 NOR3 之 layout 圖

D-FF

w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

<p>改良前 DC 2.2V</p>	<p>改良後 AC 2.2V</p>
--------------------	--------------------

<pre> x1 cdn cp d q qn dfctnx0 v1 cdn 0 1.8 vv1 cp 0 pulse(2.2 0 0.5n 0.1n 0.1n 5.9n 12n) vvv1 d 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 q 0 10ff cc1 qn 0 10ff v4 vdd 0 2.2 *v6 vdds 0 1.8 *v11 vdd 0 sin(0 2.2 500Meg 0n 0e0) v5 gnd 0 0 v7 gnds 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .inc 'dff2.net' x1 cdn cp d q qn gnd gnds dfctnx0 v1 cdn 0 1.8 vv1 cp 0 pulse(2.2 0 0.5n 0.1n 0.1n 5.9n 12n) vvv1 d 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 q 0 10ff cc1 qn 0 10ff *v4 vdd 0 2.2 *v6 vdds 0 2.2 v11 vdd 0 sin(0 2.2 500Meg 0n 0e0) v5 gnd 0 0 v7 gnds 0 0 </pre>
<p>總功率消耗=2.69uW</p>	<p>總功率消耗=15.85 uW</p>

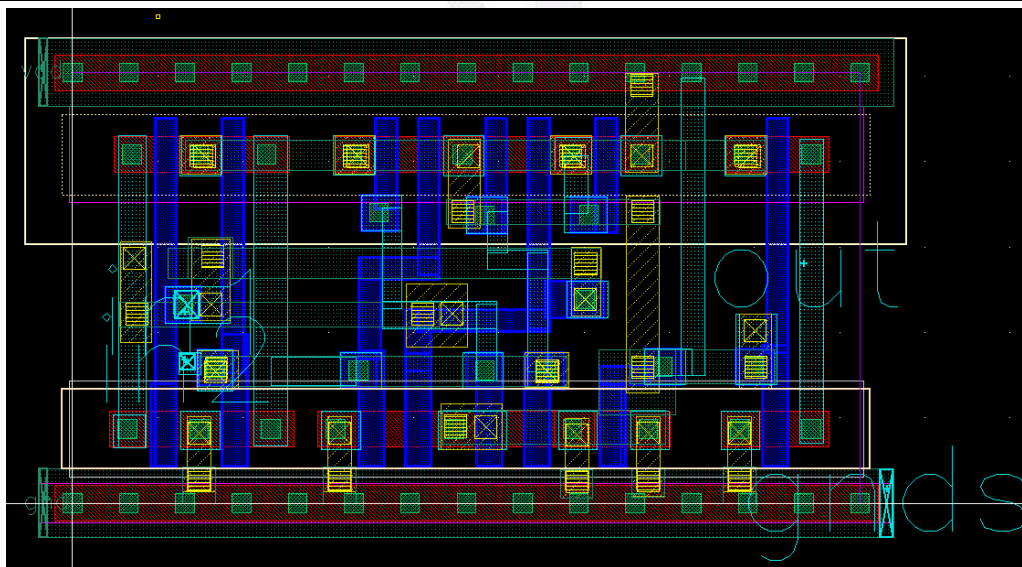


改良後 D-FF 之 layout 圖

XOR2 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

<p>改良前 DC 2.2V</p>	<p>改良後 AC 2.2V</p>
--------------------	--------------------

<pre>x1 in1 in2 out xor V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .inc 'xor.netlist' x1 in1 in2 out vdd gnd gnds xor1 V1 in1 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 in2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 out 0 10ff *v4 vdd 0 2.2 v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>
<p>總功率消耗= 11.11uW</p>	<p>總功率消耗=3.361 uW</p>



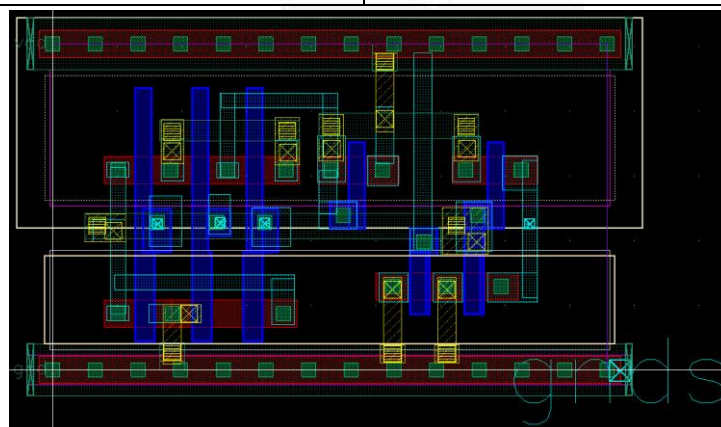
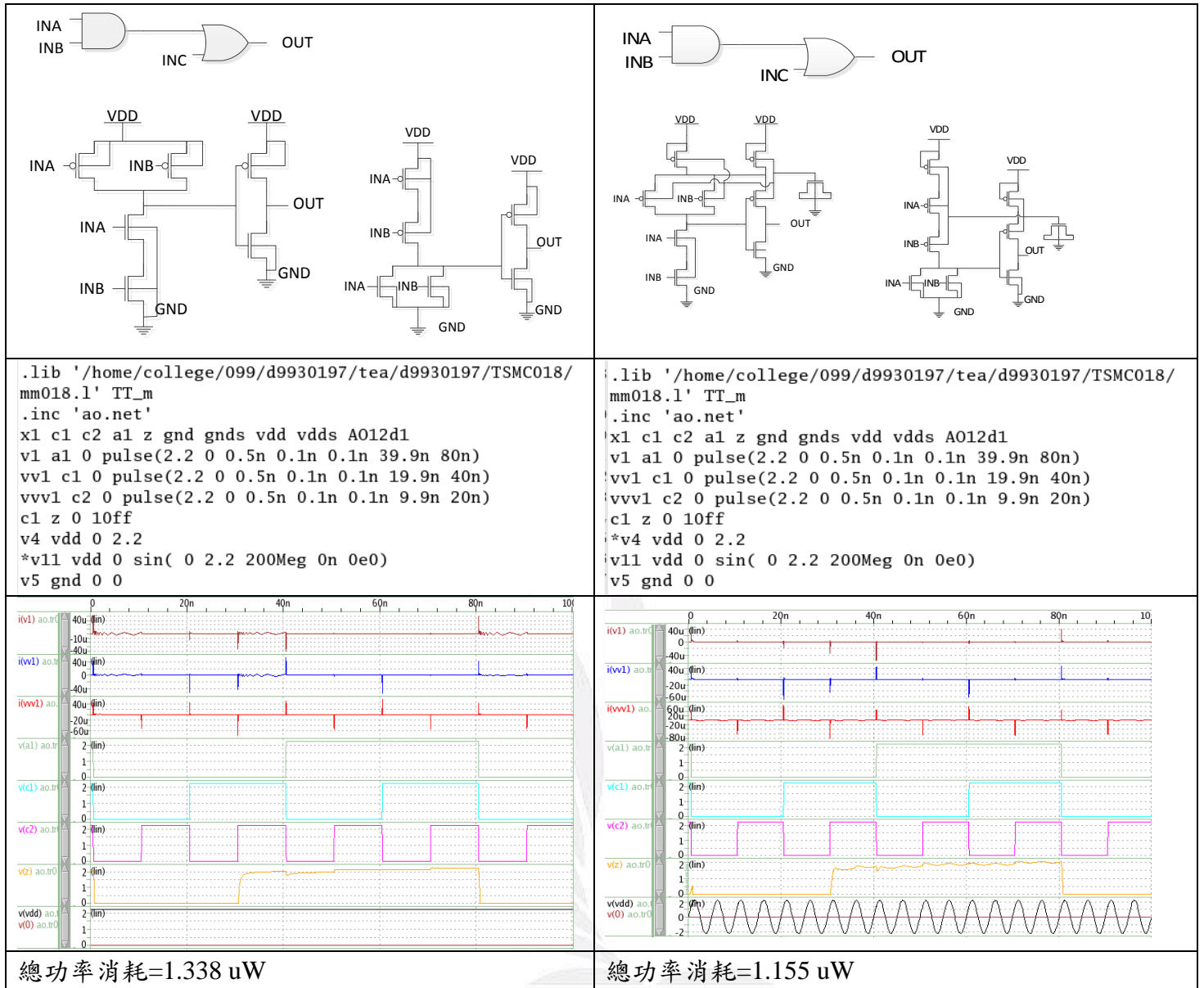
改良後 XOR2 之 layout 圖

AO12 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

<p>改良前 DC 2.2V</p>	<p>改良後 AC 2.2V</p>
--------------------	--------------------

使用於無線能量收獲設計的真實弦波電壓電路的設計與驗證

The True Sinusoid Voltage Driven Circuit Design and Validation for Wireless Signal Energy Harvest Design



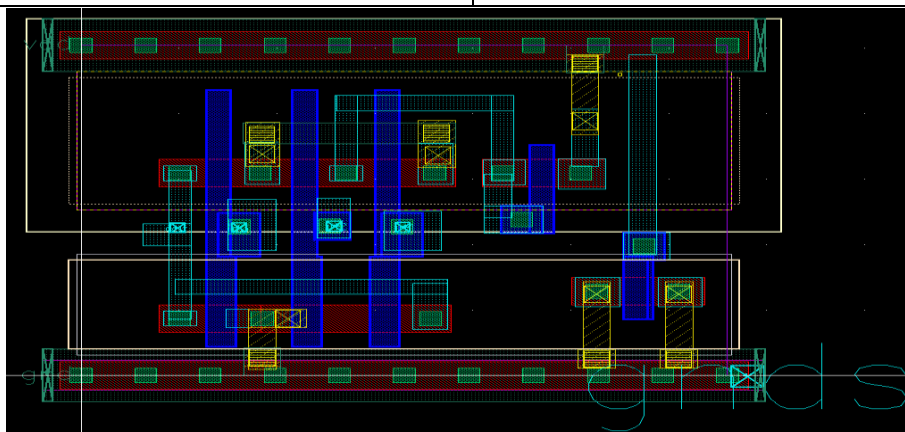
改良後 AOI12 之 layout 圖

AOI12

w=0.42u (PMOS ,l=0.25u

NMOS ,l=0.3u)

改良前 DC 2.2V	改良後 AC 2.2V
<pre> x1 a1 b1 b2 z A0I12d1 V1 a1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 b1 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 b2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/ mm018.1' TT_m .inc 'aoi.net' x1 a1 b2 b1 z vdd gnd gnds A0I12d1 v1 b2 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 b1 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 a1 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff *v4 vdd 0 2.2 v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0 </pre>
<p>總功率消耗=2.570 uW</p>	<p>總功率消耗=2.127 uW</p>



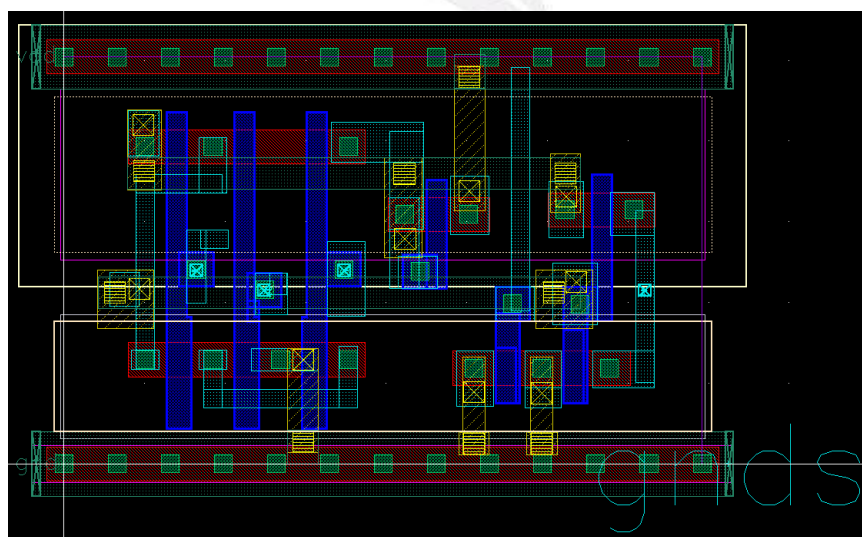
改良後 AOI12 之 layout 圖

OA12

w=0.42u (PMOS ,l=0.25u

NMOS ,l=0.3u)

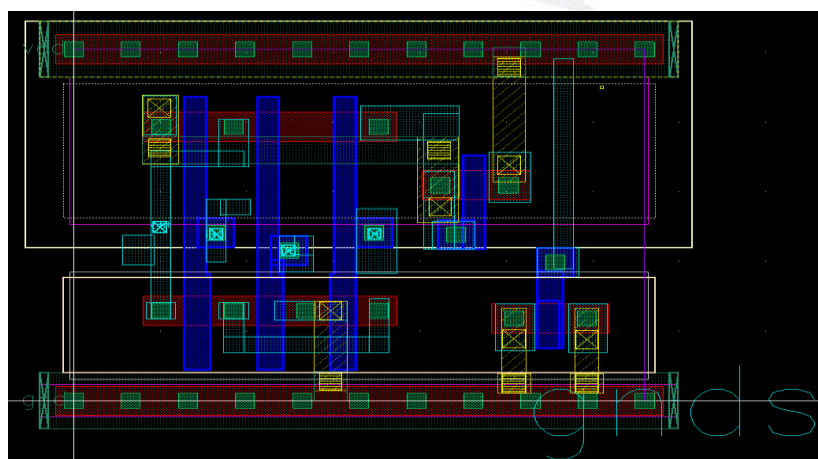
<p>改良前 DC 2.2V</p>	<p>改良後 AC 2.2V</p>
<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'oa2.net' x1 c1 c2 a1 z vdd gnd gnds OAI12d1 v1 c1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 a1 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'oa2.net' x1 c1 c2 a1 z vdd gnd gnds OAI12d1 v1 c1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 a1 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff *v4 vdd 0 2.2 v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>
<p>總功率消耗=2.754 uW</p>	<p>總功率消耗=2.168 uW</p>



改良後 OAI12 之 layout

OAI12 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

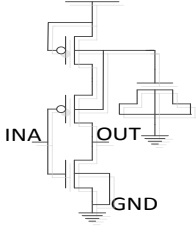
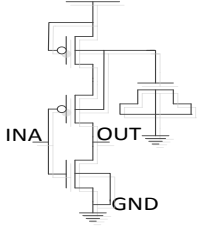
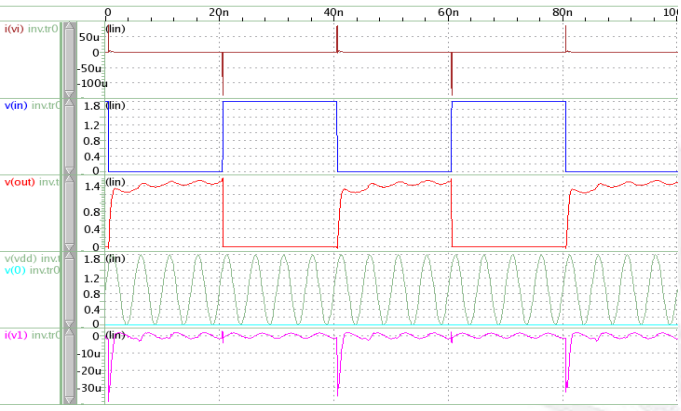
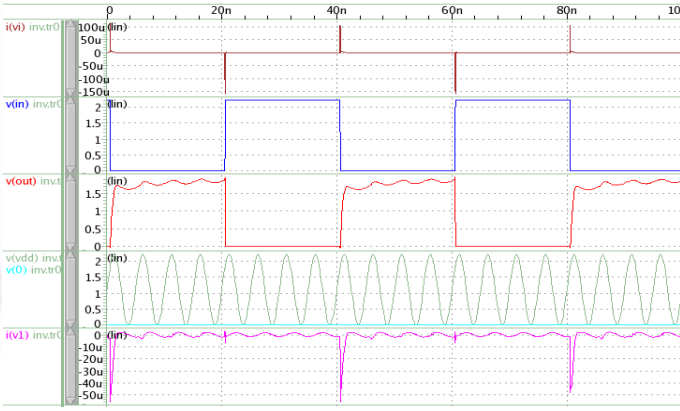
改良前 DC 2.2V	改良後 AC 2.2V
<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.l' TT_m .inc 'oai.net' x1 a1 c1 c2 z vdd gnd gnds OAI12d1 v1 c1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 a1 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff v4 vdd 0 2.2 *v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.l' TT_m .inc 'oai.net' x1 a1 c1 c2 z vdd gnd gnds OAI12d1 v1 c1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vv1 a1 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff *v4 vdd 0 2.2 v11 vdd 0 sin(0 2.2 200Meg 0n 0e0) v5 gnd 0 0</pre>
<p>總功率消耗=2.378 uW</p>	<p>總功率消耗=2.034 uW</p>

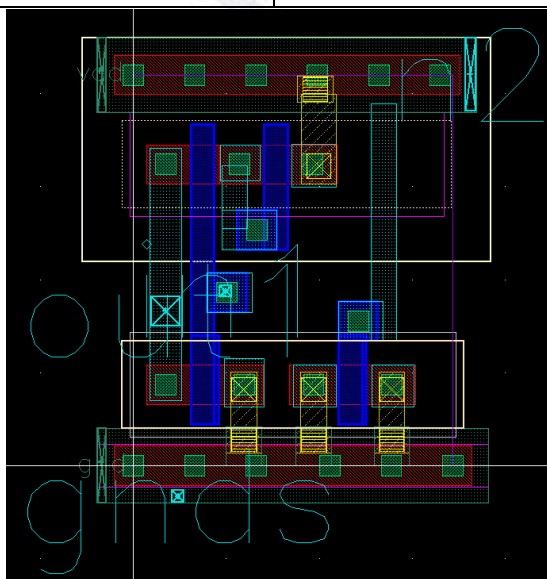


改良後 OAI12 之 layout 圖

Pulse DC

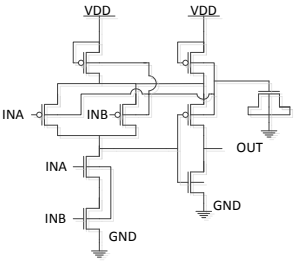
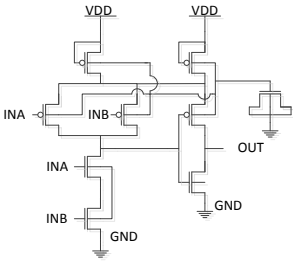
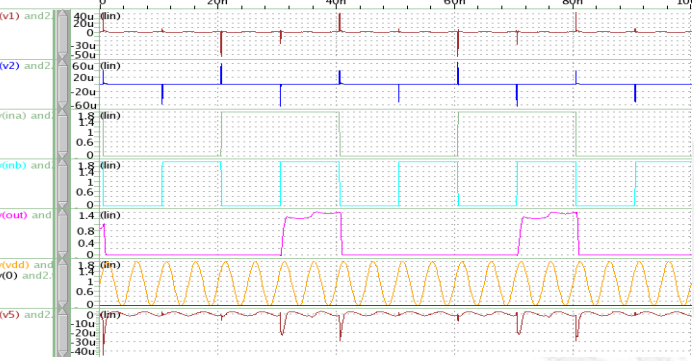
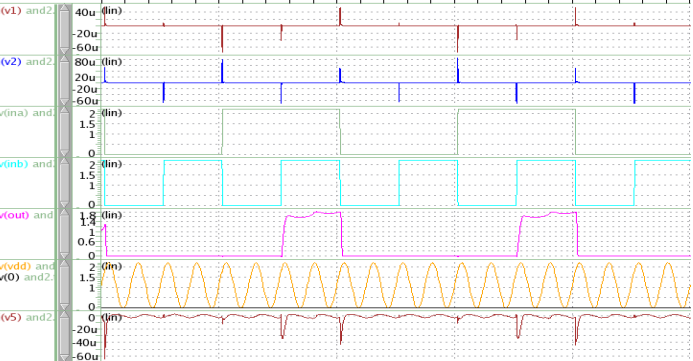
INV1 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

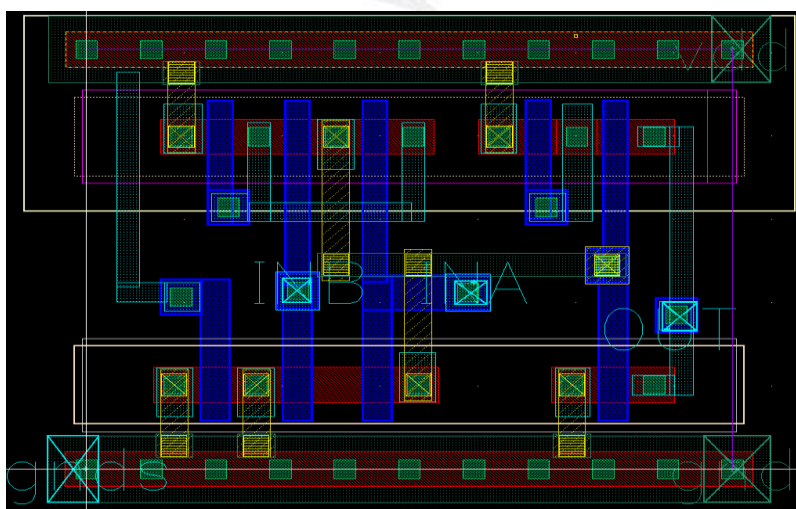
改良後 DC-Pulse 1.8V	改良後 DC-Pulse 2.2V
	
<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .GLOBAL VDD GND .inc 'inv2.pex.netlist' vi IN 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) c1 OUT 0 10fF *v1 VDD 0 2.2 v1 VDD 0 sin(0.9 0.9 200Meg 0n 0e0) v2 GND 0 0 v22 GNDS 0 0 x1 IN GNDS OUT VDD GND inv2</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .GLOBAL VDD GND .inc 'inv2.pex.netlist' vi IN 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) c1 OUT 0 10fF *v1 VDD 0 2.2 v1 VDD 0 sin(1.1 1.1 200Meg 0n 0e0) v2 GND 0 0 v22 GNDS 0 0 x1 IN GNDS OUT VDD GND inv2</pre>
	
總功率消耗= 1.058uW	總功率消耗= 1.594uW



改良後 INV 之 layout 圖

AND2 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
	
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.l' TT_m .global vdd gnd gnds .inc 'and2.pex.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.l' TT_m .global vdd gnd gnds .inc 'and2.pex.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>
	
<p>總功率消耗= 1.389uW</p>	<p>總功率消耗= 2.176uW</p>

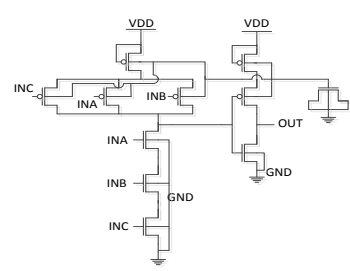
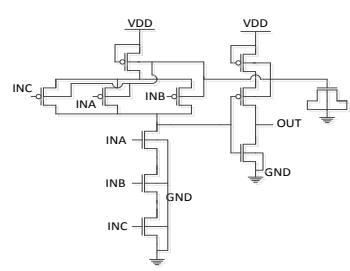
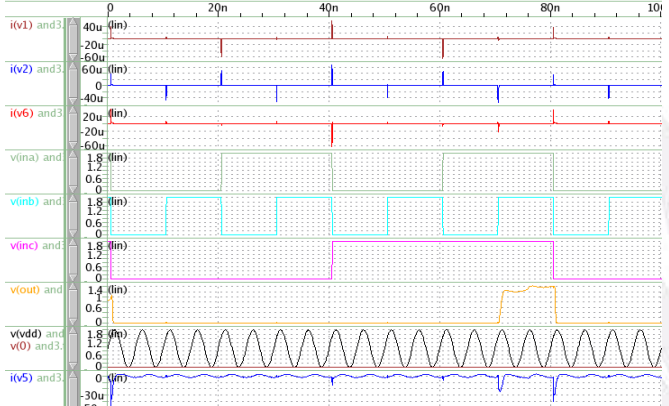
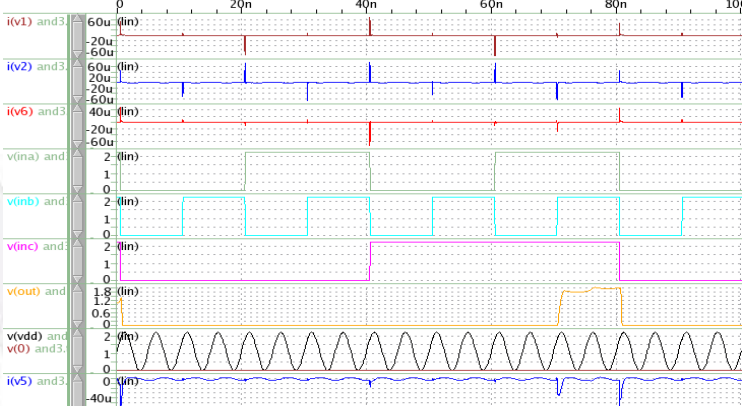


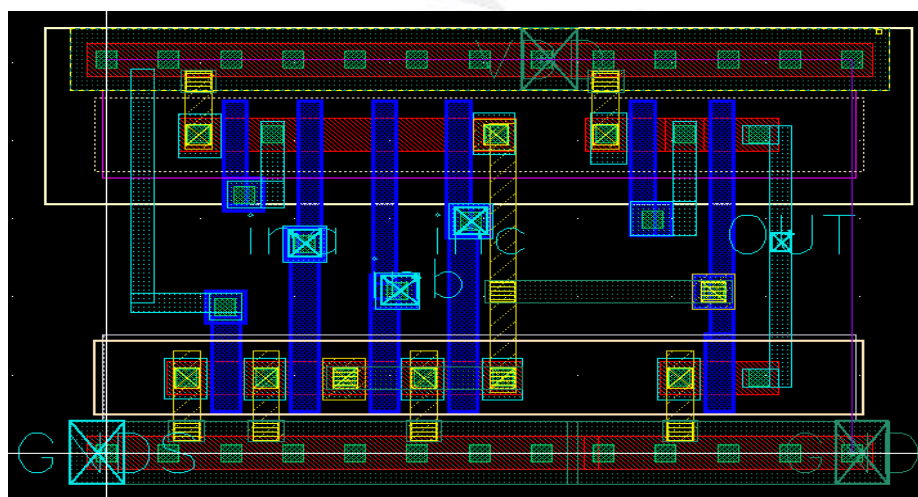
改良後 AND2 之 layout 圖

AND3

w=0.42u (PMOS ,l=0.25u

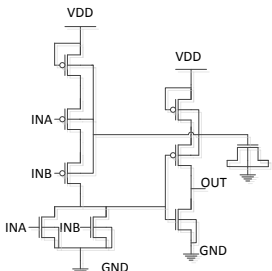
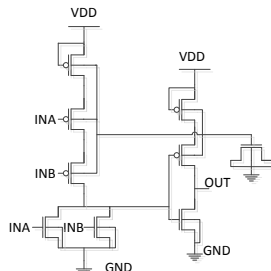
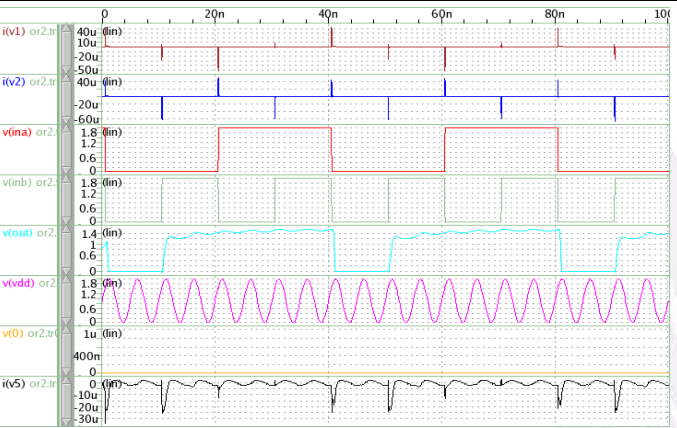
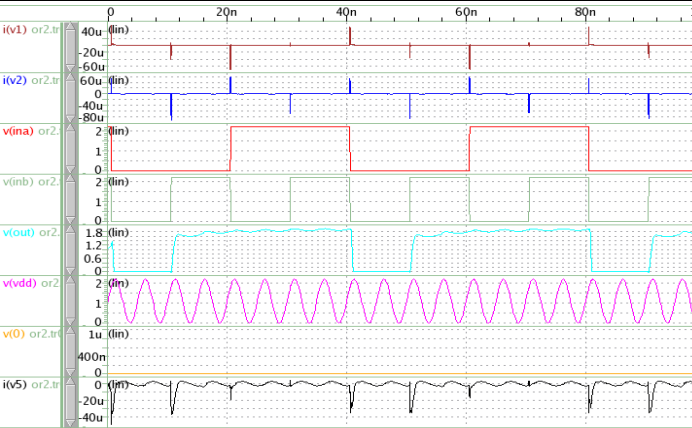
NMOS ,l=0.3u)

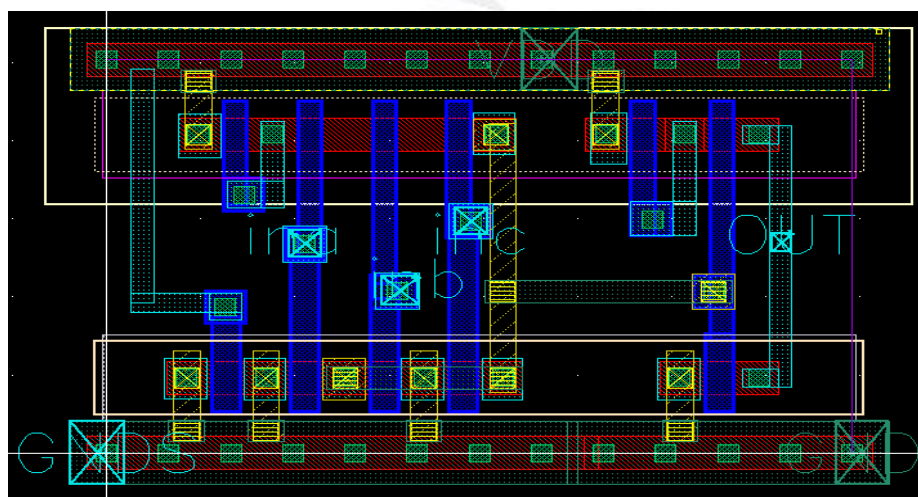
<p>改良後 DC-pulse 1.8V</p>	<p>改良後 DC-pulse 2.2V</p>
	
<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc'and3.pex.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc'and3.pex.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>
	
<p>總功率消耗=0.973uW</p>	<p>總功率消耗=1.504uW</p>



改良後 AND3 之 layout 圖

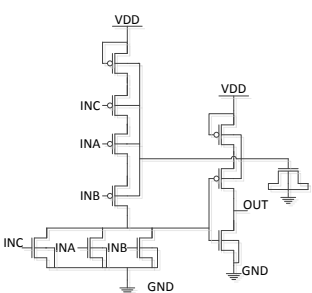
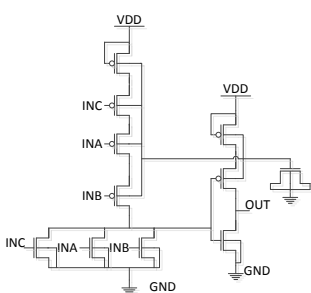
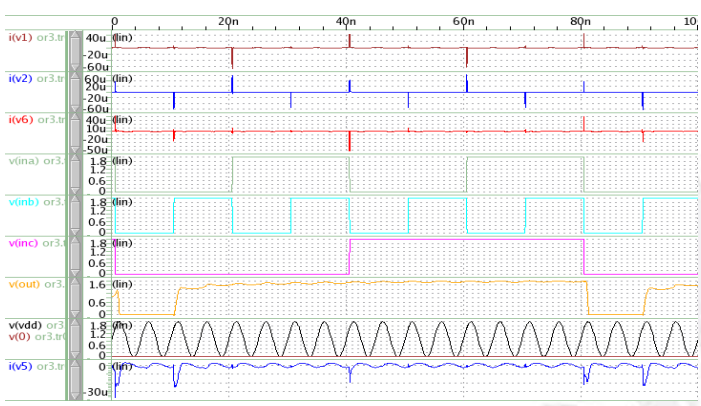
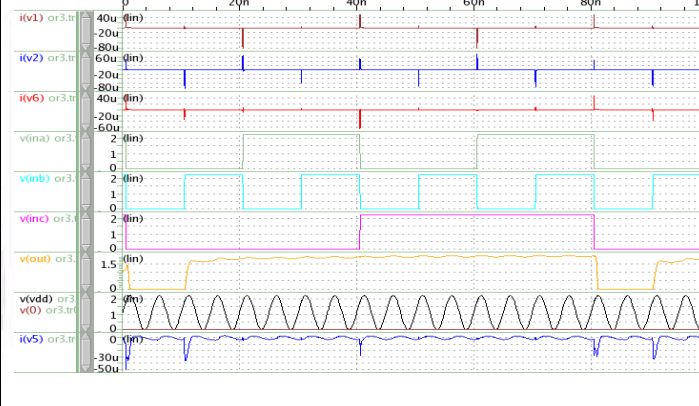
OR2 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

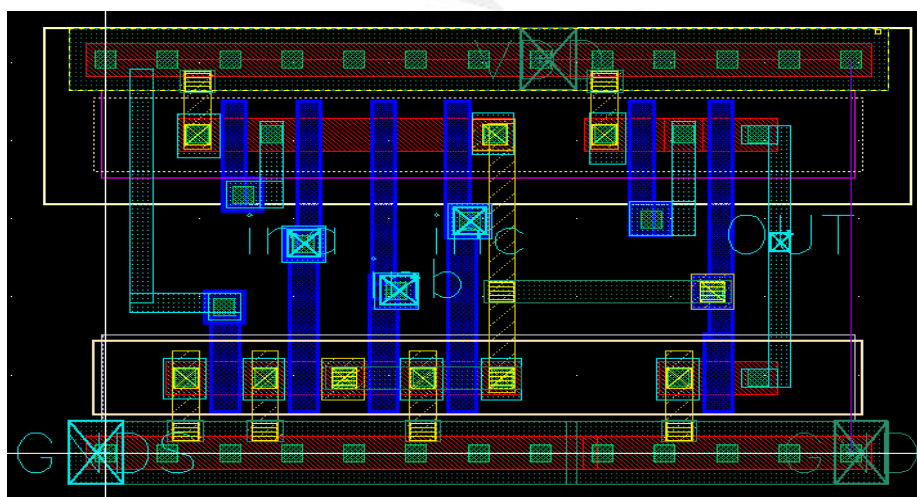
改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
	
<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc 'or2.pex.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc 'or2.pex.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>
	
<p>總功率消耗=1.702uW</p>	<p>總功率消耗=2.612uW</p>



改良後 OR2 之 layout 圖

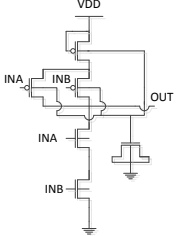
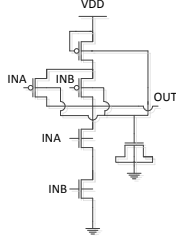
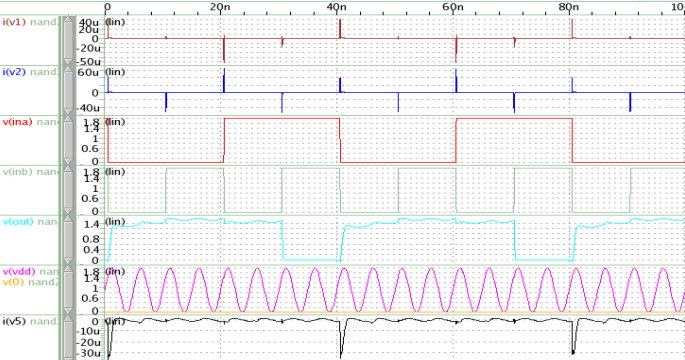
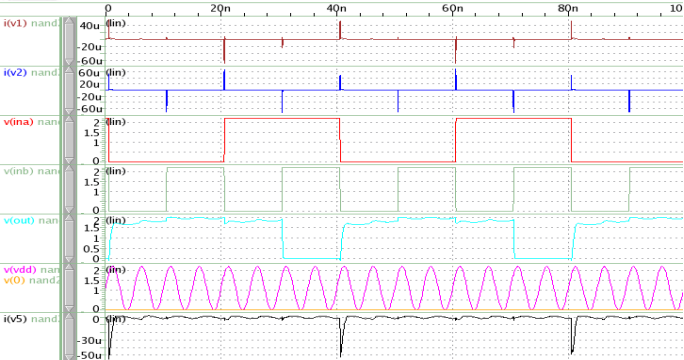
OR3 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

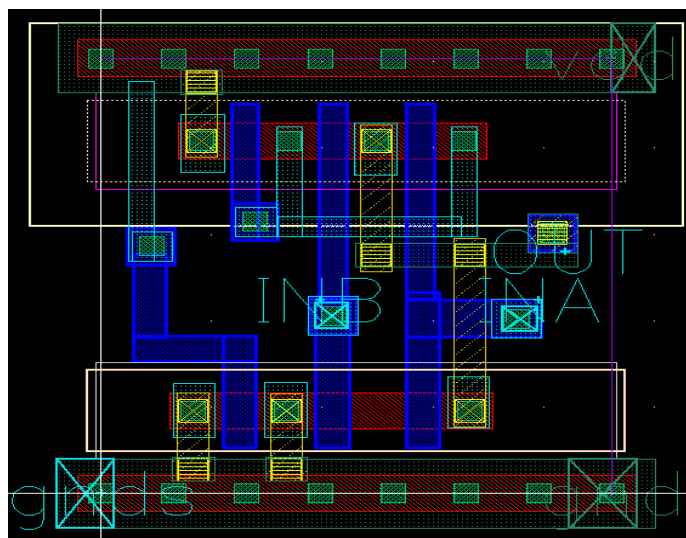
<p>改良後 DC-pulse 1.8V</p>	<p>改良後 DC-pulse 2.2V</p>
	
<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc'or3.pex.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc'or3.pex.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>
	
<p>總功率消耗= 2.046uW</p>	<p>總功率消耗= 1.333uW</p>



改良後 OR3 之 layout 圖

NAND2 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)

改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
	
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc'nand2.pex.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc'nand2.pex.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>
	
<p>總功率消耗=1.129uW</p>	<p>總功率消耗= 1.740uW</p>

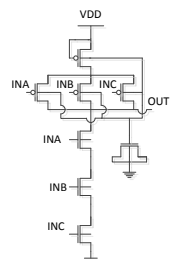
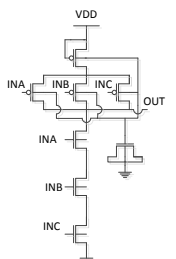
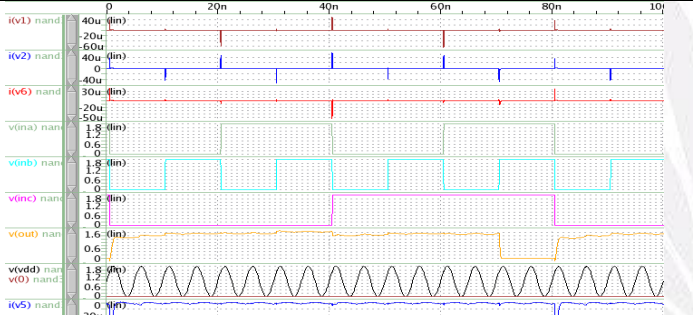
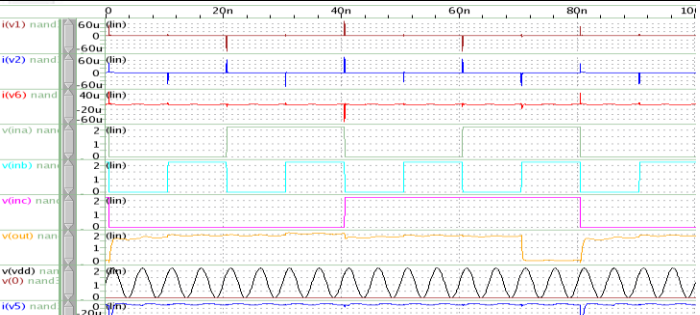


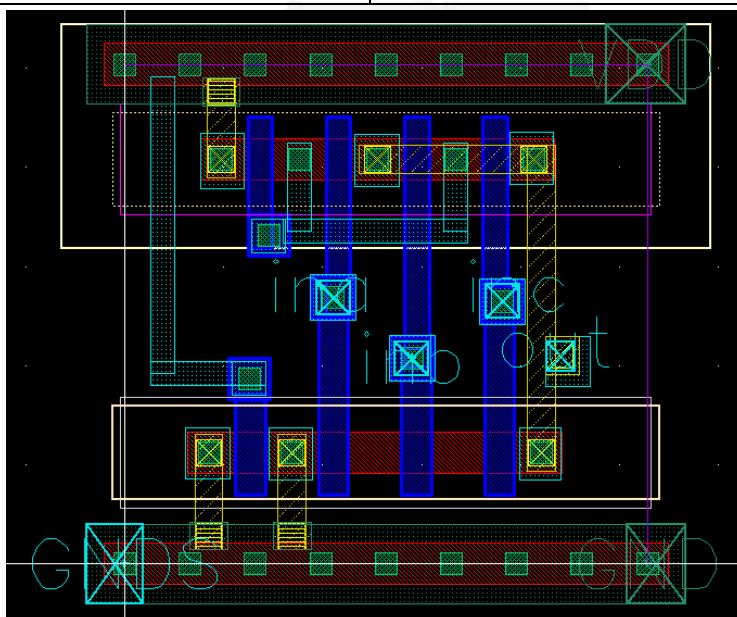
改良後 NAND2 之 layout 圖

NAND3

w=0.42u (PMOS ,l=0.25u

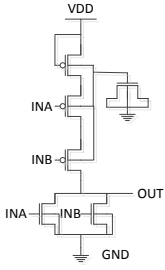
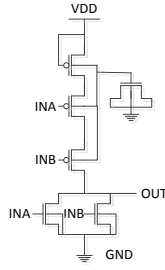
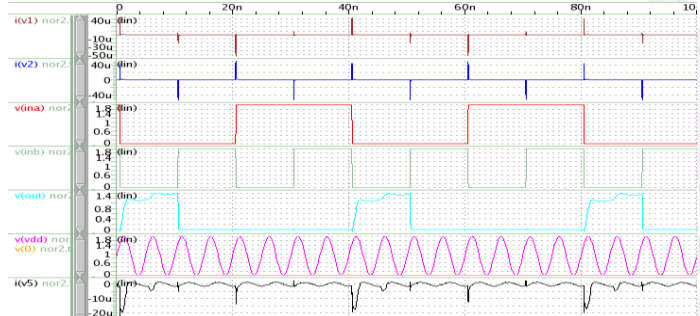
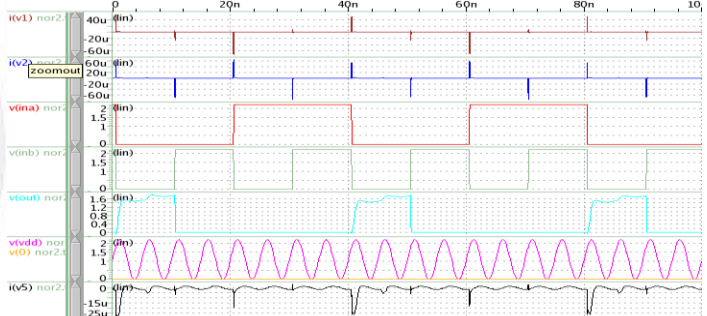
NMOS ,l=0.3u)

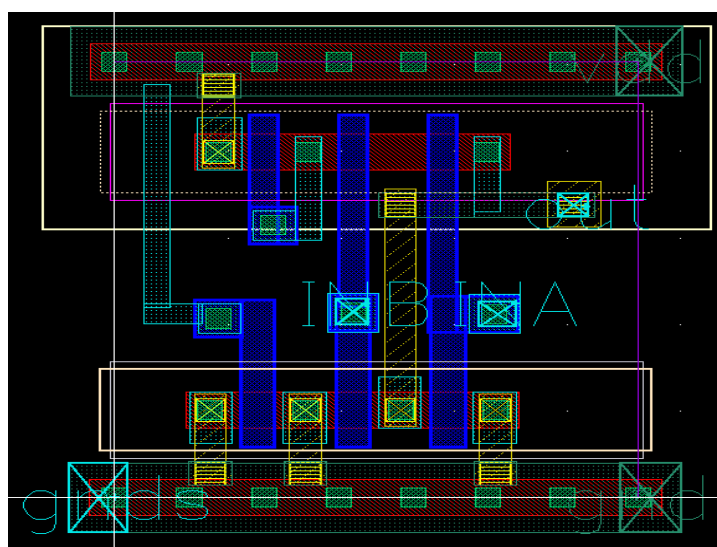
<p>改良後 DC-pulse 1.8V</p>	<p>改良後 DC-pulse 2.2V</p>
	
<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc'nand3.pex.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>	<pre>.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc'nand3.pex.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF</pre>
	
<p>總功率消耗=0.8263uW</p>	<p>總功率消耗= 1.262uW</p>



改良後 NAND3 之 layout 圖

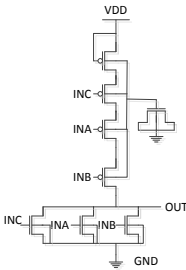
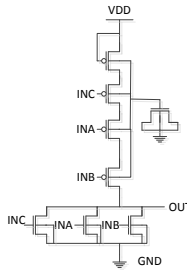
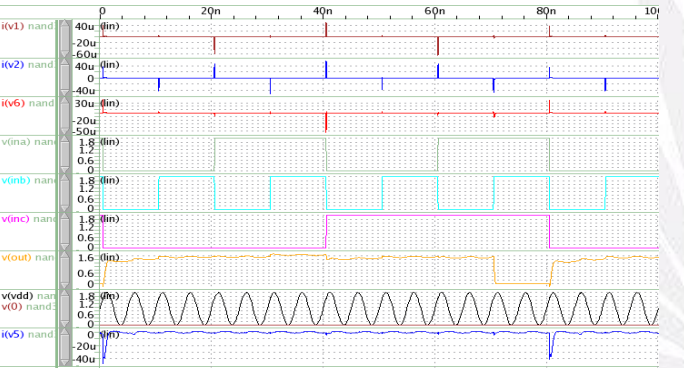
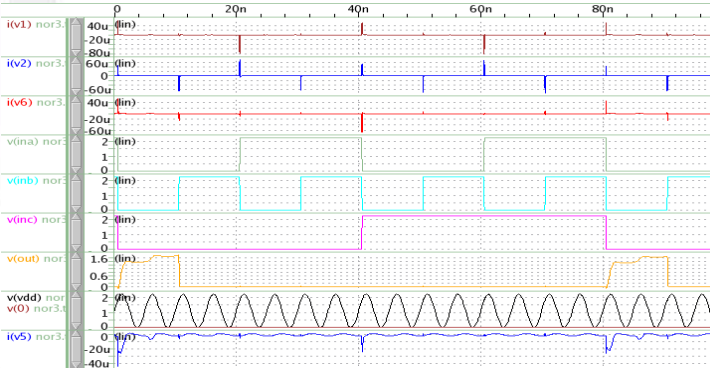
NOR2 $w=0.42\mu$ (PMOS $l=0.25\mu$ NMOS $l=0.3\mu$)

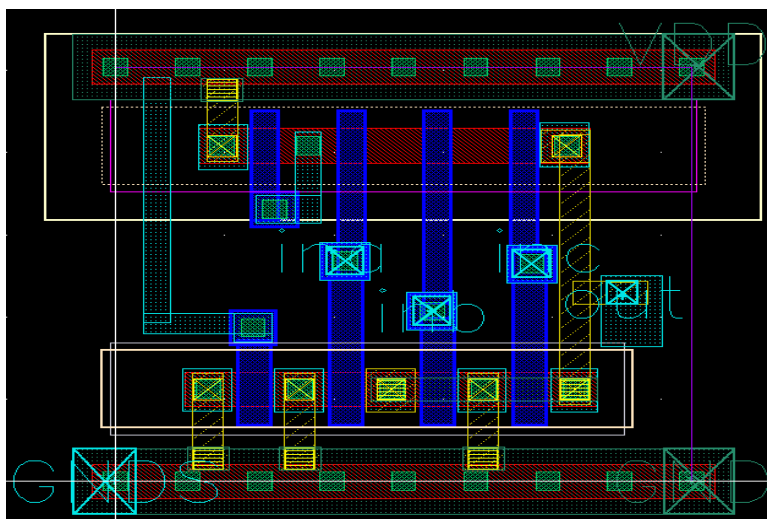
改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
	
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.l' TT_m .global vdd gnd gnds .inc 'nor2.pex.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.l' TT_m .global vdd gnd gnds .inc 'nor2.pex.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v5 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) *v5 vdd 0 2.2 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>
	
總功率消耗=1.194uW	總功率消耗=1.866uW



改良後 NOR2 之 layout 圖

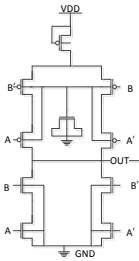
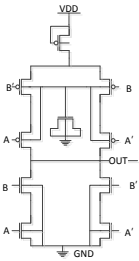
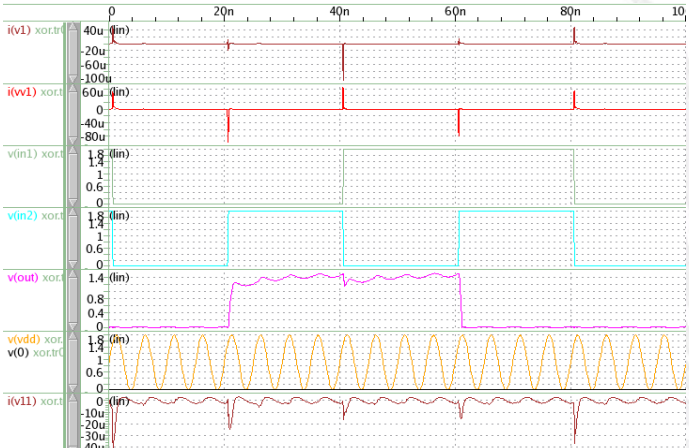

NOR3 $w=0.42\mu$ (PMOS $l=0.25\mu$ NMOS $l=0.3\mu$)

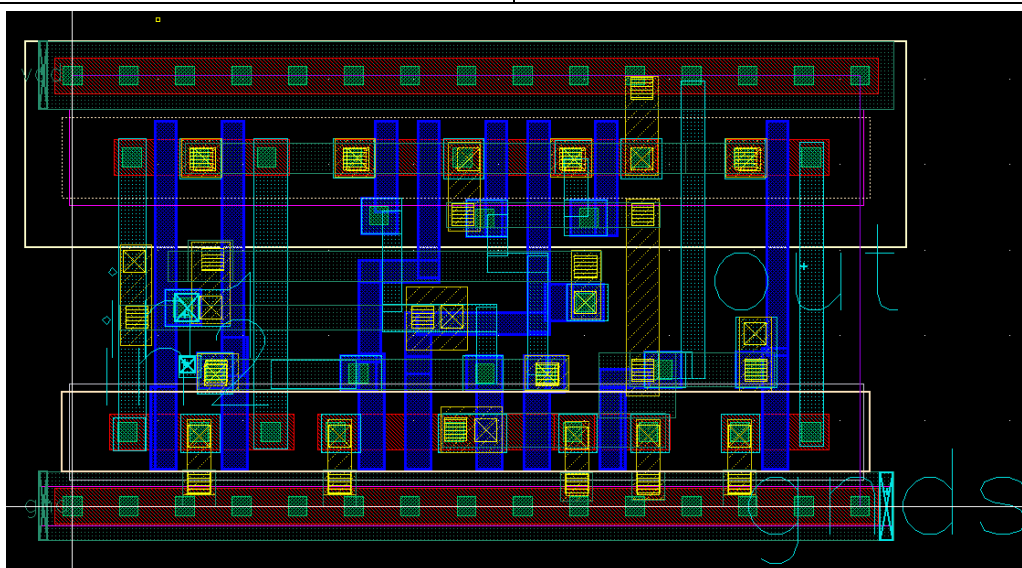
改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
	
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc 'nor3.pex.netlist' v1 ina 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .global vdd gnd gnds .inc 'nor3.pex.netlist' v1 ina 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) v2 inb 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) v6 inc 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) v5 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) *v5 vdd 0 1.8 v3 gnd 0 0 v4 gnds 0 0 c1 out 0 10fF </pre>
	
<p>總功率消耗= 0.8795uW</p>	<p>總功率消耗= 1.416uW</p>



改良後 NOR3 之 layout 圖

XOR2 $w=0.42\mu$ (PMOS, $l=0.25\mu$) NMOS, $l=0.3\mu$)

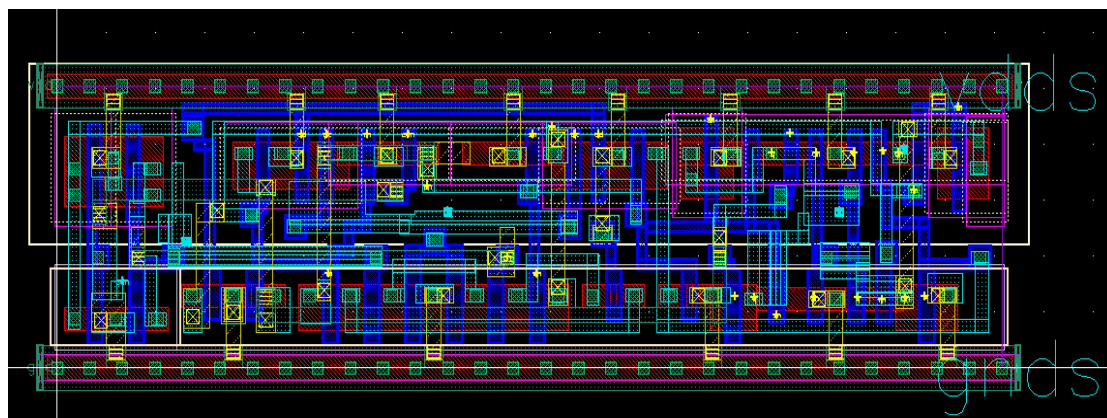
改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
	
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'xor1.pex.netlist' x1 IN1 IN2 GNDS VDD OUT GND xor1 V1 IN1 0 pulse(1.8 0 0.5n 0.2n 0.2n 39.8n 80n) vv1 IN2 0 pulse(1.8 0 0.5n 0.2n 0.2n 19.8n 40n) c1 OUT 0 10ff *v4 VDD 0 1.8 v11 VDD 0 sin(0.9 0.9 200Meg 0n 0e0) v5 GND 0 0 </pre>	
	
<p>總功率消耗 = 1.403uW</p>	<p>總功率消耗 = 2.188uW</p>



改良後 XOR2 之 layout 圖

D-FF $w=0.42\mu$ (PMOS , $l=0.25\mu$ NMOS , $l=0.3\mu$)

改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'dfctnx0.pex.netlist' x1 CDN D CP QN Q GNDS VDD GND dfctnx0 v1 cdn 0 1.8 vv1 cp 0 pulse(1.8 0 0.5n 0.1n 0.1n 5.9n 12n) vvv1 d 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 q 0 10ff cc1 qn 0 10ff *v4 vdd 0 1.8 *v6 vdds 0 1.8 v11 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) v5 gnd 0 0 v7 gnds 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'dfctnx0.pex.netlist' x1 CDN D CP QN Q GNDS VDD GND dfctnx0 v1 cdn 0 2.2 vv1 cp 0 pulse(2.2 0 0.5n 0.1n 0.1n 5.9n 12n) vvv1 d 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 q 0 10ff cc1 qn 0 10ff *v4 vdd 0 1.8 *v6 vdds 0 1.8 v11 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) v5 gnd 0 0 v7 gnds 0 0 </pre>
<p>總功率消耗= 9.331uW</p>	<p>總功率消耗= 15.14uW</p>

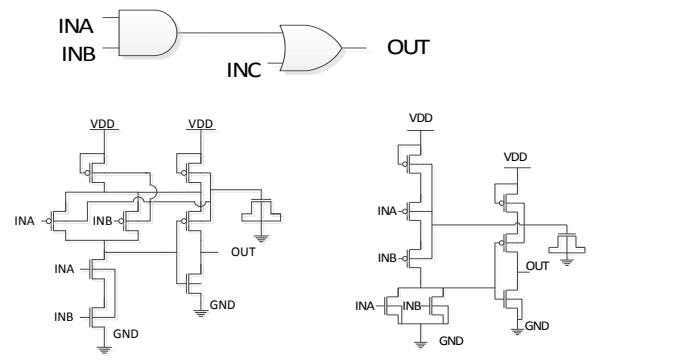
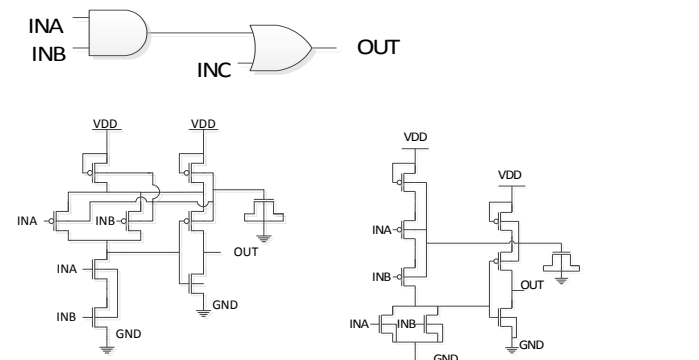
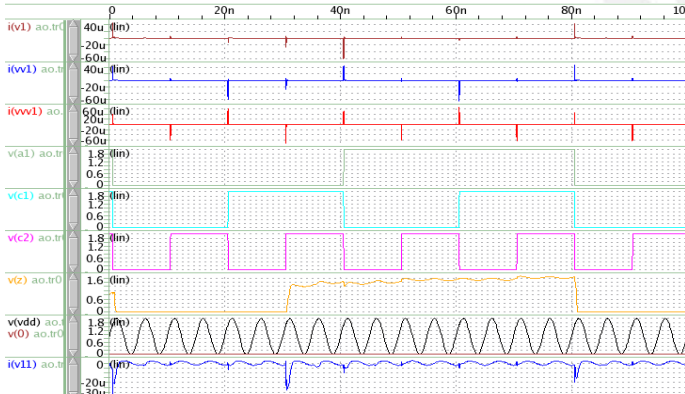
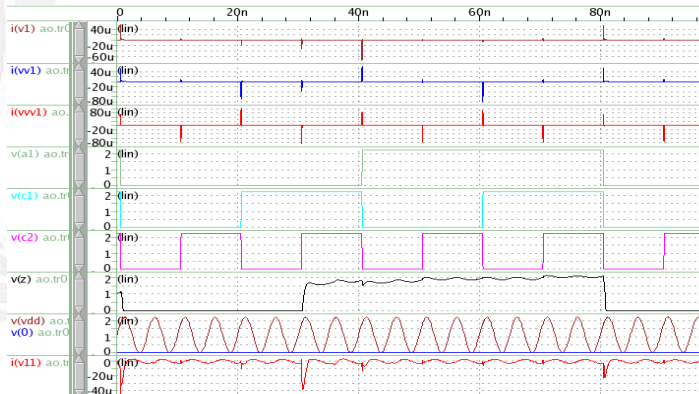


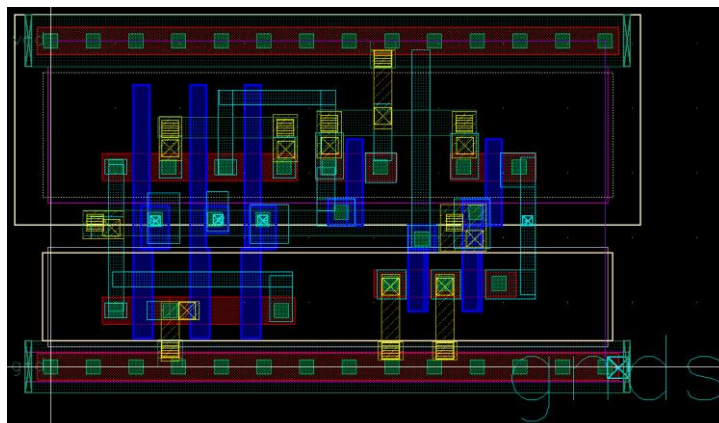
改良後 D-FF layout 圖

AO12

w=0.42u (PMOS ,l=0.25u

NMOS ,l=0.3u)

改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
	
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'ra012.pex.netlist' x1 A1 C2 C1 GND5 VDD Z GND AO12d1 v1 a1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c1 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 c2 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff *v4 vdd 0 2.2 v11 vdd 0 sin(0.9 0.9 200Meg 0n 0e0) v5 gnd 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'ra012.pex.netlist' x1 A1 C2 C1 GND5 VDD Z GND AO12d1 v1 a1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 c1 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 c2 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 z 0 10ff *v4 vdd 0 2.2 v11 vdd 0 sin(1.1 1.1 200Meg 0n 0e0) v5 gnd 0 0 </pre>
	
<p>總功率消耗= 0.8835uW</p>	<p>總功率消耗= 1.345uW</p>



改良後 AO12 layout 圖

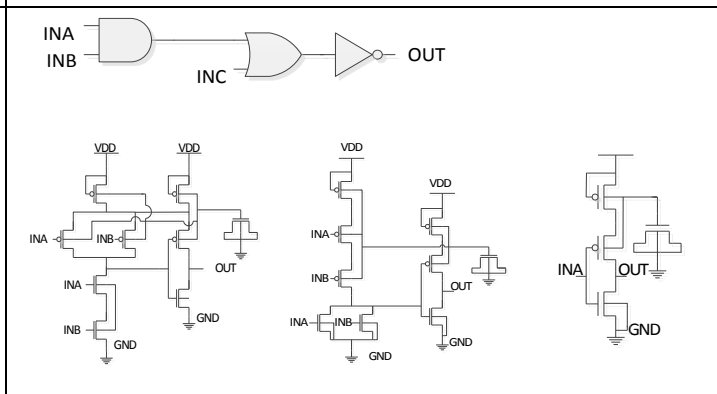
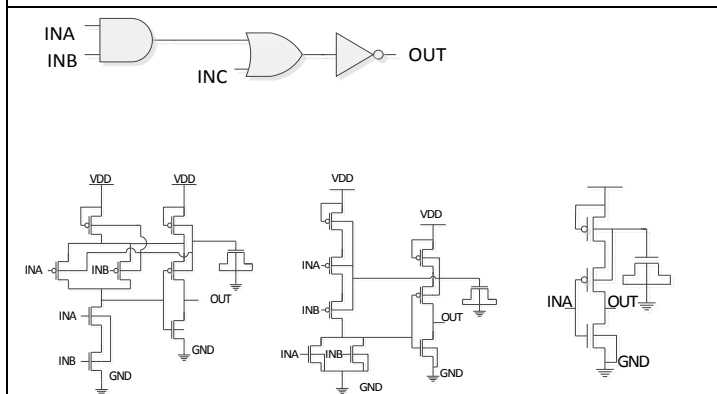
AOI12

w=0.42u (PMOS ,l=0.25u

NMOS ,l=0.3u)

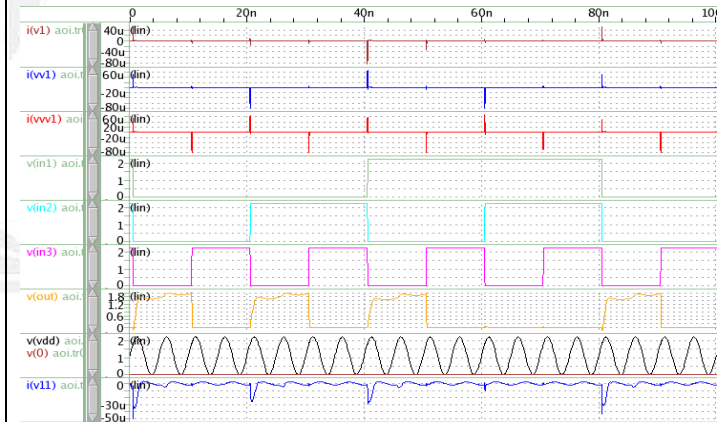
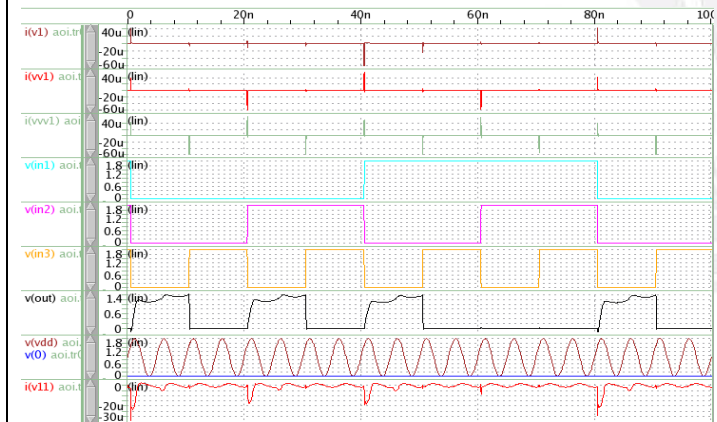
改良後 DC-pulse 1.8V

改良後 DC-pulse 2.2V



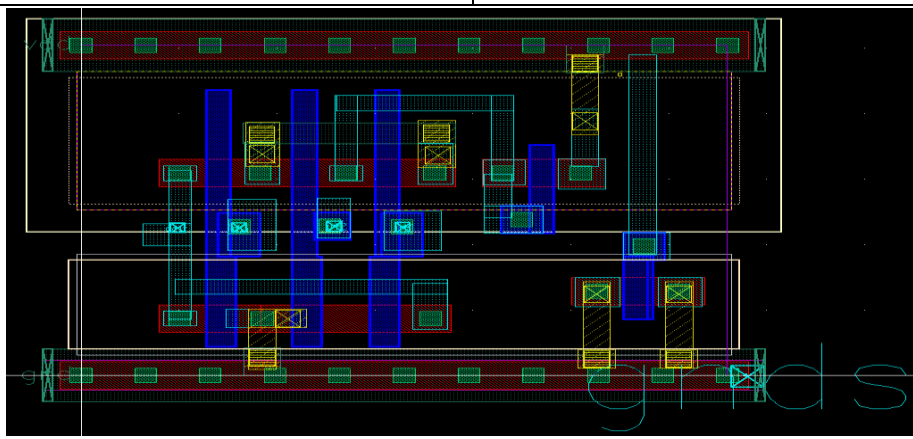
```
.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m
.inc 'AOI.pex.netlist'
x1 IN3 IN2 IN1 GNDS OUT VDD GND AOI12d1
v1 IN1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n)
vv1 IN2 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n)
vvv1 IN3 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n)
c1 OUT 0 10ff
*v4 VDD 0 2.2
v11 VDD 0 sin( 0.9 0.9 200Meg 0n 0e0)
v5 GND 0 0
```

```
.lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m
.inc 'AOI.pex.netlist'
x1 IN3 IN2 IN1 GNDS OUT VDD GND AOI12d1
v1 IN1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n)
vv1 IN2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n)
vvv1 IN3 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n)
c1 OUT 0 10ff
*v4 VDD 0 2.2
v11 VDD 0 sin( 1.1 1.1 200Meg 0n 0e0)
v5 GND 0 0
```



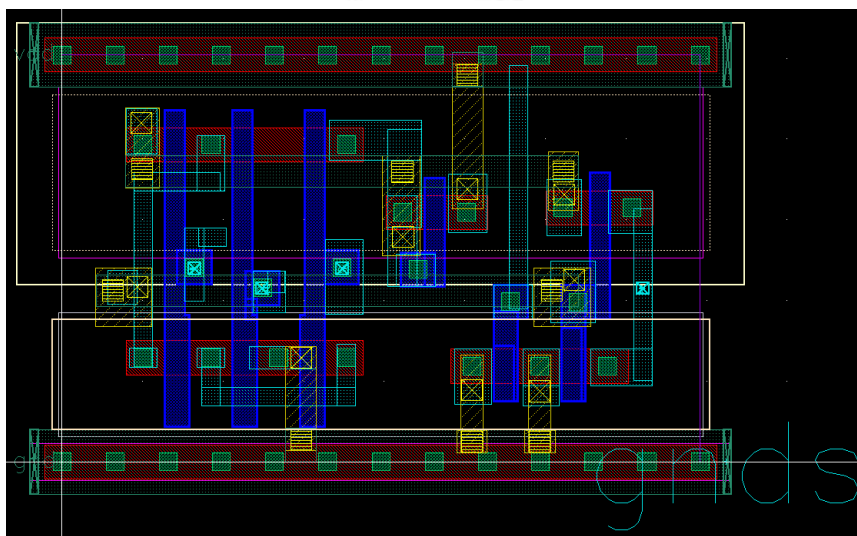
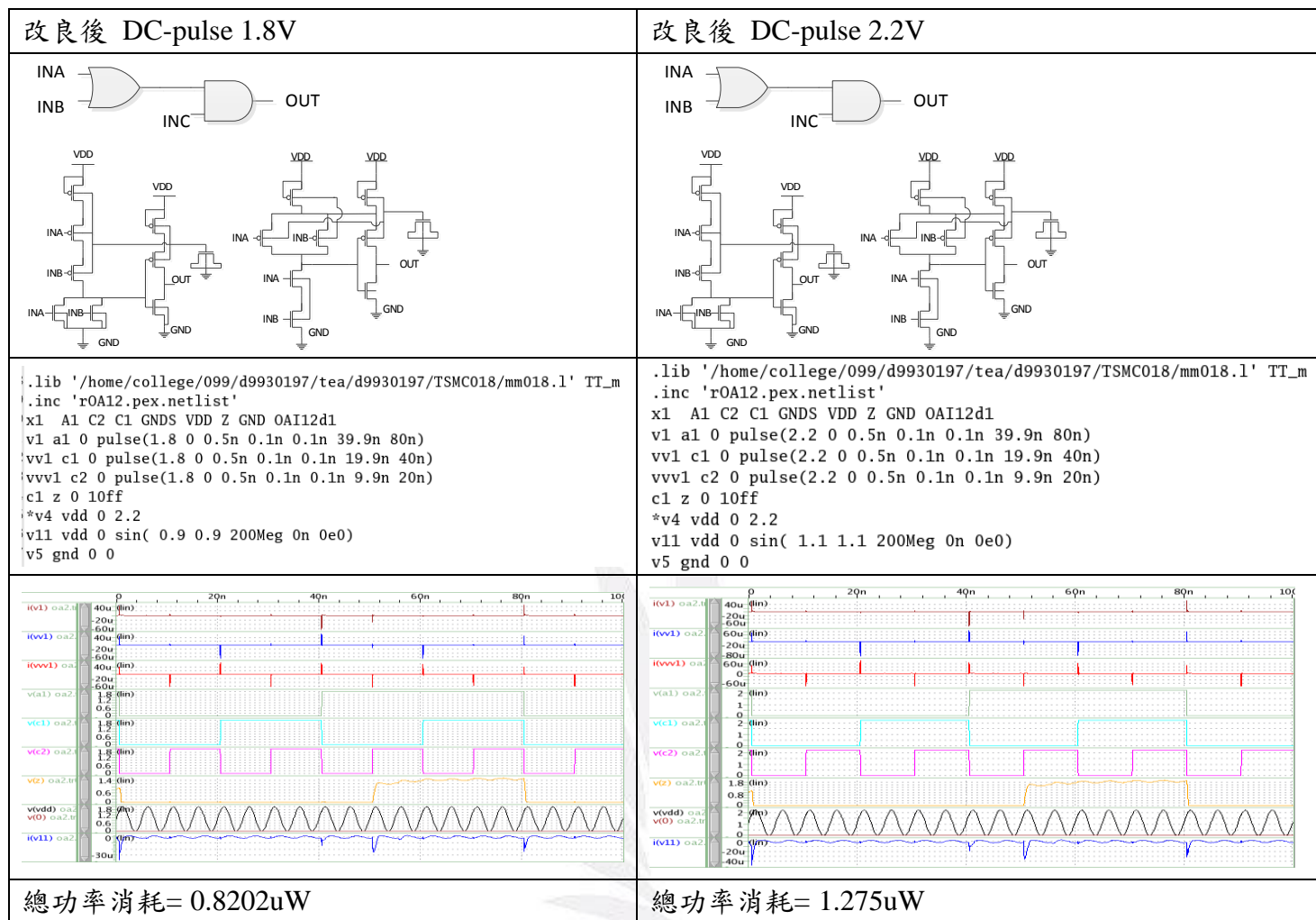
總功率消耗= 1.604uW

總功率消耗= 2.496uW



改良後 AOI12 layout 圖

OA12 w=0.42u (PMOS ,l=0.25u NMOS ,l=0.3u)



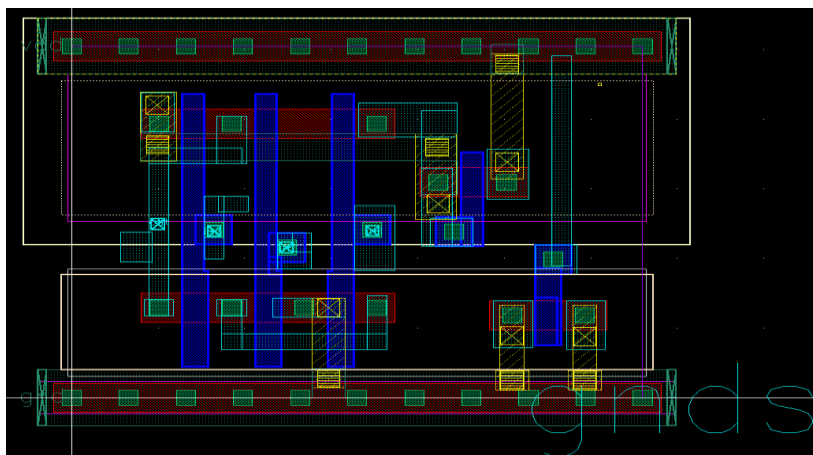
改良後 OA12 layout

OAI12

w=0.42u (PMOS ,l=0.25u

NMOS ,l=0.3u)

改良後 DC-pulse 1.8V	改良後 DC-pulse 2.2V
<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'OAI.pex.netlist' x1 IN3 IN2 IN1 GNDS OUT VDD GND OAI12d1 v1 IN1 0 pulse(1.8 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 IN2 0 pulse(1.8 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 IN3 0 pulse(1.8 0 0.5n 0.1n 0.1n 9.9n 20n) c1 OUT 0 10ff *v4 VDD 0 1.8 v11 VDD 0 sin(0.9 0.9 200Meg 0n 0e0) v5 GND 0 0 </pre>	<pre> .lib '/home/college/099/d9930197/tea/d9930197/TSMC018/mm018.1' TT_m .inc 'OAI.pex.netlist' x1 IN3 IN2 IN1 GNDS OUT VDD GND OAI12d1 v1 IN1 0 pulse(2.2 0 0.5n 0.1n 0.1n 39.9n 80n) vv1 IN2 0 pulse(2.2 0 0.5n 0.1n 0.1n 19.9n 40n) vvv1 IN3 0 pulse(2.2 0 0.5n 0.1n 0.1n 9.9n 20n) c1 OUT 0 10ff *v4 VDD 0 1.8 v11 VDD 0 sin(1.1 1.1 200Meg 0n 0e0) v5 GND 0 0 </pre>
<p>總功率消耗= 1.464uW</p>	<p>總功率消耗= 2.222uW</p>



改良後 OAI12 layout

期末專題工作分配表

學生	林俊賢	戴安妮
工作分配(共同部份)	1. 海報資料收集 2. 書面資料收集	
工作分配(個別部份)	1. 電路分析 2. 架構設計實現 3. 書面資料統整製作 4. 海報統整製作	1. 晶片實現 2. soc 製作操作流程 3. 下線報告製作 4. 晶片量測
發現問題後如何溝通與 解決問題	1. 與老師討論 2. 與組員討論 3. 翻閱學長姐的資料找答案 4. 上圖書館找資料 5. 自己分析問題並探討原因，試著自己解決	
互動與感受	<p>從學習專題的技術和流程，到開始自己動手分析電路的這兩年時間，常常會因為遇到困難，或為了專題常常留在實驗室到半夜，而想放棄，有時候因為兩人分工的東西太清楚而無法互相協助幫忙，會產生一些摩擦，但是後來找到溝通的平衡點，也會自己找到做專題和休閒娛樂的平衡點。</p> <p>從製作專題上面，不只學會專業領域的分析和製作，也學會如何規劃自己時間上的分配。</p>	

參考文獻

- [1] M. R.Prasad, D.Kirkpatrick, and R. K.Brayton, “Domino logic synthesis and technology mapping,”
presented at the *Workshop Notes. Int. Workshop Logic Synthesis*, 1997.
- [2] T.Thorp, G.Yee, and C.Sechen, “Domino logic synthesis using complex static gates,” in *Proc. IEEE/ACM Int. Conf. Computer-Aided Design*, 1998, pp. 242-247.
- [3] Puri, A.Bjorksten, and T. E. Rosser, “Logic optimization by output phase assignment in dynamic logic synthesis,” in *Proc. IEEE/ACM Int. Conf. Computer-Aided Design*, 1996, pp. 2-8.
- [4] D.Harris and M. A.Horowitz, “Skew-tolerant domino circuits,” *IEEE J. Solid-State Circuits*, vol. 32, pp. 1702-1711, Nov. 1997.
- [5] R.Puri, “Design issues in mixed static-domino circuit implementations,” in *Proc. IEEE Int. Conf. Computer Design*, 1998, pp. 270-275.
- [6] T.Williams, “Dynamic logic: Clocked and asynchronous,” in *Tutorial notes Int. Solid-State Circuits Conf.*, 1996.
- [7] Clock-delayed domino for dynamic circuit design Gin Yee; Sechen, C.; *Very Large Scale Integration (VLSI) Systems*, *IEEE Transactions on* Volume 8, Issue 4, Aug. 2000 Page(s):425 - 430
- [8] **Razak Hossain, “High performance ASIC design : using synthesizable domino logic in an ASIC flow”,**
Cambridge, England ; New York, N.Y. : Cambridge University Press, 2008.
- [9] Tsung-Ting Yeh, “A High-Performance/Low-Power Mixed Static/Dynamic Circuit Synthesizer”, 大葉大學碩士論文, Jun 2005.
- [10] Hsiang-Hui Huang, “A Fully Synthesizable Design Flow for High-Speed Dual-Phase Dynamic Logic”,
逢甲大學碩士論文, Jun 2008.
- [11] 柯門均、蕭安泰 **Low-Power Mixed Dynamic- Dynamic High-Speed Circuit Design Flow Implementation with Chip Validation**
逢甲大學論文, DEC 2011
- [12] 紀柏羽 **Using Pulse Voltage and Dynamic Circuit to Design Low-Power Bio-Electronics**
逢甲大學論文, JULY 2012

