

逢甲大學學生報告 ePaper

報告題名：

具有基板散熱金屬結構之氮化銦鋁/氮化鋁/氮化鎵/矽
金屬-氧化物-半導體異質結構場效電晶體之研製

**In_{0.18}Al_{0.82}N/AlN/GaN/Si Metal-Oxide-Semiconductor
Heterostructure Field-Effect Transistors With
Backside Substrate Metal-Trench Structure**

作者：張少宇、李冠廷、林子銘、謝佩成、周揚桁

系級：電子工程學系

學號：D0410185、D0487038、D0492362、D0462209、D0442438

開課老師：李景松 教授

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年： 107 學年度 第一 學期



中文摘要

本專題研究以超音波霧化熱裂解沉積技術成長以氧化鋁為氧化層的氮化銦鋁/氮化鋁/氮化鎵異質結構形成金屬-氧化物-半導體場效電晶體，且在基板底部研製 3- μm 深金屬溝槽結構，並藉由在矽 (Si) 基板底部的金屬溝槽上塗有 150-nm 厚的鎳 (Ni) 金屬層，可改善元件散熱效率。由於利用超音波霧化熱裂解沉積高介電常數氧化鋁當閘極介電層，因而增強閘極絕緣能力與表面鈍化效果，進而有效地降低閘極漏電流。

經由製程最佳化條件下之氧化鋁閘極介電層氮化銦鋁/氮化鋁/氮化鎵之金屬-氧化物-半導體場效電晶體 (傳統蕭特基閘極電晶體) 改善了最大電流密度 $I_{\text{DS}, \text{max}}$ 為 1.08 (0.86) A/mm，閘極偏壓擺幅 GVS 為 4 (2) V，開/關電流比 ($I_{\text{on}}/I_{\text{off}}$) 為 8.9×10^8 (7.4×10^4)，次臨界擺幅為 140 (244) mV/dec，兩端關閉狀態閘極-汲極崩潰電壓 (BV_{GD}) 為 -191.1 (-173.8) V，導通電壓 (V_{on}) 為 4.2 (1.2) V，三端導通狀態汲極-源極崩潰電壓 (BV_{DS}) 為 155.9 (98.5) V。提高了功率性能，也包括飽和輸出功率 (P_{out}) 為 27.9 (21.5) dBm，功率增益 (G_a) 為 20.3 (15.5) dB，功率附加效率 (P.A.E) 為 44.3% (34.8%)。

關鍵字：氧化鋁、基板散熱、超音波霧化熱裂解、氮化銦鋁/氮化鋁/氮化鎵

Abstract

This thesis studies new Al_2O_3 dielectric $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}$ metal oxide semiconductor heterostructure field effect transistors (MOS-HFETs) with backside metal trench structure grown by using a non-vacuum ultrasonic spray pyrolysis deposition technique. The depth of metal trenches was 3- μm and coated with 150-nm thick Ni were formed on the backside of the substrate to improve the heat dissipation efficiency.

As compare with Schottky-gate HFET, the present $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}$ MOS-HFET was illustrated improved maximum drain source current density of 0.86 (1.08) A/mm at $V_{\text{DS}} = 8$ V, gate voltage swing of 2 (4) V, on/off current ratio of 7.4×10^4 (8.9×10^8), subthreshold swing of 244 (140) mV/dec, two-terminal off-state gate drain breakdown voltage of -173.8 (-191.1) V, turn-on voltage of 1.2 (4.2) V, and three-terminal on-state drain source breakdown voltage of 98.5 (155.9) V. Enhanced power performances, including saturated output power of 21.5 (27.9) dBm, power gain of 15.5 (20.3) dB, and power added efficiency (P.A.E) of 34.8% (44.3%) are reached.

Keywords:aluminum dioxide, $\text{InAlN}/\text{AlN}/\text{GaN}$, substrate heating-dissipation,

Ultrasonic spray pyrolysis deposition

目錄

中文摘要.....	1
Abstract.....	2
壹、介紹.....	4
貳、元件結構與製程.....	7
2-1.元件結構：.....	7
2-2.元件製程：.....	7
參、實驗結果與討論.....	11
3-1.電容-電壓特性：.....	11
3-2.電滯現象：.....	12
3-3.低頻雜訊特性：.....	13
3-4.直流與脈衝 I-V 特性：.....	14
3-5.電流-電壓特性：.....	15
3-6.崩潰電壓特性：.....	19
3-7.功率特性：.....	20
肆、結論.....	21
參考資料.....	23

壹、介紹

近年來，已經證實氮化鎵（GaN）高電子遷移率電晶體（HEMT 元件）具有高功率、高頻率、高溫應用，由於氮化鎵材料卓越的性能與其具有寬能隙、高崩潰電場、高電子飽和速度、高導熱性、高二維電子雲濃度等優點。因此氮化鎵高電子移動率電晶體可應用於電源開關、高電流操作和高頻率的應用。

InAlN/GaN 異質結構與 AlGaIn/GaN 異質結構相比下，前者有著較高的極化電荷、較大的導電帶不連續，也沒有晶格應變的缺點，且有著更高的最大電流密度、崩潰電壓以及輸出功率，所以更適合用於元件的製作上。此外，對於 MOS 閘極的 GaN HFETs 早已深入研究；較寬的閘極氧化層可大大降低在蕭特基閘極能障間的熱離子發射；同時，藉由氧化鈍化可有效地降低由於表面狀態所引起的閘極漏電流。

過去不斷地在研究不同氧化層成長方式；包括電子束蒸鍍（E-beam Evaporation）、高頻加熱濺鍍（RF Sputtering）、原子層沉積（ALD）、電漿增強化學氣相沉積（PECVD）和金屬有機化學氣相沉積（MOCVD）。而本專題使用具經濟效益的“超音波霧化熱裂解沉積（USPD）”技術，來設計 InAlN/GaN MOS-HFEMTs；與其他氧化層成長系統相比，USPD 技術有較高的沉積速率，非真空環境可在室溫下操作，並適合大面積的沉積。

表 1：不同的氧化沉積方法比較

	優點	缺點
金屬有機化學 氣相沉積 (MOCVD)	<ol style="list-style-type: none"> 1. 優秀的階梯覆蓋率 2. 在磊晶之後沉積氧化層 	<ol style="list-style-type: none"> 1. 高成本 2. 需要高真空
電漿增強化學 氣相沉積 (PECVD)	高沉積速率	電漿可能傷害較薄的薄膜
原子層沉積 (ALD)	<ol style="list-style-type: none"> 1. 優秀的階梯覆蓋率 2. 薄膜的厚度可以被控制 	<ol style="list-style-type: none"> 1. 高成本 2. 沉積量低 3. 需要高真空
濺鍍 (Sputter)	<ol style="list-style-type: none"> 1. 好的階梯覆蓋率 2. 均勻性好 	<ol style="list-style-type: none"> 1. 昂貴的靶材 2. 沉積的材料取決於靶材
非真空超音波 噴霧熱裂解法 沉積 (USPD)	<ol style="list-style-type: none"> 1. 不需高真空 2. 高沉積速率 3. 廣泛的材料選擇 	<ol style="list-style-type: none"> 1. 需要化學前驅物 2. 前驅物可能蝕刻表面

另一方面，為了解決關於高電子移動率電晶體 (HEMT) 在高功率操作下產生的熱能問題，我們可以使用“類鑽石碳/鈦散熱層”來改善 MOS-HEMTs 的導熱性；而本專題設計以“具有基板散熱金屬結構之 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}/\text{Si}$ 金屬氧化層異質結構場效電晶體”，且使 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}$ 能障與 GaN 通道晶格匹配，可同時抑制閘極漏電流並增強極化效應。且透過虎克係數 (Hooge Coefficients)、低頻雜訊 (Low-Frequency Noise)、C-V 曲線以及 IV 特性來探討介面性質；各式的元件性能也會以本專題的 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}$ MOS-HFETs 設計進行研究。

貳、元件結構與製程

2-1. 元件結構：

元件結構概要由圖一分為兩種樣本，蕭特基閘極 InAlN/AlN/GaN HFET（樣本 A）及主要研究的金屬溝槽結構基板 InAlN/AlN/GaN MOS-HFET（樣本 B）。

兩種元件皆在矽（Si）基板上使用低壓金屬有機化學氣相沉積方式成長相同的磊晶結構；兩種元件結構皆包含一層成核層、0.8-nm AlN 層及 9.8-nm In_{0.18}Al_{0.82}N 覆蓋層；溝槽的（深度/面積）比為（3- μm / 800- μm^2 ）；而每個元件皆覆蓋兩個底部溝槽結構；而兩種元件製程方面皆使用標準微影及剝離技術（Lift-Off）。

2-2. 元件製程：

樣本 A：使用感應耦合電漿反應離子蝕刻（ICP-RIE），分別混合流量為氬（Ar）10-sccm 及氯氣（Cl₂）30-sccm 的蝕刻氣體來執行高台蝕刻（Mesa Etching）；ICP（RIE）的功率設定在 70（120）W，而元件使用 ULVACMILA-5000 快速熱退火設備在 900 °C 退火 200 秒來形成歐姆接觸。最後，在閘極微影過程之後蒸鍍鎳（100-nm）/鋁（10-nm）的金屬堆，形成蕭特基閘極。

樣本 B：使用與樣本 A 相同的步驟；唯一不同的地方為閘極部分使用 USPD 技術形成源極/汲極電極之後再長出一層 15-nm 厚的 Al_2O_3 ；此外，底部部分使用 ICP-RIE 在矽 (Si) 基板上形成金屬溝槽結構。金屬溝槽結構會在表面塗上 150-nm 厚的鎳 (Ni) 薄膜；而兩個樣本的尺度皆為汲極到源極間距 7- μm 、閘極 $1 \times 100 \mu\text{m}^2$ 。

2-1-1 高台絕緣 (Mesa Isolation)

高台絕緣的目的在於減少漏電流產生。若是能減少漏電流，元件可以得到較好的夾止特性。此步驟主要是元件與元件間做隔離，利用感應耦合式電漿反應離子蝕刻 (ICP-RIE) 來進行蝕刻，使元件產生較少的漏電流。而高台蝕刻的主要步驟如下：

- (1) 烘烤
- (2) 上光阻，旋轉使光阻均勻覆蓋
- (3) 軟烤 (曝光前烘烤)
- (4) 曝光
- (5) 顯影
- (6) 硬烤
- (7) 蝕刻
- (8) 移除光阻

2-2-2 汲/源極歐姆接觸 (Source and Drain Ohmic Contact)

汲/源極使用鈦/鋁/金作歐姆接觸，磊晶完成後，清除表面髒汙，透過黃光微影技術與剝離製程 (Lift-Off) 形成圖案，接著在圖案上蒸鍍鈦/鋁/金作為電極，最後進行退火處理，完成歐姆接觸。而主要源極和汲極金屬化步驟如下：

- (1) 烘烤
- (2) 上光阻，旋轉使光阻均勻覆蓋
- (3) 軟烤 (曝光前烘烤)
- (4) 曝光
- (5) 顯影
- (6) 蒸鍍
- (7) 移除
- (8) 合金連接

2-2-3 閘極蕭特基接觸 (Gate Schottky Contact)

採用鎳/鋁作為蕭特基接觸金屬。汲極/源極歐姆接觸完成後，透過黃光微影技術與剝離 (Lift-Off) 製成形成閘極圖案，接著用熱蒸鍍將金屬鎳/鋁沉積作閘極電極。

2-2-4 氧化層沉積 (Oxide Deposition)

為本製程最重要的一項步驟，超音波霧化熱裂解沉積對於成長氧化層是優異的技術之一。如圖二所示主要操作方法是將化學前驅物溶液進入超音波霧化器形成細小滴狀再經由石英管加熱噴灑在基板上形成氧化層。超聲波霧化熱分解沉積技術 (USPD) 相對於其他氧化層沉積方法，像是電漿增強化學氣相沉積 (PECVD)，濺射 (sputter) 和原子層沉積 (ALD)，具有一些優勢，例如：大面積沉積，降低設備製造成本，膜均勻性良好，和不需真空的條件下進行。

參、實驗結果與討論

3-1. 電容-電壓特性：

圖三顯示使用 HP4284A Precision LCR Meter 於 1 MHz 測量樣本 A、B 在 300 K 下的二極體結構 C-V 特性曲線。

二極體面積為 $8000\text{-}\mu\text{m}^2$ ，而樣本 A (B) 的有效閘極電容經量測結果為 466 (304) pF；對於樣本 B 的 MOS 閘極電容相當於氧化層電容與空乏區電容的串聯。此外，樣本 B 的過渡電壓在 C-V 曲線上的曲率比樣本 A 還低，這是因為 MOS 閘極結構降低臨界電壓。

電容-電壓特性的測量被用來顯示材料的結構。金屬-半導體的蕭特基二極體和氧化鋁的 MOS 二極體的電容電壓特性顯示於圖三。電容-電壓測量為閘極電壓操作在 -6 V 到 0 V，頻率為 1 MHz。為了計算 MOS 二極體的介電常數 (k)，可以用以下電容公式：

$$\frac{1}{C_{total}} = \frac{1}{C_{ox}} + \frac{1}{C_{HEMT}} \quad (1)$$

$$C_{ox} = K\epsilon_0 \frac{A}{d_{ox}} \quad (2)$$

ϵ_0 ：真空電容率，A：蕭特基接觸面積， d_{OX} ：氧化層厚度， C_{total} ：MOS 的二極體電容， C_{HEMT} ：蕭特基二極體電容， C_{OX} ：氧化層電容， Al_2O_3 的層厚度為 15-nm，根據上述參數去計算， Al_2O_3 的電容值與介電常數經計算結果為 827 pF 與 9。

表 2：電容電壓特性總結

元件	傳統蕭特基二極體	金氧半二極體
電容 (pF)	465.9	303.9
氧化層電容 (pF)	-	827
介電常數	-	9

3-2. 電滯現象：

圖四 (a) - (b) 表示樣本 A、B 的 C-V 電滯現象；對其在 1 MHz 下開始施加偏壓 -7 V 到 0 V，再馬上從 0 V 到 -7 V；樣本 B (A) 的電滯為 0.2 (0.3) V，這是由 C-V 曲線中點之間的差異所決定的，而樣本 B 的電滯減少，表示氧化層鈍化改善介面品質；其平均表面態密度 (D_{it}) 採用高/低頻電容法得知為 $4 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ 。結果可知由 USPD 沉積的 Al_2O_3 氧化物層可有效降低表面陷阱密度，並形成高品質氧化層。

表面態密度 (D_{it})

$$D_{it} = \frac{C_{ox}}{q} \left(\frac{\frac{C_{LF}}{C_{ox}}}{1 - \frac{C_{LF}}{C_{ox}}} - \frac{\frac{C_{HF}}{C_{ox}}}{1 - \frac{C_{HF}}{C_{ox}}} \right) \quad (3)$$

為了計算表面態密度 (D_{it})，公式是利用 (3)： q 是基本電荷， C_{OX} 是氧化層電容， C_{LF} 是在 10 KHz 的低頻電容， C_{HF} 是在 1 MHz 的高頻電容量。

3-3.低頻雜訊特性：

圖五使用 Agilent 35670A 放大器和 BTA 9812B 頻譜分析儀在 300 K 下測量的低頻 ($1/f$) 雜訊頻譜。

電子元件在低頻帶的主要雜訊源為閃爍雜訊，其頻譜密度反比於頻率 (f)，故又稱為 $1/f$ 雜訊。閃爍雜訊是由於閘極氧化層和半導體界面間，存在著許多懸浮鍵，導致有額外能階，當電荷載子於界面移動時，某些載子將被隨機捕捉然後以此能階態釋放，使得汲極電流產生閃爍雜訊，而閃爍雜訊也會隨著元件尺寸的變小而增加。

通常使用虎克係數 (Hooge's coefficient) α_H 表示在不同的半導體材料和結構中的雜訊等級，其方程式為下列：

$$\alpha_H = \frac{S_I(f)}{I^2} \cdot f \cdot N \quad (4)$$

$$N = \frac{L^2}{R_{qu}} \quad (5)$$

(4): S_I 為電流的頻譜密度, I 為流經元件的電流, f 為頻率, N 為元件中自由電子的總數; (5): L 為汲極到源極的間距, R 為通道電阻, μ 為遷移率。

樣本 A (B) 已施加偏壓 $V_{GS} = -1$ (-2) 和 $V_{DS} = 3$ V; 樣本 A (B) 的虎克係數在 100 Hz 下取 1.4×10^{-4} (3.2×10^{-6}), 而相應的雜訊頻密度 $S_I(f)$ 在頻率也為 100 Hz 時為 1.0×10^{-16} (2.1×10^{-22}) A^2/Hz 。可以看出, 樣本 B 與樣本 A 相比, 虎克係數低了 10^{-2} 倍、 $S_I(f)$ 低了 10^{-6} 倍; 也驗證其原因為使用 USPD 技術成長 Al_2O_3 鈍化。

3-4. 直流與脈衝 I-V 特性：

圖六比較直流與脈衝 I-V 曲線來探討樣本 A 與 B 的閘極延遲和電流崩塌特性; 兩種元件皆施加 $V_{DS} = 7$ V 的偏壓, 其工作週期為 20%、脈衝寬度為 10- μ s。我們可以利用以下式子來檢視電流崩塌的偏差：

$$\Delta_{CC} = [(I_{DS,DC} - I_{DS,Pulse})/I_{DS,DC}] \times 100\% \quad (6)$$

樣本 A 與 B 的 Δ_{CC} 已確定為 30% 與 9.9%, 樣本 B 能減少閘極延遲的原因是因為其有效的表面鈍化所致。而有減少將近 2 倍的 Δ_{CC} , 表示樣本 B 的電流崩塌也隨之減少; 這是由於金屬溝槽改善散熱效果所導致的結果。

3-5. 電流-電壓特性：

3-5-1 電流崩塌效應

圖七表示在 300 K 下的共源極 ($I_{DS}-V_{DS}$) 特性圖；(a) 為樣本 A，(b) 為金屬溝槽 1- μm 的樣本 B，(c) 為金屬溝槽為 3- μm 的樣本 B。

樣本 A (B) 施加的偏壓從 1 (2) V 到 -5 (-6) V，(-1V / step)，所研究的元件皆有良好的夾止特性；為確定有底板金屬溝槽之樣本 B 的電流崩塌，不含金屬溝槽的樣本 B 在 $V_{GS} = 2$ V 的特性曲線也附在上圖 (b) 與 (c) 中。我們可以將電流崩塌定義為：

$$\Delta I_{DS} = [(I_{DS,knee} - I_{DS,V_{ds} = 15V}) / I_{DS,knee}] \times 100\% \quad (7)$$

其中， $I_{DS,knee}$ 為峰值 I_{DS} 密度在特性曲線為 $V_{GS} = 2$ V 時的曲點； $I_{DS,atV_{DS}=15V}$ 為 I_{DS} 密度在 $V_{DS} = 15$ V 的時候。

樣本 B 在金屬溝槽厚度為 3 (1) μm 時的 ΔI_{DS} 已確定為 9.8 (9.2 %)，它們皆小於沒有金屬溝槽的樣本 B (10.5 %) 與樣本 A (15.1 %)；而這明顯指出由金屬溝槽結構減少其自體發熱現象。上述樣本 B 與樣本 A 的比較進一步表明由於表面能態導致電流崩塌已被氧化層鈍化有效地解決。

3-5-2 不同溫度與溝槽深度下的 I_{DS} 電流密度

圖八比較樣本 A、金屬溝槽 1- μm 樣本 B、金屬溝槽 3- μm 樣本 B 在 300/350/400 K 的 I_{DS} - V_{DS} 曲線。

樣本 A (B) 施加了 $V_{GS} = 1$ (2) V 的偏壓；最大 I_{DS} 電流密度 ($I_{DS,max}$) 在 300/350/400 K 下分別為：

表 3:不同溫度與溝槽深度下的最大 I_{DS} 電流密度

$I_{DS,max}$ (A/mm)	300 K	350 K	400 K
樣本 A	0.86	0.75	0.65
樣品 B： 金屬溝槽 1- μm	1.08	1.00	0.91
樣品 B： 金屬溝槽 3- μm	1.08	1.01	0.92

由上述可以看出， $I_{DS,max}$ 電流密度取決於樣本 B 的溝槽深度；這是因為設計的 InAlN/GaN 異質結構的晶格匹配性質不受不同溝槽深度的影響。

此外，樣本 A 在 300/350/400 K 下的 ΔI_{DS} 特性皆約為 15.1 %，而金屬溝槽的樣本 B 在溝槽深度為 3 (1) μm 皆保持在 9.8 % (9.2 %)；因此，樣本 B 的溝槽深度將選 3- μm ，因為它能減少更多的電流崩塌。

3-5-3 最大 I_{DS} 電流密度

圖九表示樣本 A-B 在 $V_{DS} = 8 \text{ V}$ 下的外部傳導值與 I_{DS} 特性圖，對於樣本 A (B) 的 $I_{DS,max}$ 與 I_{DS} 在 $V_{GS} = 0 \text{ V}$ (I_{DSS0}) 下的值分別為 0.86 (1.08) A/mm、0.66 (0.77) A/mm；由於 InAlN/AlN/GaN 異質結構造成的增強極化效應使兩種元件都獲得高的 I_{DS} 電流密度。

在樣本 A 中的通道電子在 InAlN 能障被帶負電的表面狀態所空乏，儘管如此，樣本 B 中的通道空乏與虛擬閘極效應因氧化層鈍化而大大減少；因此，樣本 B 比樣本 A 有更高的 $I_{DS,max}$ 與 I_{DSS0} 。

我們經計算確定樣本 A(B) 的 V_{th} 為 -4.2(-5.5)V；由於 InAlN/GaN 異質結構有較大的 ΔE_c 使樣本 A 的 V_{th} 小於 AlGaIn/GaN HFETs 的 V_{th} ，且樣本 B 的 V_{th} 低於樣本 A 是因為形成寬能隙閘極氧化層以及較高的 I_{DS} 電流密度所致。

儘管如此，樣本 B (160.2 mS/mm) 中的最大外部傳導值 ($g_{m,max}$) 低於樣本 A (189.5 mS/mm)，是因為插入一層 15-nm 的 Al_2O_3 來增加閘極到通道分離的間距，使閘極調變降低。

我們定義線性閘極偏壓擺幅 (GVS) 為相應的 V_{GS} 範圍中， g_m 比 $g_{m,max}$ 相比下降 10% 以內的值；因為樣本 B 的 MOS 閘極結構增強閘極的絕緣部分，抑制閘極漏電流。而樣本 B 的 GVS 為 4 V 遠高於樣本 A 的 2 V，所以對於高線性 GVS 是有利的。

另外，如上圖所示，樣本 A (B) 的啟動/關閉電流比 (I_{on}/I_{off}) 為 7.4×10^4 (8.9×10^8)，樣本 B 的值明顯高出 10^4 倍是因為 MOS 閘極的設計使 I_{DS} 電流密度變大及減少閘極漏電流所致。

當元件是處於不理想的情形下時，例如：閘極氧化層與基板的接面或是閘極氧化層與金屬接觸之接面有缺陷，使得電荷被困在缺陷中，造成閘極電壓無法正常開啟或關閉。而當接面處的缺陷增加時， D_{it} 會上升，於是造成次臨界擺幅 (Subthreshold Swing, SS) 增加；若要造成電流 (I_{DS}) 十倍的增加或減少就需要更多的閘極電壓改變量 (ΔV_G)。因此可以用 SS 數值的大小去初估元件的好壞與是否接近理想。而樣本 B 的次臨界擺幅為 140 mS/dec，相比於樣本 A 的值 (244 mV/dec) 也獲得改善。

樣本 B 明顯表現出優越的改善， $I_{DS,max}$ 改善 26 %、 I_{DSS0} 改善 17 %、GVS 改善 100 %、SS 改善 43 %、 I_{on}/I_{off} 比改善 10^4 倍；這些改善清楚的說明 InAlN/AlN/GaN MOS-HFET 在功率開關於未來應用更廣泛。

3-6. 崩潰電壓特性：

圖十(a)說明樣本 A-B 在 300 K 下的兩端關閉狀態之 $I_{GD}-V_{GD}$ 特性，它顯示正向放大的 $I_{GD}-V_{GD}$ 特性；以相應的 I_{GD} 量值等於 1 mA/mm 來決定兩端崩潰電壓 (BV_{GD}) 和啟動電壓 (V_{on})，樣本 A (B) 的 BV_{GD} 與 V_{on} 分別為 -173.8 (-191.1) V 與 1.2 (4.2) V。

由於 InAlN/AlN/GaN 異質結構有較大的 ΔE_C ，使樣本 A 也有良好的 BV_{GD} 特性；而樣本 B 的崩潰性能進一步提高，是因為使用 USPD 成長 Al_2O_3 的氧化層可以抑制閘極漏電流，讓漏電流有顯著的降低。此外，在閘極氧化層的陷阱能階減少也造成漏電流降低。

上圖 (b) 說明樣本 A-B 在 300K 下施加 $V_{GS} = -10$ V 偏壓的三端導通狀態的 BV_{DS} 特性，樣品 A (B) 的三端導通電壓 (BV_{DS}) 在 $I_{DS} = 1$ mA/mm 為 98.5 (155.9) V。

樣品 B 的 BV_{DS} 優於樣品 A 的原因在於透過 USPD 的閘極絕緣技術可以有效地抑制漏電流與減少通道層中的載子碰撞，如此便可提

高 MOS-HEMT 崩潰電壓的特性。

3-7. 功率特性：

圖十一顯示樣本 A-B 在 300 K 下 2.4 GHz 時測量的飽和輸出功率 (P_{out})、功率增益 (G_a)、以及功率增加效率 (P.A.E)，而 P_{out} 和附加功率效率的方程式可表示為：

$$P_{out} = \frac{1}{8} (I_{max}) (BV_{gd} - V_{knee}) \quad (8)$$

$$P.A.E = \frac{P_{out} - P_{in}}{P_{DC}} \times 100\% \quad (9)$$

在 P_{out} 的方程式中， BV_{GD} 為閘極到汲極的崩潰電壓， V_{knee} 為膝點電壓。在 P.A.E 方程式中， P_{out} 為輸出功率， P_{in} 為 R_F 輸入功率， P_{DC} 為直流功率。而樣本 A (B) 的值分別為：

表 4：功率特性比較

元件	樣本 A	樣本 B
P_{out} (dBm)	21.5	27.9
G_a (dB)	15.5	20.3
PAE (%)	34.8%	44.3%

在 InAlN/AlN/GaN MOS-HFET 的設計中，線性 GVS、 I_{DS} 密度及崩潰電壓負責增強功率性能，以得到改善。

肆、結論

第一次應用低成本 USPD 技術在金屬溝槽結構基板之 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}/\text{Si}$ 金屬氧化層異質結構場效電晶體上；底部的金屬溝槽主要用於改進散熱效率，而底部溝槽結構為 3- μm 深並塗上 150-nm 厚的鎳薄膜。

透過與 Schottky-gate HFET device 比較虎克係數 (Hooge Coefficients)、 $1/f$ 雜訊頻譜及 DC/脈衝 IV 曲線，界面性質亦獲得改善；而 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}$ MOS-HFET 的設計也展現出卓越的改善； $I_{DS\max}$ 提升 26%、 I_{DSS0} 提升 17%、閘極偏壓擺幅提升 (GVS) 100%、次臨界擺幅 (SS) 提升 43%、啟動/關閉電壓比值 ($I_{\text{on}}/I_{\text{off}}$) 提升了 10^4 倍。

此外，崩潰特性及高頻功率也達到改善的目標；由此可知，具有基板散熱金屬結構之 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}/\text{AlN}/\text{GaN}/\text{Si}$ 金屬氧化層異質結構場效電晶體在未來可進一步發展於高功率電路元件上。

表 5：元件特性比較

元件	樣本 A	樣本 B
$I_{DS, \max} @ V_{DS} = 8 \text{ V (A/mm)}$	0.86	1.08
$I_{DSS0} \text{ (A/mm)}$	0.66	0.77
GVS (V)	2	4
I_{on}/I_{off}	7.4×10^4	8.9×10^8
SS (mV/dec)	244	140
$BV_{GD} \text{ (V)}$	-173.8	-191.1
$V_{on} \text{ (V)}$	1.2	4.2
$BV_{DS} \text{ (V)}$	98.5	155.9
$P_{out} \text{ (dBm)}$	21.5	27.9
$G_a \text{ (dB)}$	15.5	20.3
PAE (%)	34.8%	44.3%

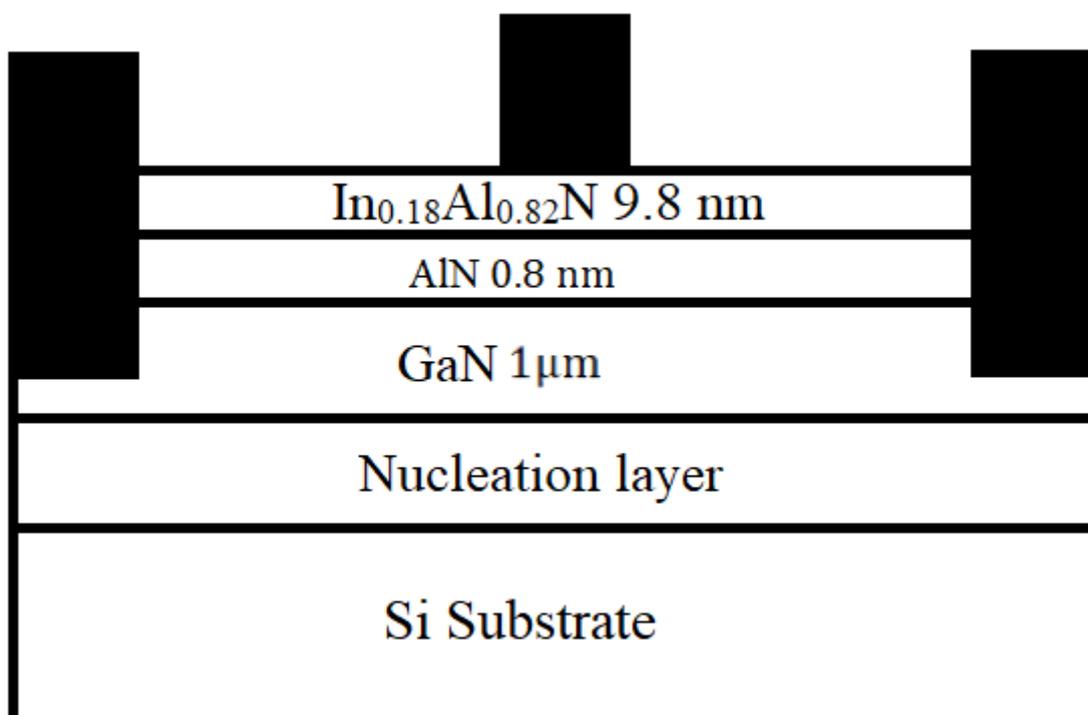
參考資料

1. D. S. Lee, X. Gao, S. Guo, and T. Palacios, “InAlN/GaN HEMTs with AlGa_N back barriers,” *IEEE Electron Device Lett.*, vol. 32, no. 5, pp. 617–619, May 2011.
2. M. Alomari *et al.*, “InAlN/GaN MOSHEMT with self-aligned thermally generated oxide recess,” *IEEE Electron Device Lett.*, vol. 30, no. 11, pp. 1131–1133, Nov. 2009.
3. K. Èièo *et al.*, “InAlN/GaN metal-oxide-semiconductor high electron mobility transistor with Al₂O₃ insulating films grown by metal organic chemical vapor deposition using Ar and NH₃ carrier gases,” *J. Vacuum Sci. Technol. B Microelectron. Nanometer Struct. Process. Meas. Phenomena*, vol. 27, no. 1, pp. 1071–1023, Jan./Feb. 2009.
4. Y. Hori, Z. Yatabe, and T. Hashizume, “Characterization of interface states in Al₂O₃/AlGa_N/Ga_N structures for improved performance of high-electron-mobility transistors,” *J. Appl. Phys.*, vol. 114, no. 24, pp. 1–8, Dec. 2013.
5. I. P. Smorchkova *et al.*, “Polarization-induced charge and electron mobility in AlGa_N/Ga_N heterostructures grown by plasma-assisted

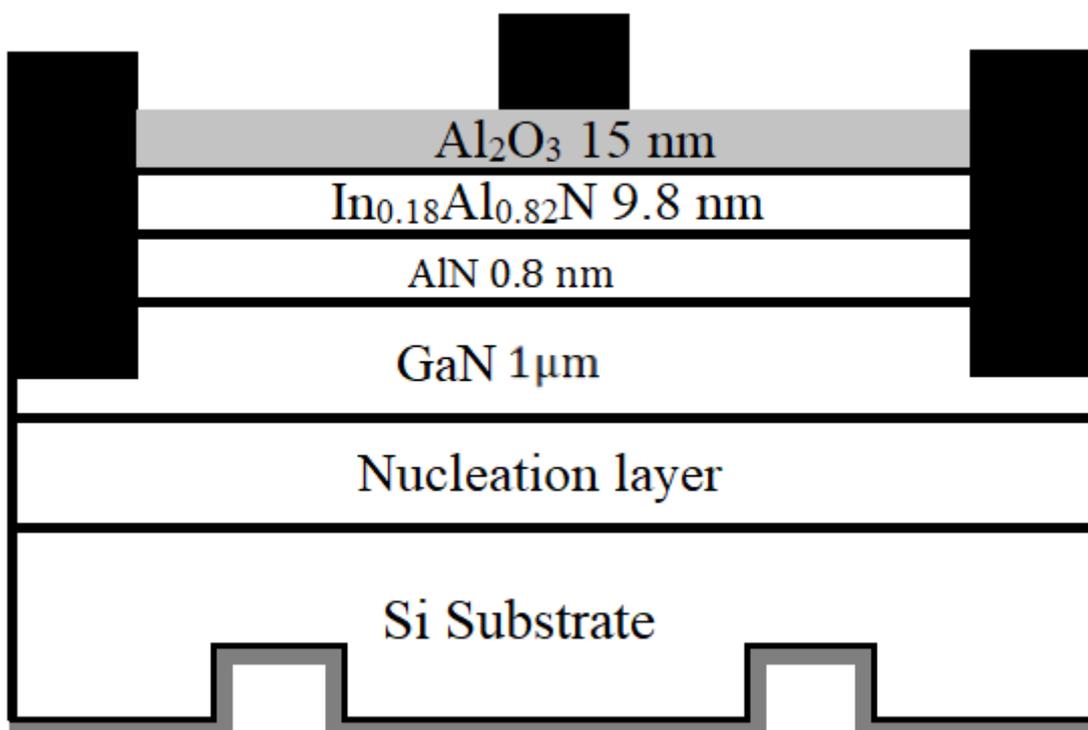
- molecular-beam epitaxy,” *J. Appl. Phys.*, vol. 86, no. 8, pp. 4520–4526, Oct. 1999.
6. C. Y. Tsai, T. L. Wu, and A. Chin, “High-performance GaN MOSFET with high- κ LaAlO₃/SiO₂ gate dielectric,” *IEEE Electron Device Lett.*, vol. 33, no. 1, pp. 35–37, Jan. 2012.
 7. P. D. Ye *et al.*, “GaN metal-oxide-semiconductor high-electron-mobility-transistor with atomic layer deposited Al₂O₃ as gate dielectric,” *Appl. Phys. Lett.*, vol. 86, no. 6, pp. 1–3, Jan. 2005.
 8. T. Huang, X. Zhu, K. M. Wong, and K. M. Lau, “Low-leakage current AlN/GaN MOSHFETs using Al₂O₃ for increased 2DEG,” *IEEE Electron Device Lett.*, vol. 33, no. 2, pp. 212–214, Feb. 2012.
 9. B. Lu, E. Matioli, and T. Palacios, “Tri-gate normally-off GaN power MISFET,” *IEEE Electron Device Lett.*, vol. 33, no. 3, pp. 360–362, Mar. 2012.
 10. P. Kordoš *et al.*, “RF performance of InAlN/GaN HFETs and MOSHFETs with $f_T \times L_G$ up to 21 GHz $\cdot \mu\text{m}$,” *IEEE Electron Device Lett.*, vol. 31, no. 3, pp. 180–182, Mar. 2010.
 11. C.-S. Lee, W.-C. Hsu, B.-J. Chiang, H.-Y. Liu, and H.-Y. Lee, “Comparative studies on AlGaIn/GaN/Si MOSHFETs with Al₂O₃/TiO₂ stacked dielectrics by using an ultrasonic spray pyrolysis

- deposition technique,” *Semicond. Sci. Technol.*, vol. 32, no. 4, pp. 1–7, Apr. 2017.
12. C.-S. Lee, W.-C. Hsu, H.-Y. Liu, and B.-J. Chiang, “Ti_{0.5}Al_{0.5}O dielectric AlGa_{0.5}N/GaN/Si metal-oxide-semiconductor heterostructure field-effect transistors by using non-vacuum ultrasonic spray pyrolysis deposition,” *ECS J. Solid State Sci. Technol.*, vol. 5, no. 12, pp. Q284–Q288, Dec. 2016.
 13. C.-S. Lee *et al.*, “Investigations of TiO₂–AlGa_{0.5}N/GaN/Si-passivated HFETs and MOS-HFETs using ultrasonic spray pyrolysis deposition,” *IEEE Trans. Electron. Devices*, vol. 62, no. 5, pp. 1460–1466, May 2015.
 14. B.-Y. Chou *et al.*, “Investigations of AlGa_{0.5}N/GaN MOS-HEMT with Al₂O₃ deposition by ultrasonic spray pyrolysis method,” *Semicond. Sci. Technol.*, vol. 30, no. 1, pp. 1–7, Jan. 2015.
 15. B.-Y. Chou *et al.*, “Al₂O₃-passivated AlGa_{0.5}N/GaN HEMTs by using nonvacuum ultrasonic spray pyrolysis deposition technique,” *IEEE Electron Device Lett.*, vol. 35, no. 9, pp. 903–905, Sep. 2014.

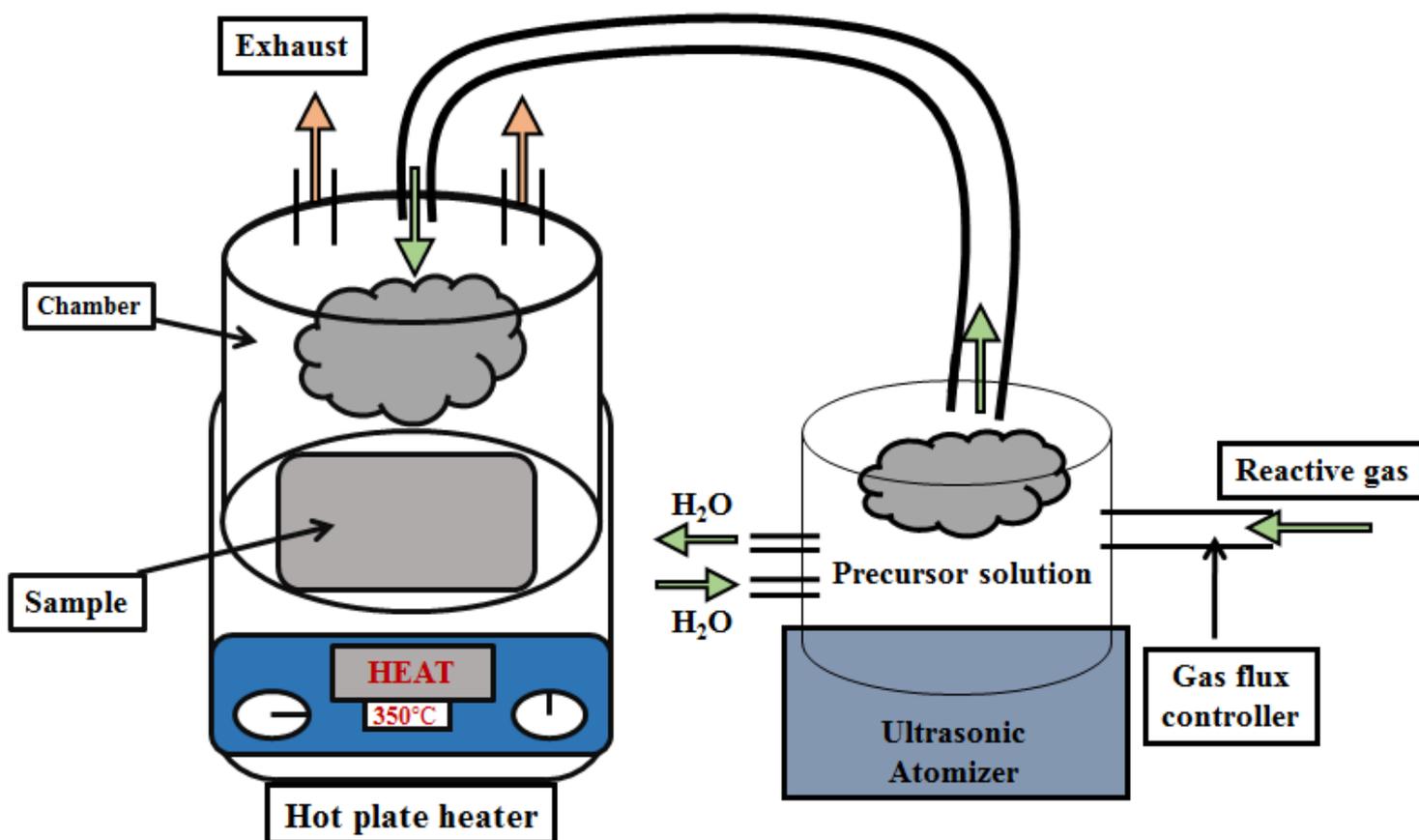
樣本 A



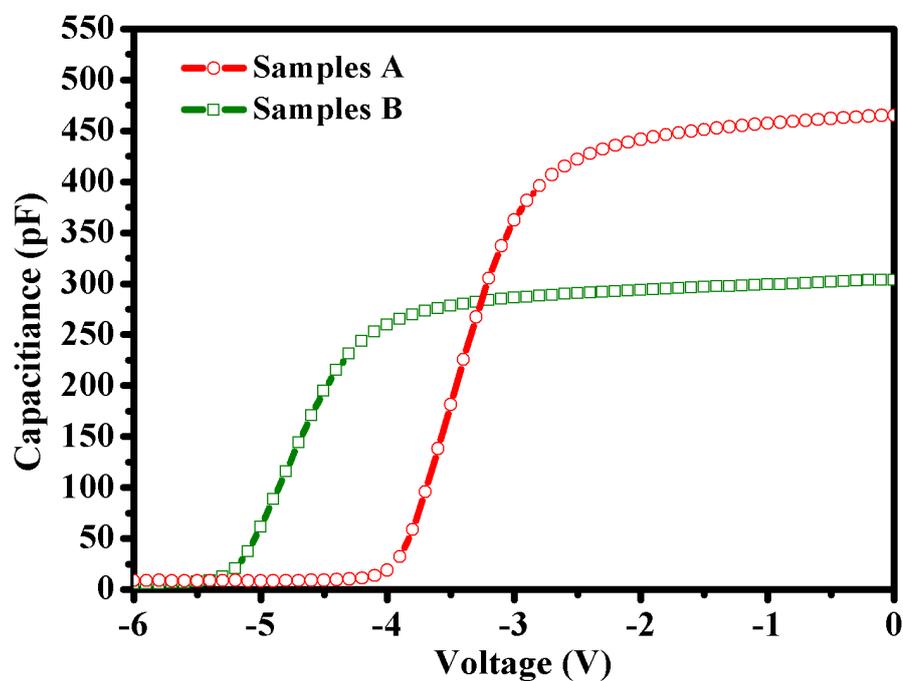
樣本 B



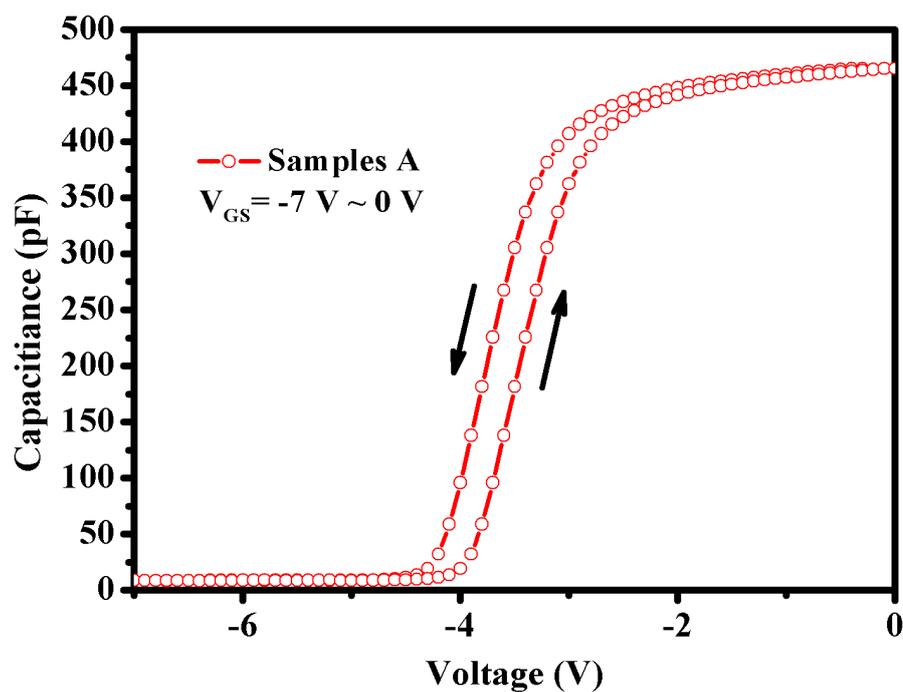
圖一、傳統(樣品 A)與具有金屬-氧化物-半導體閘極結構異質結構場效電晶體(樣品 B)



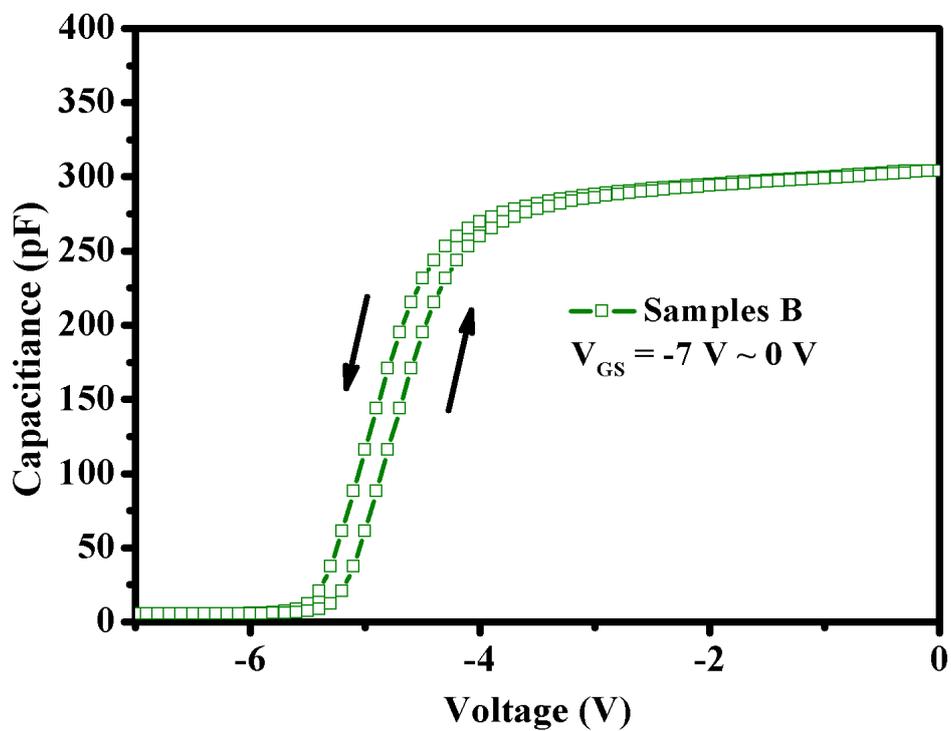
圖二、超音波霧化熱裂解沉積



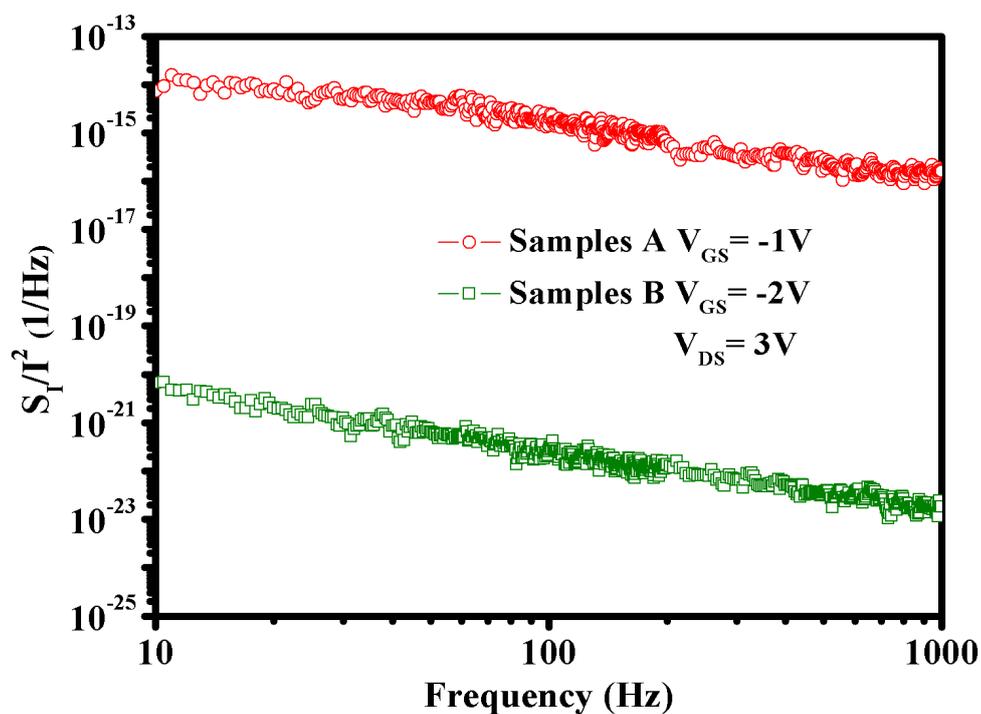
圖三、樣品 A 與樣品 B 的電容電壓特性圖



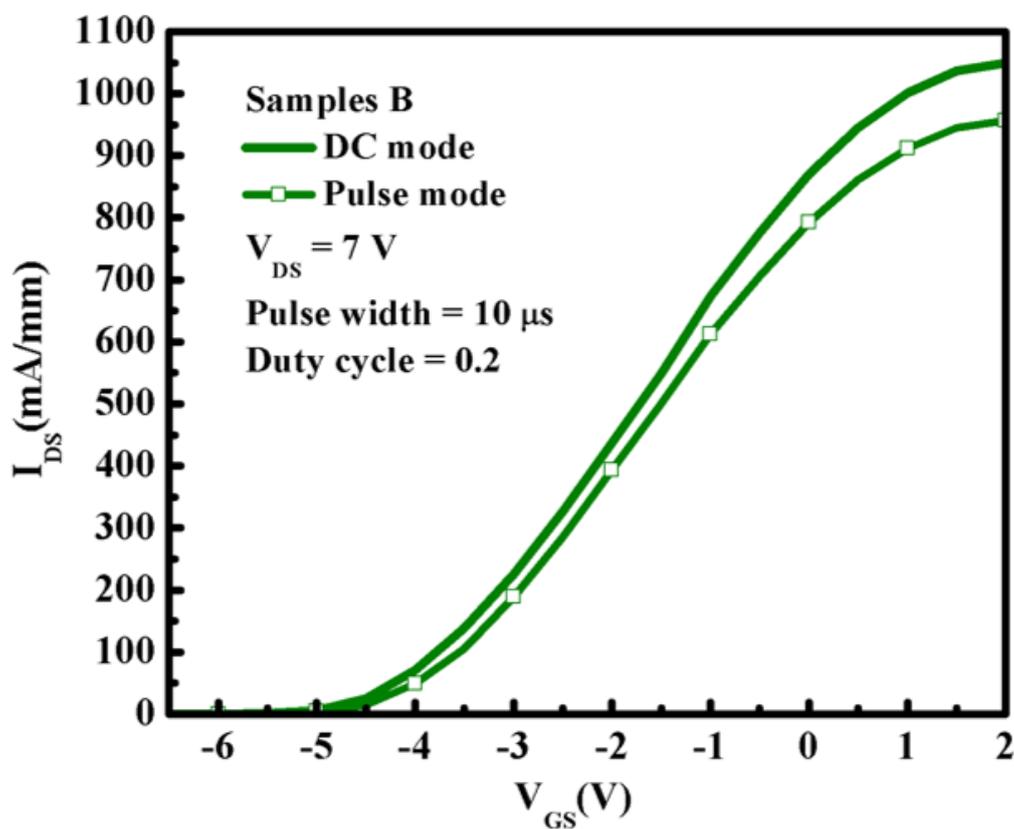
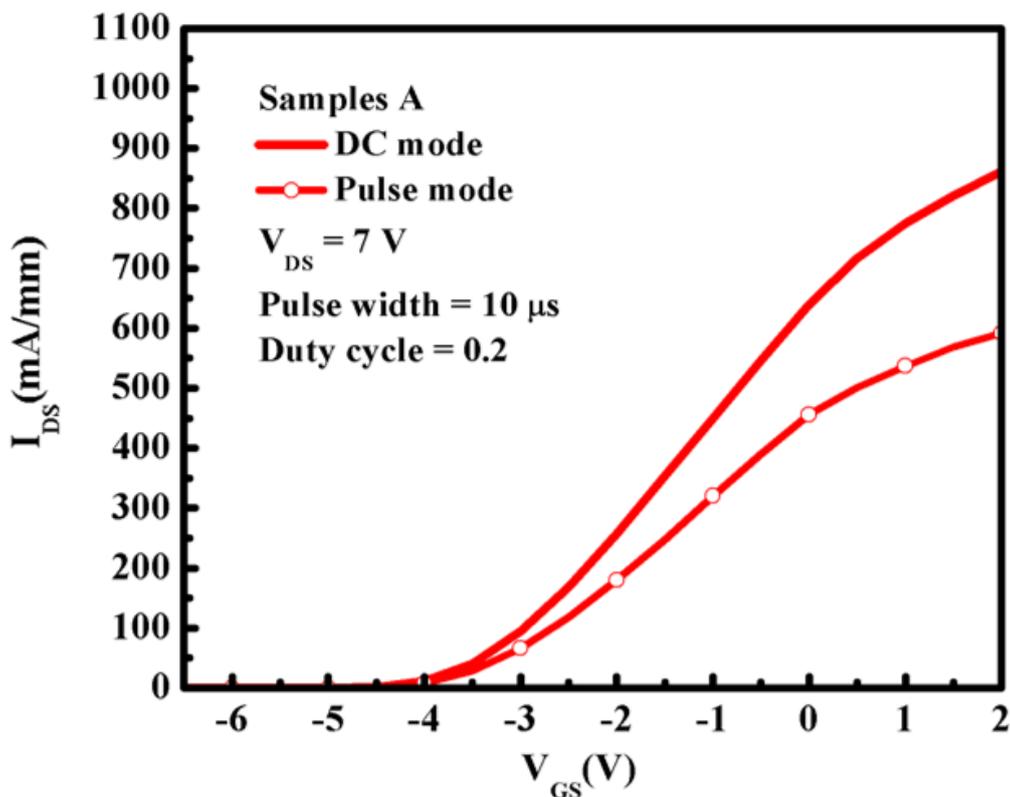
圖四(a)、樣品 A 電滯現象特性圖



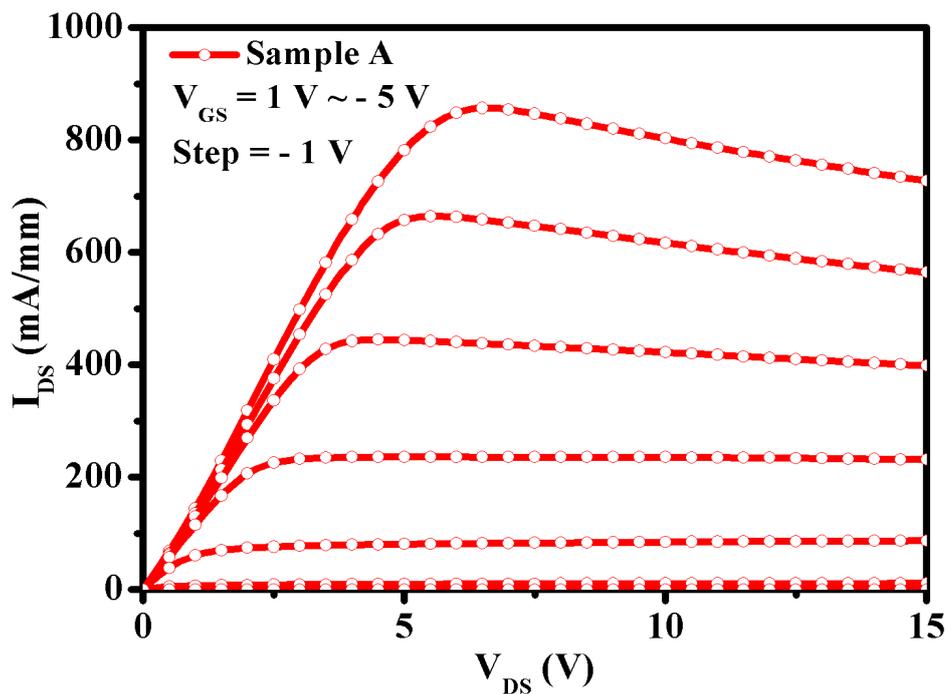
圖四(b)、樣品 B 電滯現象特性圖



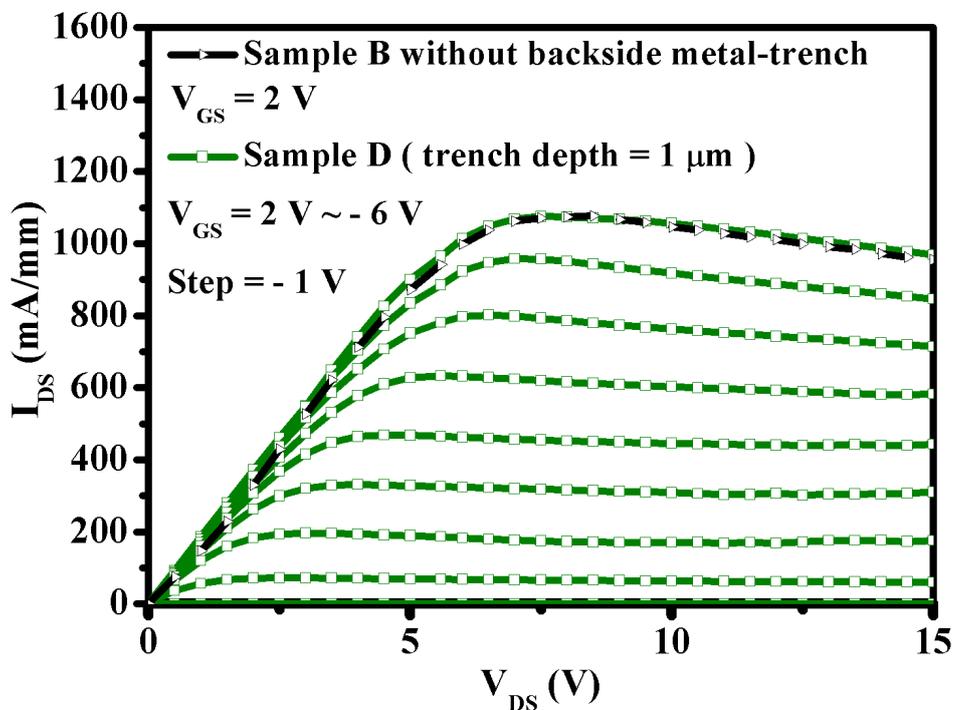
圖五、樣品 A 與樣品 B 在 300K 下低頻雜訊特性圖



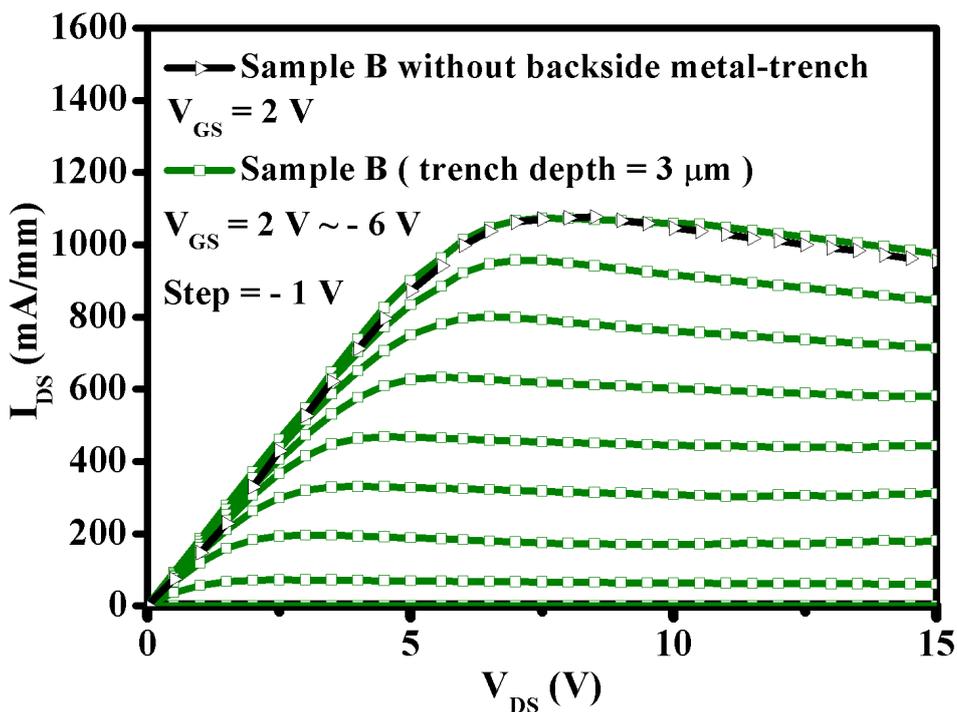
圖六、樣品 A 與樣品 B 直流與脈衝 I-V 特性圖



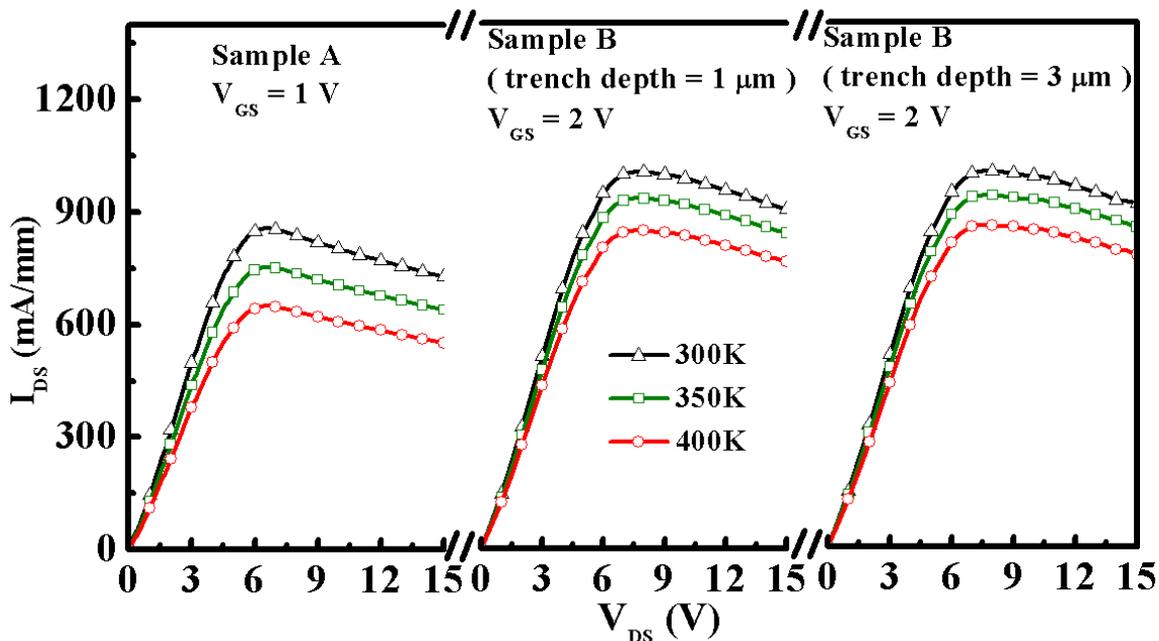
圖七(a)、樣品 A 電流電壓特性圖



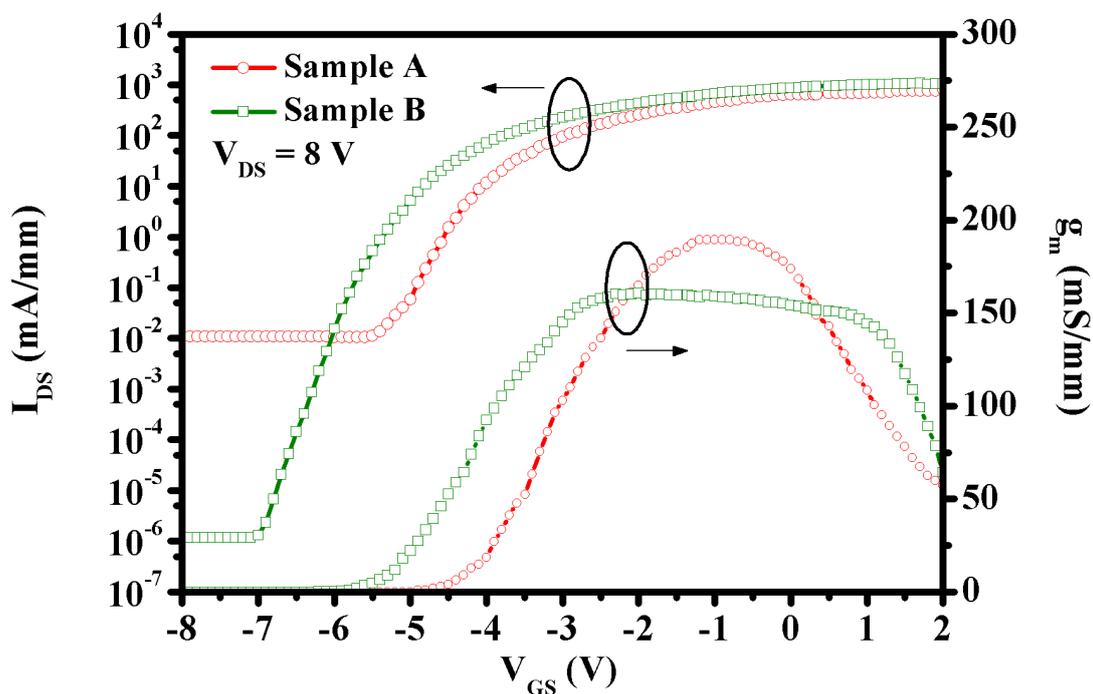
圖七(b)、金屬溝槽為 1- μm 之樣本 B 電流電壓特性圖



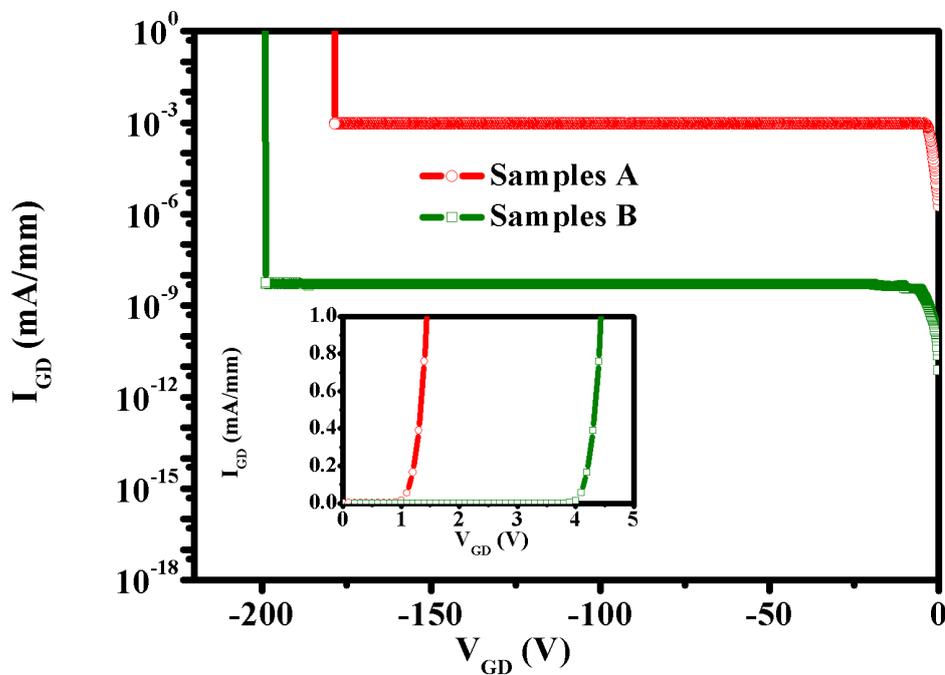
圖七(c)、金屬溝槽為 $3\text{-}\mu\text{m}$ 之樣本 B 電流電壓特性圖

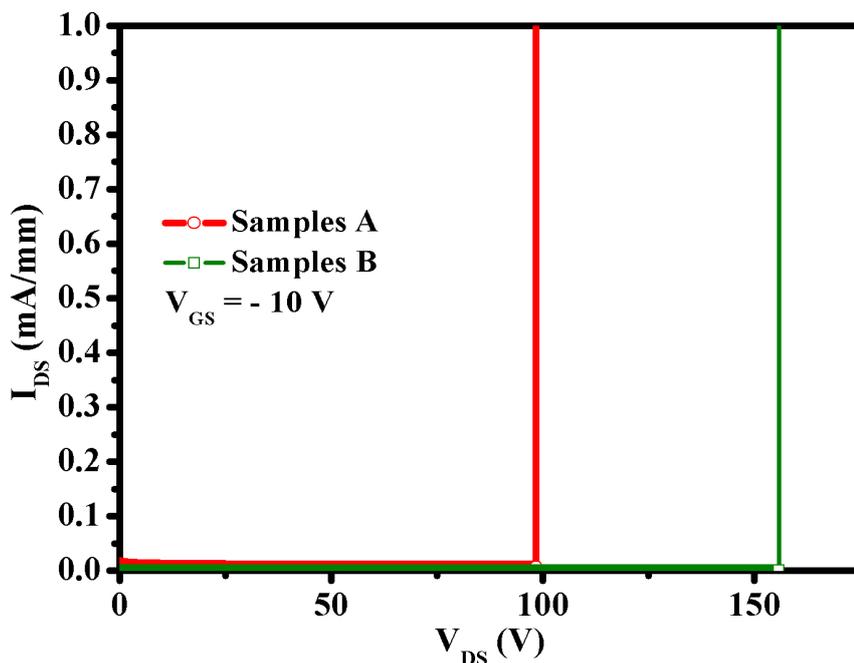


圖八、樣品 A 與樣品 B 在 300/350/400K 的 I_{DS} - V_{DS} 曲線圖

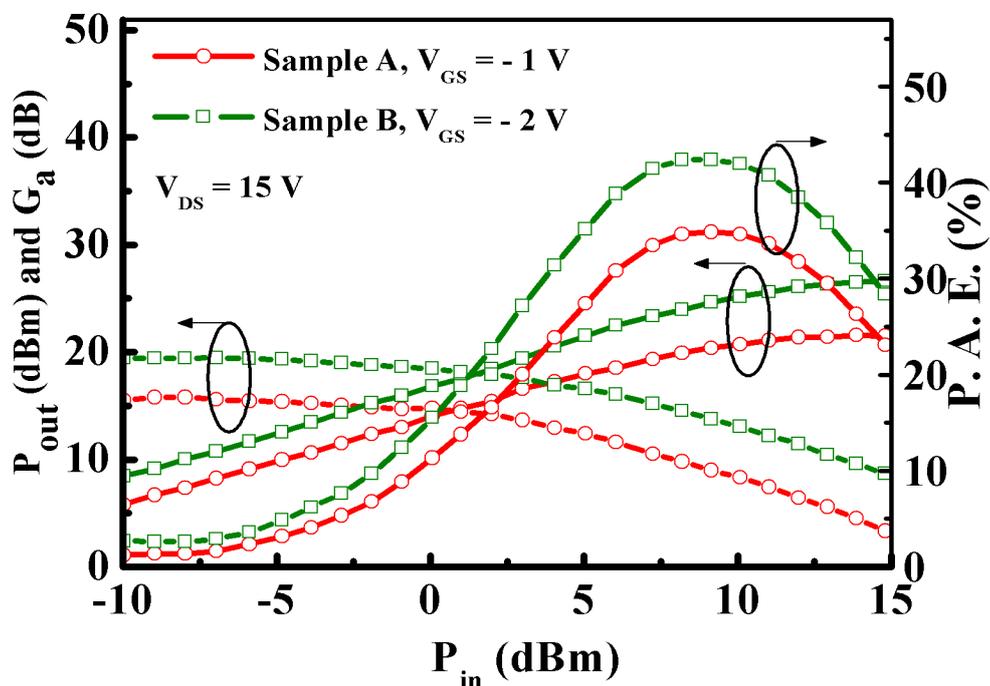


圖九、樣本 A 與樣品 B 在 $V_{DS}=8V$ 下的 g_m 與 I-V 特性圖





圖十、樣本 A 與樣品 B 在 300K 下的兩端關閉狀態之 I_{GD} - V_{GD} 特性和三端導通狀態的 BV_{DS} 特性圖



圖十一、樣本 A 與 B 在 300K 下測量的飽和輸出功率、功率增益、以及功率增加效率