

逢甲大學學生報告 ePaper

報告題名：

氮化矽之區域性應變對N型金氧半電晶體之影響

作者：朱柏儒、黃建彰

系級：電子四甲

學號：D9329484 D9366263

開課老師：李景松 老師

課程名稱：化合物半導體元件

開課系所：電子工程系

開課學年：九十六學年度 第一學期



摘要

在本篇專題的研究中，主要是在利用氮化矽薄膜本身具有的高應力特性來控制電子通道中應力的大小，進而達到改善電子遷移率的目的。我們發現較厚的氮化矽薄膜可以有效的改善載子遷移率。此外，我們也利用不同的複晶矽閘極厚度作為實驗的條件，結果顯示複晶矽閘極厚度增加會使電子遷移率的提升幅度能夠更加顯著。同時利用改變複晶矽閘極的厚度以及覆蓋較厚的氮化矽薄膜這兩種方式，可以有效提昇元件的電流驅動能力達 21%。

載子遷移率隨著通道長度越小，改善的幅度會越大。因此，在未來 CMOS 製程中，隨著製程技術不斷進步以及元件尺寸越縮越小的趨勢下，對於應用區域性應變技術來改善元件的操作速度，將備受矚目。

關鍵字：載子遷移率、應力

目錄

摘要	1
目錄.....	2
圖、表目錄.....	3
第一章 緒論.....	5
1.1 背景.....	5
1.2 量測方法.....	14
1.2.1 C-V 曲線.....	15
1.2.2 I_D - V_{GS} 特性曲線.....	15
1.2.3 Charge pumping.....	15
第二章 不同複晶矽與氮化矽厚度對元件特性的影響.....	17
2.1 引言以及動機.....	17
2.2 實驗過程與條件.....	18
2.3 結果與討論.....	25
2.3.1 電容-電壓(C-V)基本特性.....	25
2.3.2 不同氮化矽厚度對元件基本特性與載子遷移率的影響...27	
2.4 結論.....	41
第三章 總結以及未來方向.....	43
參考文獻.....	45

圖、表目錄

圖 1.1 Strain 應力方向 3D 示意圖.....	7
表 1.1 不同方向的 Strain 應力對 CMOS 的影響.....	8
圖 1.2 Strain 應力與能帶的關係圖.....	10
圖 2-1 nMOSFETs 實驗流程圖.....	19
圖 2-2 nMOSFETs 實驗條件.....	24
圖 2.3(a) 複晶矽 220nm 和不同氮化矽厚度之電容與電壓關係圖.....	26
圖 2.3(b) 複晶矽 150nm 和不同氮化矽厚度之電容與電壓關係圖....	26
表 2.1 不同實驗條件之等效氧化層厚度.....	27
圖 2.4(a) 複晶矽 220nm 和不同氮化矽厚度對元件通道長度的轉移電 導比較圖形.....	28
圖 2.4(b) 複晶矽 150nm 和不同氮化矽厚度對元件通道長度的轉移電 導比較圖形.....	28
圖 2.5(a) 複晶矽 220nm 和不同氮化矽厚度之短通道效應比較 圖.....	29
圖 2.5(b) 複晶矽 150nm 和不同氮化矽厚度之短通道效應比較 圖.....	30
圖 2.6(a) 複晶矽 150nm 和不同氮化矽厚度的轉移電導圖形	

(W/L=10 μ m/0.4 μ m).....	31
圖 2.6(b) 複晶矽 150nm 和不同氮化矽厚度的轉移電導圖形 (W/L=10 μ m/10 μ m).....	31
圖 2.7(a) 複晶矽 150nm 和不同氮化矽厚度之驅動電流圖形 (W/L=10 μ m/0.4 μ m)	33
圖 2.7(b) 複晶矽 150nm 和不同氮化矽厚度之驅動電流圖形 (W/L=10 μ m/10 μ m)	33
圖 2.8(a) 複晶矽 150nm 和不同氮化矽厚度的 Charge Pumping Current(W/L=10 μ m/0.4 μ m).....	35
圖 2.8(b) 複晶矽 150nm 和不同氮化矽厚度的 Charge Pumping Current(W/L=10 μ m/10 μ m).....	36
圖 2.9(a) 複晶矽 220nm 和不同氮化矽厚度的轉移電導圖形 (W/L=10 μ m/0.4 μ m).....	37
圖 2.9(b) 複晶矽 220nm 和不同氮化矽厚度的轉移電導圖形 (W/L=10 μ m/10 μ m).....	37
圖 2.10(a) 複晶矽 220nm 和不同氮化矽厚度之驅動電流圖形 (W/L=10 μ m/0.4 μ m).....	38
圖 2.10(b) 複晶矽 220nm 和不同氮化矽厚度之驅動電流圖形 (W/L=10 μ m/10 μ m).....	39
圖 2.11(a) 複晶矽 220nm 和不同氮化矽厚度的 Charge Pumping Current(W/L=10 μ m/0.4 μ m)	40
圖 2.11(b) 複晶矽 220nm 和不同氮化矽厚度的 Charge Pumping Current(W/L=10 μ m/10 μ m)	41

第一章

緒論

1.1 背景

近幾年來，半導體產業被快速地發展，元件製程技術已邁入奈米世代，在過去 30 年間，元件的閘極線寬已從 $10\ \mu\text{m}$ 縮減到 $45\ \text{nm}$ ，不合時宜的微米(10^{-6} 公尺)已被奈米(10^{-9} 公尺)單位取代來做為元件尺寸的度量。這象徵已進入一個技術的新紀元，卻也代表更多挑戰的出現。

就元件的操作速度而言，為了加速元件的操作速率，增加元件的積集度，和降低元件操作電壓等等考量的因素，元件閘極的通道長度和氧化層厚度的微縮是不得不然的趨勢【1~3】。但是元件的縮小化會造成短通道的效應，和增加閘極氧化層間的漏電流，而且還會伴隨的次臨界擺幅 (Subthreshold Swing, S.S) 的增加【4】。因此當氧化層厚度低於 $4\ \text{nm}$ 時，則會因漏電流變增大的因素，使得元件的功率消耗大幅提高，因此該如何改善元件的操作速度將成為一個相當重要的課題。

為了解決超薄閘極二氧化矽介電層所帶來的問題並且又要保有

它的優點，所以高介電係數 (Higher Dielectric Constant, High-K) 介電層材料被用來代替傳統二氧化矽成為 MOSFET 的閘極介電層【5~7】。利用高介電係數介電層，可以使得物理厚度為原來二氧化矽的數倍，卻擁有相同的等效氧化層厚度 (Equivalent Oxide Thickness, EOT)，所以能使直接穿透閘極的漏電流變小並且維持一定的驅動電流。

然而這些高介電係數材料，運用在傳統 CMOS 製程技術上也出現了許多問題，就高介電係數材料而言，因為其材料的熱穩定性不佳，會造成矽基板和高介電係數介電層之間的界面問題【8】，也是造成載子遷移率 (Mobility, μ) 遠遠比不上二氧化矽的原因之一【9】。因此許許多多的努力正在研究如何解決這些問題，但是通常解決了一個問題又會製造另一個問題，所以必須在兩者取其輕的方式來解決這些爭端。然而，在閘極通道做改善 (例如：高載子遷移率的通道、超薄的基底和 3D 的結構) 是比較不會引起另一種問題的方式。特別是增加閘極通道的載子遷移率 (carrier mobility) 之研究已在這幾年引起相當大的迴響。

為了解決上述所提的問題，我們可以利用應變矽 (strained Si) 技術來改善此問題【10~35】。此項技術是利用製程與材料的特性使矽產生

應力應變(strain)。當矽受到應力作用之後，可提升其載子遷移率。在金氧半場效電晶體中(MOSFETs)，使用應變矽做為元件之電流通道將可提高 MOSFETs 的電流驅動能力與操作速度。然而，不同的應變(伸張或壓縮)在不同方向對電子或電洞的遷移率也會有不一樣的影響

【10】(圖 1.1)，在 X 和 Z 軸方向的應變對電子和電洞效果剛好是相反的(表 1.1)。所以如果想要讓兩種不同的型態的電晶體同時增加載子遷移率，則必須同時增加 Y 軸方向的伸張應力。

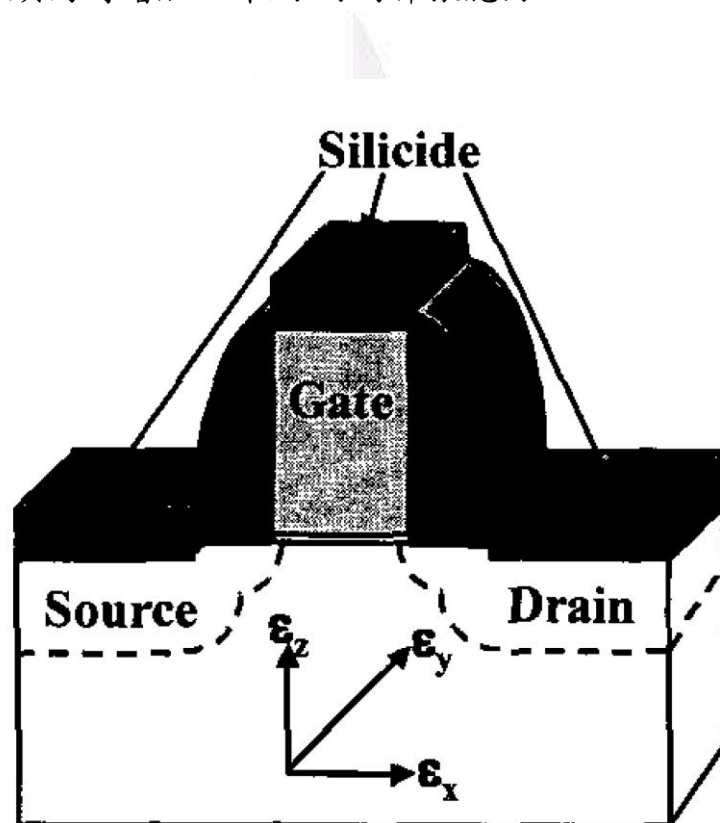


圖 1.1 Strain 應力方向 3D 示意圖
(參考：2003 IEDM pp.73-76)

Direction of Strain Change*	CMOS Performance Impact	
	NMOS	PMOS
X	Improve	Degrade
Y	Improve	Improve
Z	Degrade	Improve

3D Strain Sensitivity of CMOS Current Drive

表1.1 不同方向的Strain應力對CMOS的影響

(參考：2003 IEDM pp.73-76)

應變層的產生方式主要有兩種，可分為矽/矽鍺異質結構與氮化矽應力層。對矽/矽鍺異質結構而言，因為矽鍺基板的晶格長度和矽不同，所以將矽以磊晶的方式成長在矽鍺緩衝層上形成矽應變層(通常這層應變層具有 biaxial 的 tensile 應變，可以同時改善電子和電洞的載子遷移率)。所產生的應變，可以使其在平面(in-plane)X 方向的晶格增長以與矽鍺層相同，在成長縱向(out-of-plane)Y 方向則縮小。此種結構的應變的型式稱為擴張應變(tensile strain)。這種結構係以矽基板為主體，先行成長一矽鍺緩衝層(buffer layer)，一般矽鍺緩衝層的厚度為數微米，其中的鍺含量以漸進的方式增加，以將應變能量控制

在矽基板處釋放，並將產生的差排等缺陷侷限在基板內。能量釋放後的緩衝層最表面晶格常數回復無應變 (relaxed) 時的狀態，但保持低缺陷密度。之後在於其上成長擴張應變的薄矽層。此種結構由於能同時增進電子與電洞的遷移率，提升元件的驅動電流，因此適合互補式金氧半場效電晶體 (CMOSFETs) 元件的研製。

另一方面，電子在應變層的載子遷移率會隨著電場的增大而增加，但是漸變層的銻含量大約在 20% 就會對電子遷移率的增加呈現飽和現象。然而在應變層上的電洞遷移率表現，則是在高電場下比較沒有明顯的增加【12】，反而其電洞遷移率在低電場有較佳的表現。至於銻含量大約在 30%，對電洞的遷移率則會有增加的趨勢。另外，應變層的厚度也是另一個影響載子遷移率的因素，越薄的矽應變層，不論是對電洞或電子而言，皆會有越小的載子遷移率【13】。因為銻會擴散進入應變層的通道，而且增加閘極氧化層的 fixed charge，而且愈薄的通道會造成載子限制的效應(carrier confinement)，這些因素造成了愈薄的矽應變層會帶來更差的載子遷移率。

這種能夠同時改良 pMOSFETs 與 nMOSFETs 特性的元件，一般稱為應變矽通道元件。實驗上已驗證應變矽通道無論是使用在 p 型或 n 型元件，均能顯著地增進驅動電流，加快電路的操作速度【12】。

這歸因於應變矽通道中的形變引起的導帶(conduction band) 與價帶(valence band) 的分離(splitting)，如圖 1.2，能減少電子的谷間散射(inter-valley scattering)與電洞的能帶間散射(inter-band scattering)，同時也減少載子的等效質量(effective mass)，所以遷移率獲得了有效地提升【14~21】。

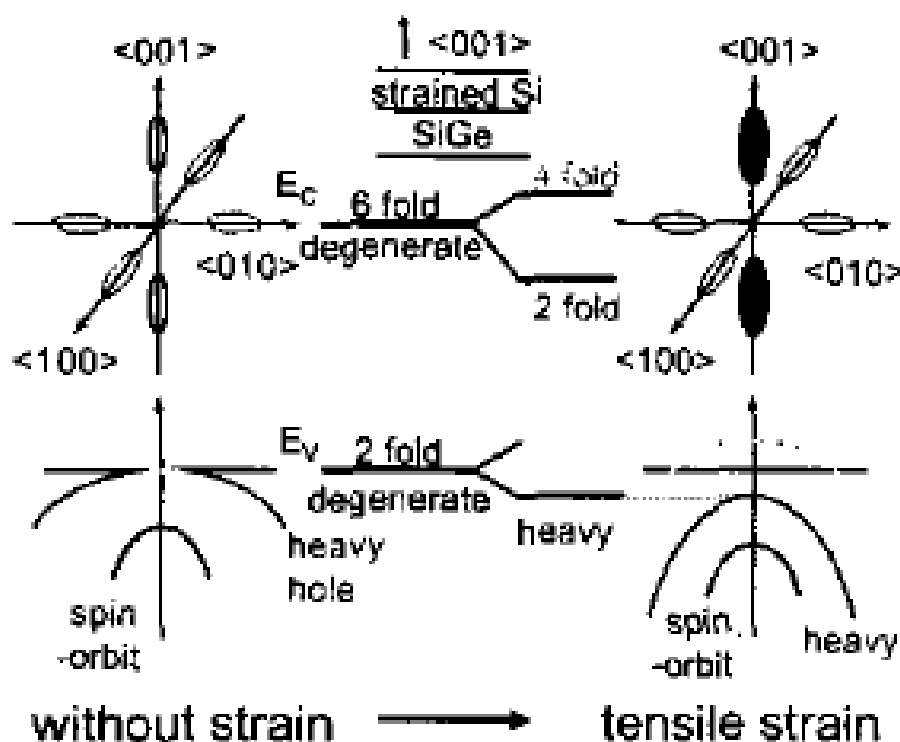


圖 1.2 Strain 應力與能帶的關係圖

(參考：2003 IEDM pp.57-60)

應變矽通道元件由於能增進元件與電路的效能，因此深受業界的矚目。2002 年 Intel 就宣佈將在 90 奈米製程加入此技術【24】。在實際應用之前，仍須對可能產生的問題進一步地掌控。例如：(1)基板缺陷。一般使用矽鍍緩衝層的缺陷密度在 $10^3 \sim 10^4 \text{ cm}^{-2}$ 的範圍，必須要確定這些缺陷不會影響晶片內千萬個元件的載子遷移率及接面漏電流。(2)表面平坦度。矽鍍緩衝層磊晶成長後，表面會較原本來的粗糙，並因而造成後續成長閘極氧化層的漏電流增加與可靠度劣化。一般可以藉由化學機械拋光研磨(CMP)處理來改善【25】。(3) n 型雜質的擴散。n 型雜質，如磷與砷，在矽鍍內的擴散速度較在矽內增加甚多【26】。因此必須特別注意對熱預算(thermal budget)的控制，以避免造成 nMOSFETs 元件嚴重的短通道效應。(4)此外，由於矽鍍的熔點遠較矽為低，容易會有結塊(agglomeration)效應的發生，造成寄生電阻的增加【27】。(5)鍍的外擴散，在閘極氧化層熱成長或源/汲植入後的退火等高溫製程時，鍍會有明顯外擴散的情形發生。若表面的應變矽層太薄，鍍會擴散到閘極介電層的界面造成界面狀態密度(interface-state density, D_{it})的激增【27】。要避免此困擾，一般要求應變矽層的厚度須在 10 奈米以上。(6)自動加熱效應(self-heating)【28】。由於矽鍍的導熱性遠較矽為差，因此操作時會有類似 SOI 元件的自動加熱效應情形發生，設計元件與電路時須將此效應考慮在內。

此外，另一種應變矽技術則是氮化矽的應用。近年來許多的研究顯示從利用氮化矽層產生的機械單軸應變矽(Mechanical Uniaxial Strain)通道會影響元件的驅動電流【18，19】。一般來說，沈積氮化矽層有兩種主要方式，一種是使用高溫熱成長化學氣相沈積(CVD)氮化矽層，這種方式所沈積的氮化矽層會有擴張應變的效果。另一種則是利用電漿增強式化學氣相沈積(PECVD)，這種方式所沈積的氮化矽層則會產生壓縮應變。

然而，氮化矽層所產生的機械單軸應變，只會增加 n 型通道的驅動電流，但 p 型通道的驅動電流反而會減少，所以對 p 或 n 型電晶體的載子遷移率就會造成不同效果。然而不管應力為何，對於 CMOS 而言都會有一邊的改進一邊變差。如此的結果會讓局部應變這項技術在 CMOS 的應用上會有所侷限。

為了能夠避免使 nMOSFETs 或 pMOSFETs 的驅動能力下降，「局部機械應力控制」(Local Mechanical-Stress Control, 簡稱 LMC)為一種有效的解決方式【30，31】，此種技術可以有效地用來提高元件的電流驅動能力。這種機械應力的產生，是使用氮化矽(Si_3N_4)層和選擇性鍍(Ge)離子佈值的方法來達到選擇性地拉伸應變。由控制氮化矽層的應力大小，以及利用鍍離子佈值在具有高機械應力的氮化矽層

上，藉由離子佈植破壞原子鍵結來釋放氮化矽層的應力。如此一來就可以分別改善 n 型通道和 p 型通道元件的驅動電流。在元件的通道範圍內，控制機械應力可以克服元件尺寸縮小的限制，改變矽晶格的空間值和平衡值。使用機械應力可以增加電子和電洞的遷移率，在使用氮化矽層，可以同時改變 I_{on_n} 和 I_{on_p} 。由於元件尺寸越縮越小，以及對未來的 65 奈米技術，其驅動電流估計可增加 20%，因此 LMC 技術的影響將變的更受矚目。不過，使用選擇性鍍離子佈植的方式，就必須增加一次微影的製程，所以這種技術勢必會增加製程的複雜性，而且也會增加整體的製造成本。

此外，區域性應變矽通道(Local Strained Channel，簡稱 LSC)技術也被證明能夠有效地改善元件的驅動能力【32，33】。這種技術是利用具有高壓縮性應變的複晶矽閘極作為閘極電極，藉此能夠在元件上產生高擴張應變的通道，這種技術只會對 nMOSFETs 有所影響。覆蓋一層高擴張的二氧化矽層以及適當的回火製程可以增加 n 型複晶矽閘極的壓縮應力。另一方面，p 型通道並無法產生應變，主要原因在於經過硼離子佈植後的複晶矽閘極不容易受到應力作用而伸展。所以區域性應變矽通道能夠改善 nMOSFETs 的電流驅動能力，而且並不會使 pMOSFETs 的特性衰退。

在氮化矽應力層的應用上，除了改變複晶閘極的摻雜類型會改變應變的形式之外，經過模擬出來的數據顯示，我們可以推斷改變複晶矽閘極的厚度也能夠有效的提高氮化矽層對元件通道區域的應力大小，進而改善元件的驅動能力【34】。另外在 pMOSFETs 中，使用選擇性磊晶 $\text{Si}_{1-x}\text{Ge}_x$ 於集極和源極區域時，縱向單軸壓縮應力 (longitudinal uniaxial compressive stress) 施加在通道內，將可增加電洞大約 50% 的移動率。而在 nMOSFETs 中，利用一層擴張氮化矽覆蓋層 (tensile silicon nitride-capping layer)，可將擴張應力傳導進 nMOSFETs 以增加電子移動率大約 20%【35】。應變矽使用在 CMOSFETs 元件中，可以分別增加 nMOSFETs 10% 及 pMOSFETs 25% 的飽和驅動電流。因此我們可預見應變技術 (Strain technology) 對於先進閘極工程是非常有用的。

針對上述所討論，本論文將利用區域性應變矽通道的技術來改善元件的特性。我們將改變不同的 n 型複晶矽閘極厚度，並以此不同的閘極厚度完成 n 型複晶矽閘極金氧半場效電晶體，來探討其元件在操作上的一些基本特性，並配合不同的氮化矽覆蓋層厚度分別討論載子遷移率在不同複晶矽與氮化矽厚度的影響。

1.2 量測方法

為了分析在 MOSFET 元件特性，可採用下列幾種量測方式，來萃取出一些電性特性以及物理分析，進而探討閘極介電層，以下分別將一些電性參數和表面型態的量測方式作一說明。

1.2.1 電壓-電容特性分析 (C-V)

在 N 型複晶矽閘極 MOSFET 的氧化層特性是以 HP 4284 分析儀在高頻 (1MHz) 的電壓-電容分析中所獲得。所有曲線的量測都是由反轉區到累增區，量測尺寸為 $W/L=20\mu\text{m}/20\mu\text{m}$ 。目的是由量測結果得到氧化層等效厚度 (T_{ox}) 等參數。

1.2.2 I_d-V_{gs} 特性曲線

I_d-V_{gs} 量測是使用 Keithley 4200 參數分析儀。將 N 型複晶矽閘極 MOSFET 電晶體元件操作在線性區 ($V_{ds}=0.1\text{V}$)，量測其汲極電流 (I_d) 與閘極電壓 (V_{gs}) 的關係，進而萃取出臨界電壓 (Threshold Voltage) 以及轉移電導 (Transconductance, G_m)。

1.2.3 Charge pumping

I_{cp} 量測的設置如下，閘極由 Agilent 81110A 提供脈衝波 (方波，1MHz)。脈衝波的電壓設定為固定電壓振幅 ($V_{\text{amp}}=1.5\text{V}$)，改變基

氮化矽之區域性應變
對 N 型金氧半電晶體之影響

底電壓($V_{base} : -2.5V \sim 0.5V$)。此外，源極則是由 Keithley 4200 參數分析儀提供一個固定偏壓($0.1V$)，並測量俗稱 charge pumping current 的基板電流(substrate current)。



第二章

不同複晶矽與氮化矽厚度對 元件特性的影響

2.1 引言以及動機

區域性應變矽通道(Local Strained Channel, 簡稱 LSC)技術被證明能夠有效地改善元件的驅動能力。這種技術是利用具有高壓縮性應變的複晶矽閘極作為閘極電極,藉此能夠在元件上產生高擴張應變的通道,這種技術只會對 nMOSFETs 有所影響。覆蓋一層高擴張的二氧化矽層以及適當的回火製程,可以增加 n 型複晶矽閘極的壓縮應力。另一方面, p 型通道並無法產生應變,主要原因在於經過硼離子佈植後的複晶矽閘極不容易受到應力作用而伸展。所以區域性應變矽通道能夠改善 nMOSFETs 的電流驅動能力,而且並不會使 pMOSFETs 的特性衰退【32, 33】。

在氮化矽應力層的應用上,除了改變複晶閘極的摻雜類型會改變應變的形式之外,經過模擬出來的數據顯示,我們可以推斷改變複晶矽閘極的厚度也能夠有效的提高氮化矽層對元件通道區域的應力大小,進而改善元件的驅動能力【34】。在 nMOSFETs 中,利用一層擴

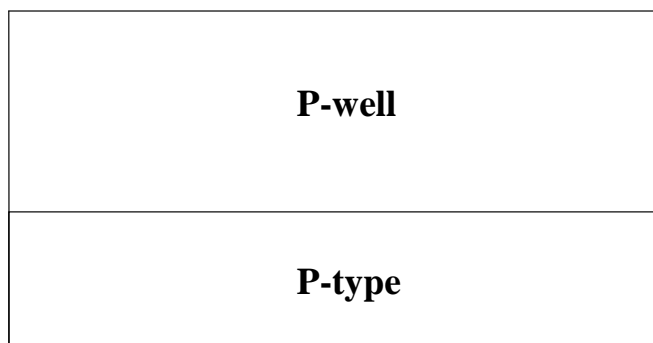
張氮化矽覆蓋層(tensile silicon nitride-capping layer)，可將擴張應力傳導進 nMOSFETs 以增加電子移動率大約 20% 【35】。因此我們可預見應變技術(Strain technology)對於先進閘極工程是非常有用的。

因此，在本章節中我們將利用區域性應變矽通道的技術來改善元件的特性。我們將改變不同的 n 型複晶矽閘極厚度，並以此不同的閘極厚度完成 nMOSFETs 元件。此外，也將配合不同的氮化矽覆蓋層厚度來探討其元件在操作上的一些基本特性，以及分別討論不同的複晶矽與氮化矽厚度對載子遷移率的影響。

2.2 實驗過程與條件

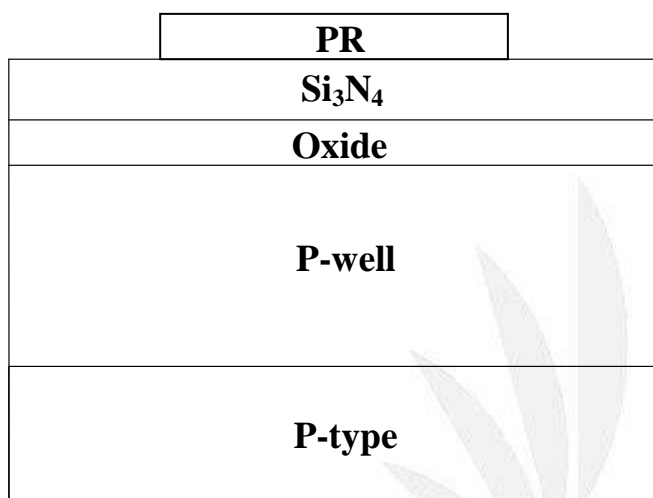
本實驗的步驟為電晶體 nMOSFETs 製程，所有的製程均在國家奈米實驗室中進行。基本的製程步驟列於圖 2.1，下面則詳述 nMOSFETs 製程內容。

實驗是採用 p-型的六吋矽晶片，晶格方向 $\langle 100 \rangle$ ，阻質介於 15~25 $\Omega\text{-cm}$ 之間。利用離子佈植及爐管擴散法形成 P-well，離子佈植條件(離子硼， BF_2 ，能量為 70 keV，劑量為 $1.2 \times 10^{13} \text{ions/cm}^2$)。



1、P-型六吋矽晶片，晶格方向 $\langle 100 \rangle$

2、形成 P-well(離子 BF_2 ，能量 70keV，劑量為 1.2×10^{13} ions/cm²)

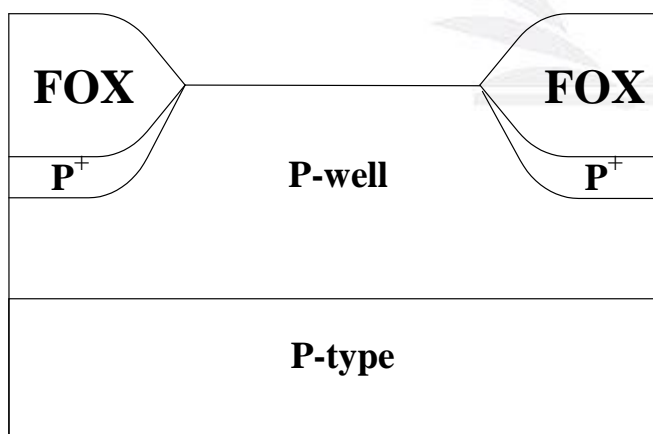


1、Standard Clean

2、成長 Pad-Oxide(SiO_2)-350Å

3、沈積 Si_3N_4 -1500Å

4、Pattern，定義主動區



1、Etch 兩旁的 Si_3N_4 ，Channel

Stop(離子 BF_2 ，能量 120keV，劑量為 4×10^{13} ions/cm²)

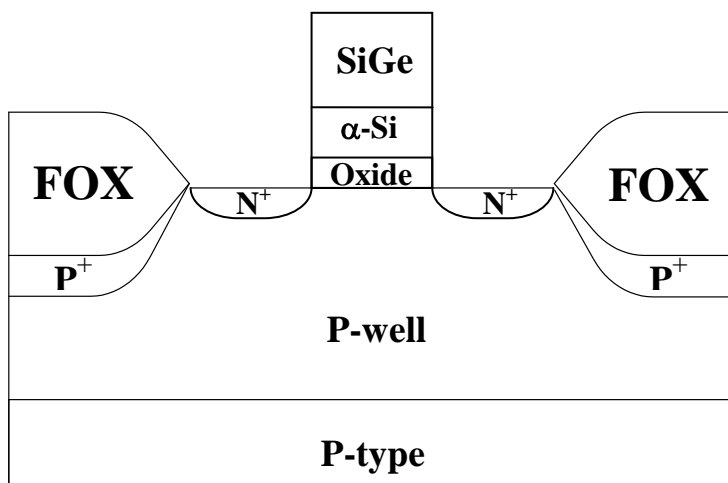
2、Field Oxide-5500Å

3、以磷酸去除主動區 Si_3N_4

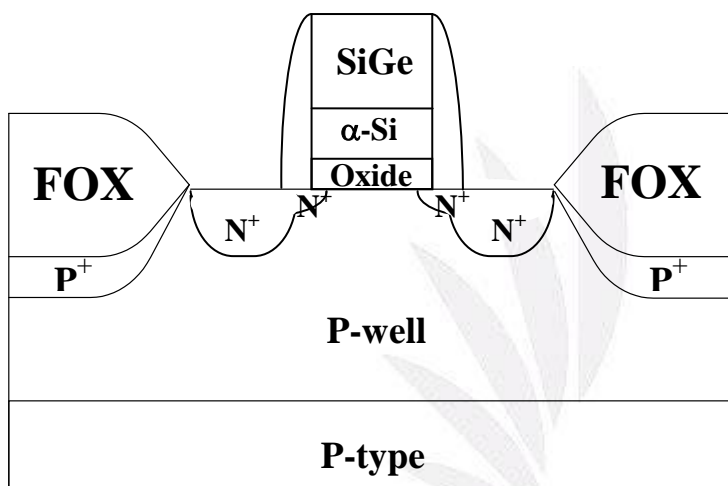
4、完成 LOCOS 結構

5、臨界電壓調整: B_2 Implant，45keV， 4×10^{12} ions/cm²

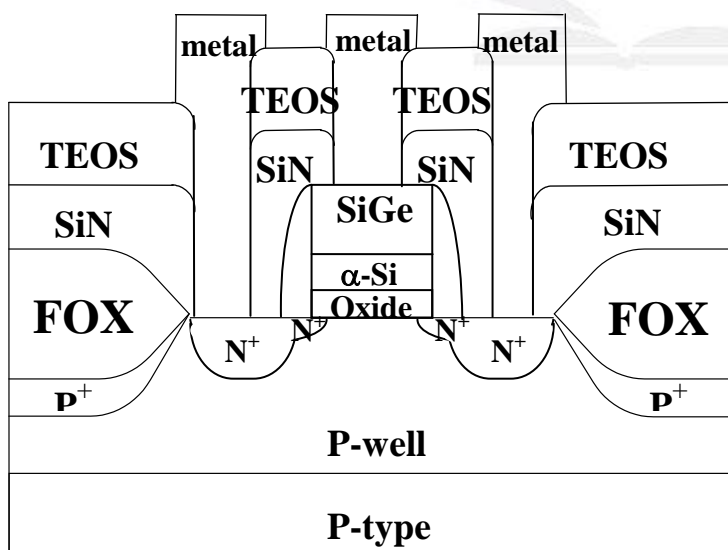
圖 2.1 nMOSFETs 實驗流程圖



- 1、RCA 清洗後，HF:H₂O=1:50 來蝕刻自生氧化層
- 2、成長 25Å 左右的 SiO₂ oxide
- 3、疊上 Poly-Si 220nm、150nm
- 4、沈積閘極 Hard Mask TEOS 500Å
- 5、Pattern 定義閘極
- 6、淺摻雜 S/D



- 1、沈積 TEOS-2000Å
- 2、Spacer etch
- 3、重摻雜 S/D
- 4、閘極 Hard Mask 去除
- 5、Pattern，定義基極
- 6、Substrate implant
- 7、Anneal-1000°C-10 秒



- 1、沈積氮化矽 Si₃N₄ 覆蓋層 250nm、170nm、100nm
- 2、沈積 TEOS-4000Å
- 3、製作接觸孔(Contact Hole) 的圖案，以 TEL 5000 進行乾式蝕刻
- 4、Sputtering 標準四層金屬 (Ti/TiN/Al/TiN)
- 5、Pattern，定義 Metal pad，Metal etch
- 6、Sintering-400°C-30 分鐘

圖 2.1 nMOSFETs 實驗流程圖

以氮化矽用來當作罩幕(Mask)用，藉著其不易被氧滲透的優點來進行場氧化層(Field Oxide)的製作。接著進入微影(Lithography)及乾蝕刻程序，使用第一道光罩，將主動區定義完成，此時再以離子佈植來做Channel Stop，離子佈植條件(離子硼，BF₂，能量為120 keV，劑量為 4×10^{13} ions/cm²)。接著以高溫爐管成長一層約5500 Å的場氧化層，最後再以磷酸去除氮化矽。

之後再以離子佈植法進行硼摻雜，離子佈植條件(離子硼，BF₂，能量為50keV，劑量為 7×10^{12} ions/cm²)，此離子佈植的作用是對MOSFETs的臨界電壓做適當的調整。緊接的再進行一次硼摻雜，離子佈植條件(離子硼，B，能量為45keV，劑量為 4×10^{12} ions/cm²)，此離子佈植得作用是防止貫穿(Anti-Punch-Through)效應。

成長閘極氧化層的動作是在垂直爐管中進行，條件是使用純氧成長的二氧化矽約22Å。成長完之後，隨即開始疊上隨著沈積的反應進行之內部摻雜N型複晶矽 (in-situ Poly-Silicon)，此N型複晶矽主要是用來排除因摻雜的雜質分布不均勻，所造成電性數據上的影響。成長之厚度為實驗條件(詳見圖2.2(a))。複晶矽沈積完之後再緊接著沈積一層TEOS (Tetra-Ethy-Ortho-Silicate) 500Å，此TEOS為在S/D摻雜時，能夠擋住閘極不被離子佈植所影響(即Hard Mask)。

接著用第二道光罩定義閘極，先用乾蝕刻機(TEL 5000)蝕刻Hard

Mask，再用 TCP 對 Poly-Si 做蝕刻。然後進行離子佈植，首先以離子佈植法進行砷摻雜，離子佈植條件(離子砷，As，能量為 8 keV，劑量為 1×10^{15} ions/cm²)。此離子佈植的作用是為了做 Source/Drain extension。接下來覆蓋 TEOS 1500 Å，再以乾蝕刻機(TEL 5000)做非等向性的蝕刻形成側壁空間層(Spacer)，側壁空間層蝕刻完之後由於先前的閘極 Hard Mask 並沒有被去除，因此閘極能夠阻擋之後的離子佈植步驟。緊接著再做一次高濃度的 As 離子佈植，能量為 30 keV，劑量為 6×10^{15} ions/cm²，此高濃度離子佈植目的是在於形成源極與汲極，最後用乾蝕刻機(TEL 5000)做非等向性的蝕刻把閘極 Hard Mask 去除。

接著基極以中電流離子佈植，離子佈植條件：(離子 BF₂，能量為 40 keV，劑量為 5×10^{15} ions/cm²)，之後將全部的摻雜(Dopant)活化(Activation)，條件為快速熱製程 1000°C 10 秒。

接著在晶片的表面沈積一層氮化矽(Si₃N₄)，沈積此層薄膜主要是用來產生區域性應變(Local Strain)，成長之厚度為實驗條件(詳見圖 2.2(b))。之後再氮化矽表面沈積一層 TEOS 4000 Å，用來隔絕金屬與金氧半元件的隔絕材料。第四道光罩用來製作接觸孔(Contact Hole)的圖案，由於本實驗的覆蓋層共有兩層，因此分成兩階段蝕刻步驟。首先以乾蝕刻機(TEL 5000)與 BOE 進行 TEOS 層的蝕刻，接著再利用乾蝕刻機(TEL 5000)進行氮化矽(Si₃N₄)蝕刻，最後用熱磷酸再一次

對氮化矽層蝕刻，以確保氮化矽層有完全去除乾淨。之後進行四層金屬(Ti/TiN/Al-Si-Cu/TiN)的物理氣相沉積(PVD)。最後一道微影製程是定義金屬墊(Metal Pad)的圖樣，使用ILD-4100來完成蝕刻金屬以及光阻的去除。最後一個步驟就是將完成的元件，送入高溫爐管；以攝氏400度的溫度做30分鐘的燒結(Sintering)，使金屬層與矽基板的接觸更為密合，減少串聯電阻或漏電流的發生機率。燒結完後，電晶體製程即告完成。



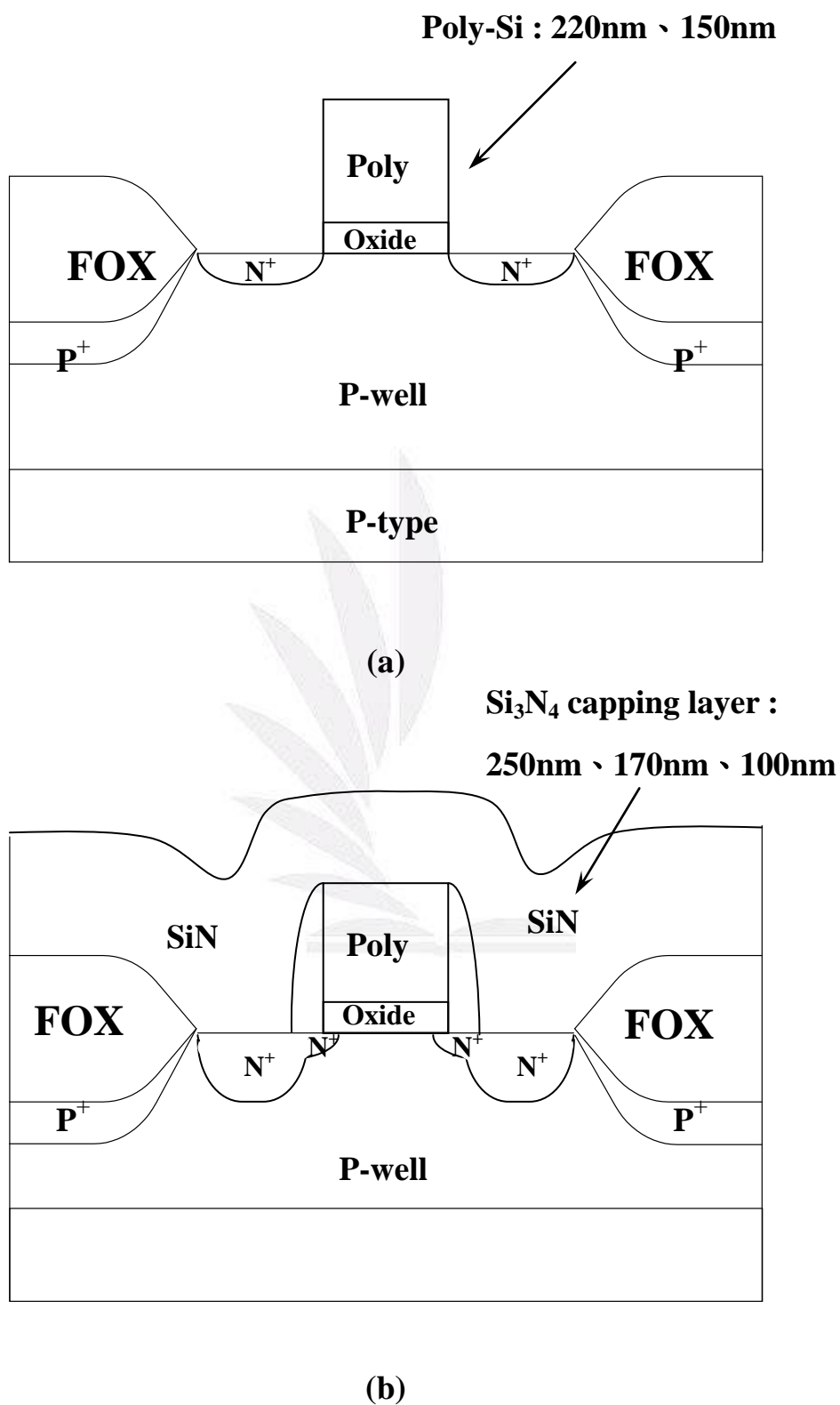


圖 2.2 nMOSFETs 實驗條件

2.3 結果與討論

2.3.1 電容-電壓 (C-V) 基本特性

電容的量測是以 HP 4284 分析儀在高頻(1MHz)的電壓-電容分析中所獲得。所有曲線的量測都是由反轉區到累增區，量測尺寸為 $W/L=20\mu\text{m}/20\mu\text{m}$ 。由公式

$$C_{OX} = \epsilon_{OX} \times \frac{A}{T_{OX}} \quad (2.1) \quad \text{【36】}$$

其中 C_{OX} 為電容值【單位：F (法拉)】， ϵ_{OX} 是絕緣體介電係數【二氧化矽為 $3.9 \times 8.85 \times 10^{-14}$ F/cm】， A 是指量測的電容面積【單位： cm^2 】。利用這個公式所求得的閘極介電層厚度 (T_{OX}) 為等效氧化層厚度 (Equivalent Oxide Thickness, EOT)。

圖 2.3(a) 為量測複晶矽 220nm 和不同氮化矽厚度的電容值，圖 2.3(b) 則為複晶矽 150nm 和不同氮化矽厚度的電容值。表 2.1 則是將所有條件之電容值換算成等效氧化層厚度。由圖 2.3 及表 2.1 可以發現所有的條件，在等效厚度上幾乎是一樣的。不過要是嚴格來說複晶矽 150nm 與複晶矽 220nm 兩者之間的等效厚度，彼此相差約 0.5\AA ，但是差距甚小，因此對於等效氧化層厚度上的差異在之後的討論中將不被列入考量。

氮化矽之區域性應變
對 N 型金氧半電晶體之影響

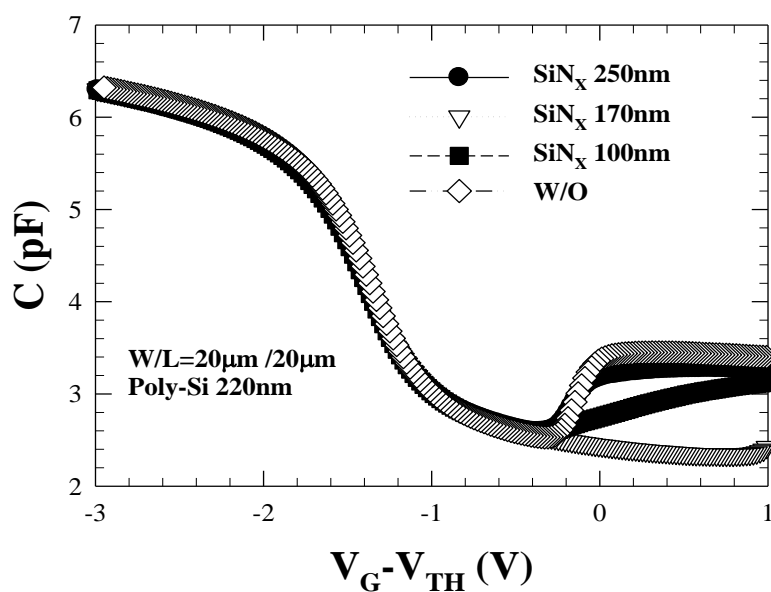


圖 2.3(a) 複晶矽 220nm 和不同氮化矽厚度之電容與電壓關係圖

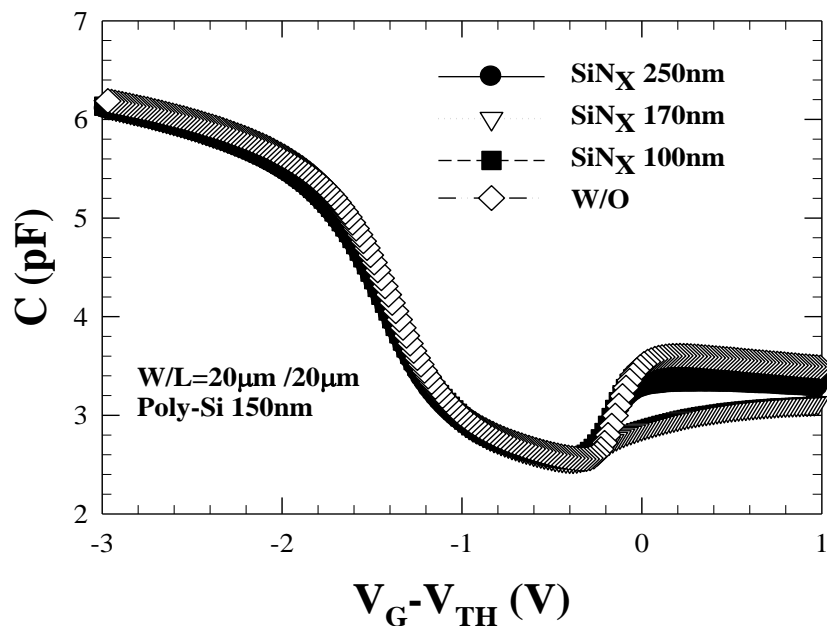


圖 2.3(b) 複晶矽 220nm 和不同氮化矽厚度之電容與電壓關係圖

Poly-Si 220nm	SiN _x 250nm	SiN _x 170nm	SiN _x 100nm	W/O
C _{ox} (pF)	6.2981	6.300	6.2921	6.3214
EOT (Å)	21.920	21.914	21.941	21.840

Poly-Si 150nm	SiN _x 250nm	SiN _x 170nm	SiN _x 100nm	W/O
C _{ox} (pF)	6.1216	6.1459	6.1423	6.1864
EOT (Å)	22.552	22.464	22.477	22.317

表 2.1 不同實驗條件之等效氧化層厚度

2.3.2 不同氮化矽厚度對元件基本特性與載子遷移率的影響

圖 2.4(a)(b)為在複晶矽 220nm 以及複晶矽 150nm 的情況下，不同氮化矽厚度對元件通道長度的轉移電導比較圖形。由圖 2.4(a)來說，我們可以看出在通道長度越小的條件下，氮化矽厚度的變化對轉換電導的影響會越趨明顯。此外，圖 2.4(b)也有相同的現象，因此之後的討論將針對通道元件長度最大(L=10μm)與最小(L=0.4μm)的條件來做比較。

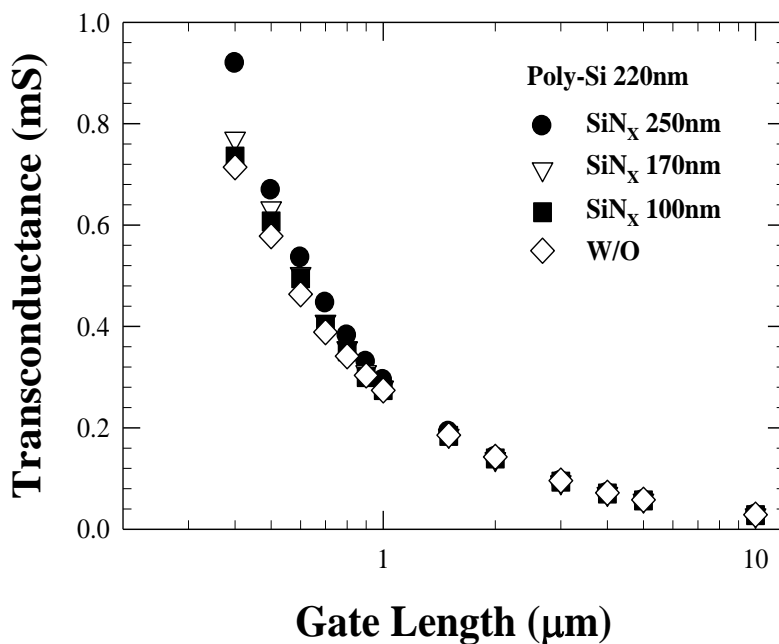


圖 2.4(a) 複晶矽 220nm 和不同氮化矽厚度對元件通道長度的轉移電導比較圖形

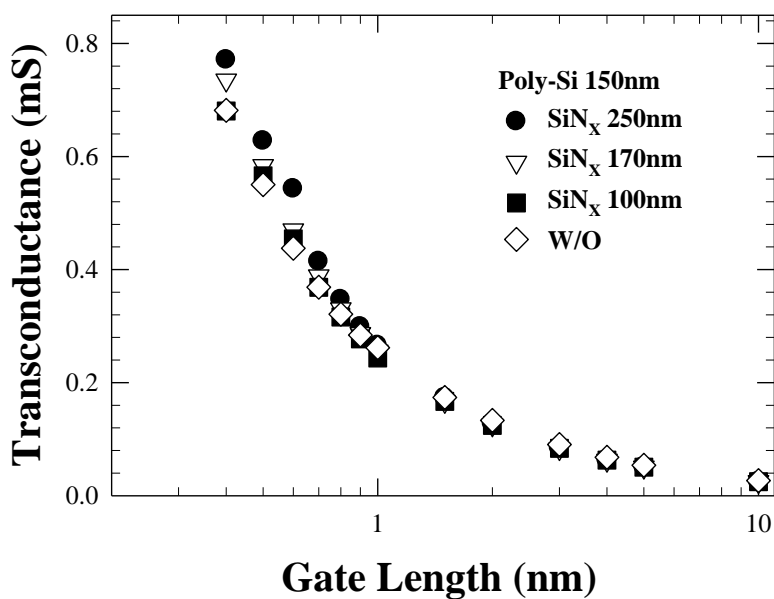


圖 2.4(b) 複晶矽 150nm 和不同氮化矽厚度對元件通道長度的轉移電導比較圖形

圖 2.5(a)、(b) 為量測各個實驗條件的 $0.4\mu\text{m}$ 、 $0.6\mu\text{m}$ 、 $1\mu\text{m}$ 、 $2\mu\text{m}$ 以及 $10\mu\text{m}$ 這五種通道長度尺寸的 MOSFET 各十點，之後再以 $10\mu\text{m}$ 這

個尺寸為基準點，將所有尺寸的值減去基準點的值所求得平均的臨限電壓差 (ΔV_{TH}) 的圖形。就圖 2.5(a) 而言，我們可以發現在複晶矽 220nm 的條件下，氮化矽覆蓋層的厚度越厚，其短通道效應會越嚴重。我們推測這是因為 Strain 的應力作用，使得通道區域的傳導帶 (Conduction Band) 分裂，所以金屬-半導體功函數差 (ϕ_{ms}) 以及反轉時所需電壓 ($2\phi_{fn}$) 等參數會改變。因此，在通道長度越小 Strain 的作用越大的情況下，會造成較嚴重的短通道效應。另一方面，由圖 2.5(b) 也可以發現在複晶矽 150nm 的條件下，氮化矽覆蓋層的厚度越厚也會有相同的現象。此外，我們比較兩種複晶矽厚度的條件，可以發現複晶矽 150nm 的短通道效應會比複晶矽 220nm 來的嚴重。

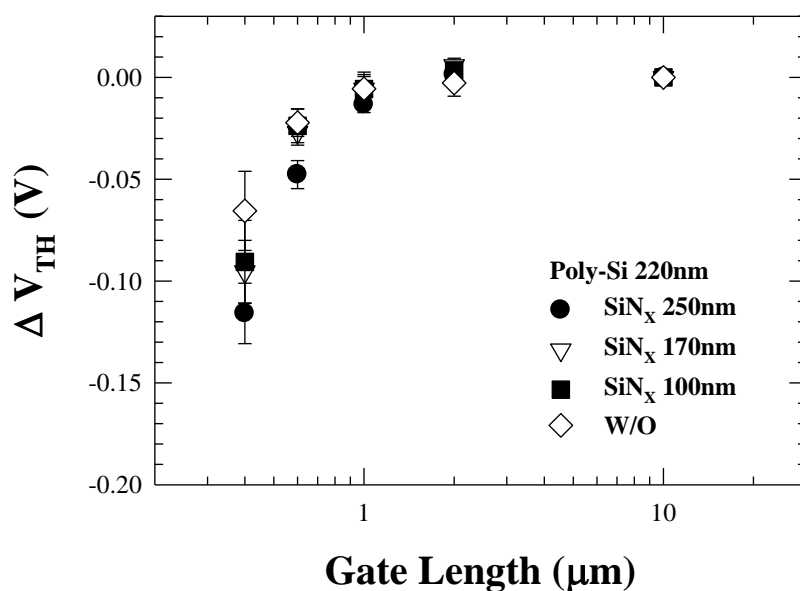


圖 2.5 (a) 複晶矽 220nm 和不同氮化矽厚度之短通道效應比較圖

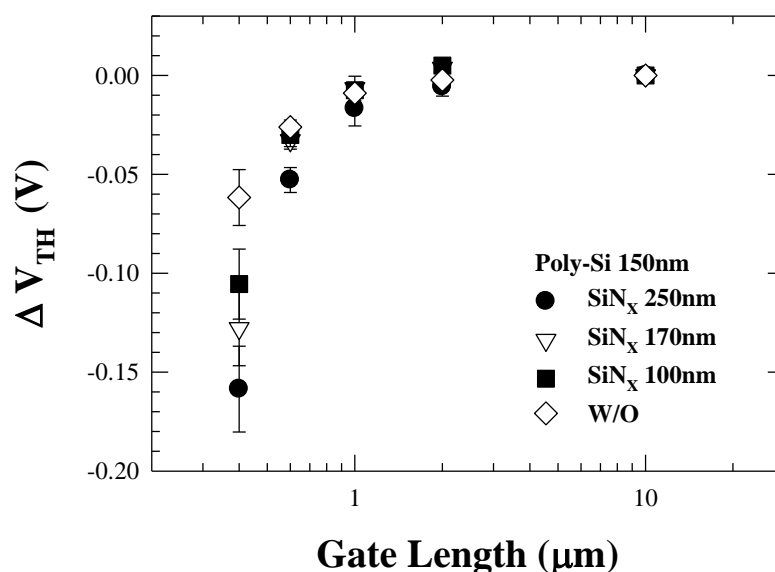


圖 2.5 (b) 複晶矽 150nm 和不同氮化矽厚度之短通道效應比較圖

圖 2.6(a) 表示在複晶矽 150nm 條件下的轉換電導圖形 (W/L=10μm/0.4μm)，由轉移電導的公式來看

$$G_M = \frac{W\mu C_{ox}}{L} V_D \quad \text{式(2.2) 【36】}$$

在其他參數固定下，可以發現在相同的元件尺寸 W/L=10μm/0.4μm，以及氮化矽厚度250nm的條件下，載子遷移率會較其他條件來的高。然而，在元件尺寸W/L=10μm/10μm的情況下，如圖2.6(b)，載子遷移率的表現反而是相反的，也就是說在通道長度為10μm時，沒有氮化矽覆蓋層的條件會有較佳的載子遷移率。不過，隨著元件尺寸不斷縮小下，載子遷移率變差的問題將不會發生。

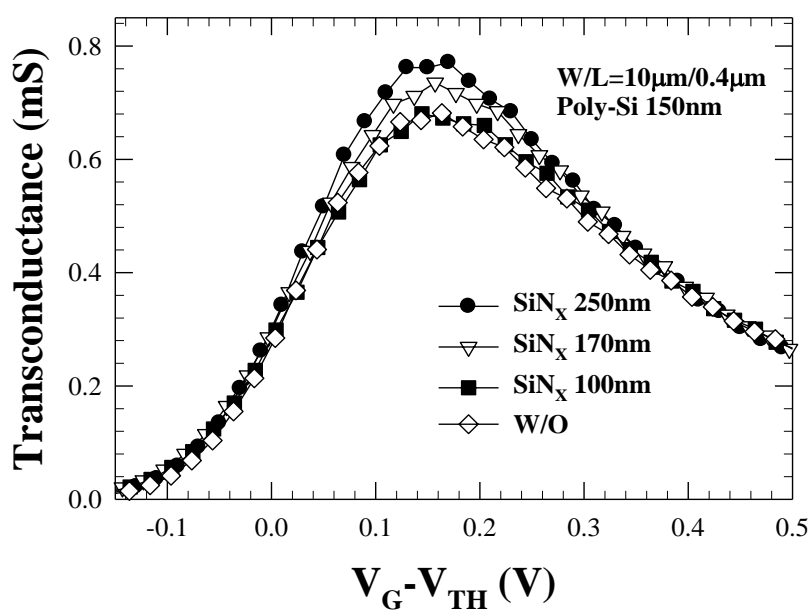


圖 2.6(a) 複晶矽 150nm 和不同氮化矽厚度的轉移電導圖形
(W/L=10µm/0.4µm)

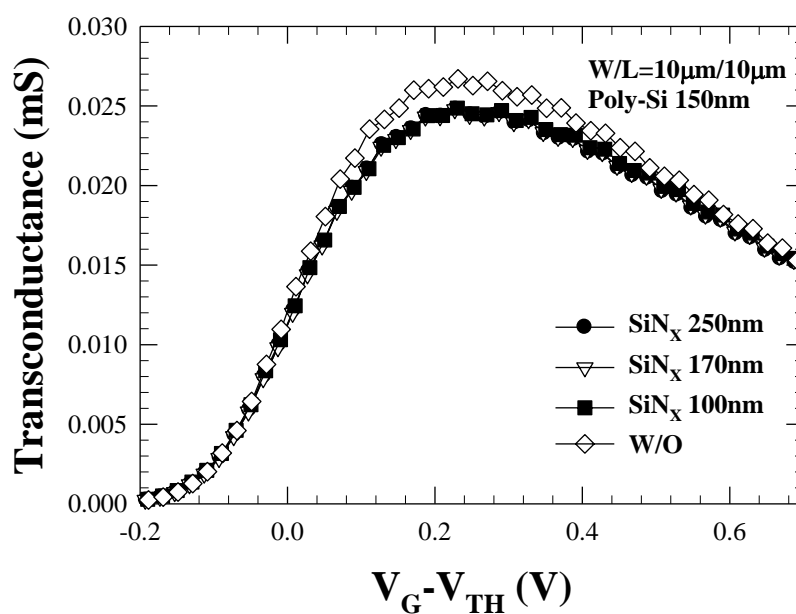


圖 2.6(b) 複晶矽 150nm 和不同氮化矽厚度的轉移電導圖形
(W/L=10µm/10µm)

圖2.7(a) 表示出在複晶矽150nm的條件下，不同氮化矽厚度的驅動電流圖形 ($W/L=10\mu\text{m}/0.4\mu\text{m}$)，我們可以看出在不同的氮化矽厚度中，氮化矽250nm顯然擁有較大的元件驅動能力，而由元件驅動電流公式

$$I_D = \frac{W\mu\epsilon_{SiO_2}}{2LT_{OX}} (V_{GS} - V_{TH})^2 \quad \text{式(2.3) 【36】}$$

W (Width) 為通道寬度， L (Length) 為通道長度， μ (Mobility) 為載子遷移率， V_{GS} 、 V_{TH} 為閘極電壓以及臨限電壓。由公式中，在寬長比、介電係數、等效氧化厚度以及 $V_{GS}-V_{TH}$ 固定下，可以發現氮化矽250nm具有較大的驅動電流，所以推測氮化矽250nm在nMOSFETs元件中擁有較好的載子遷移率。另外，由圖2.7(b)可以發現元件尺寸在 $W/L=10\mu\text{m}/10\mu\text{m}$ 的情況下，反而是沒有氮化矽覆蓋層的條件會有較佳的電流驅動能力，所以也可以推測在大尺寸的元件中，沒有氮化矽覆蓋層會擁有較大的載子遷移率。

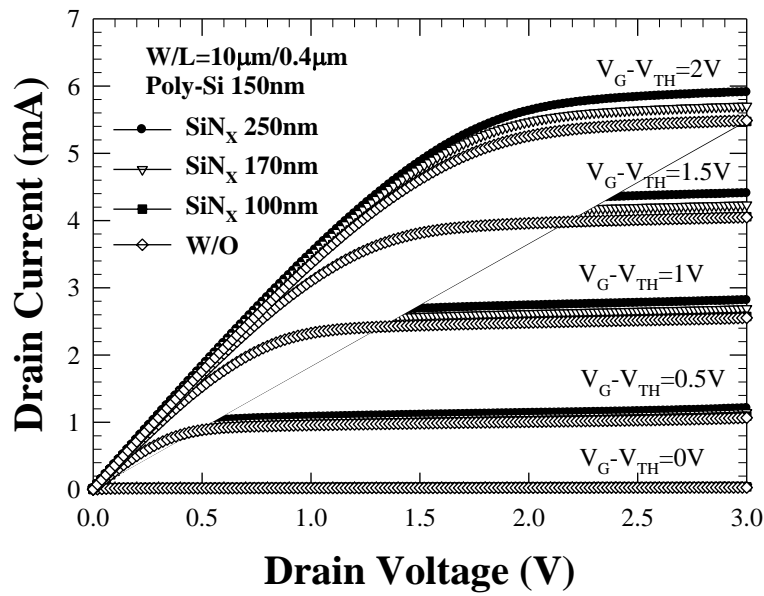


圖 2.7(a) 複晶矽 150nm 和不同氮化矽厚度之驅動電流圖形
(W/L=10µm/0.4µm)

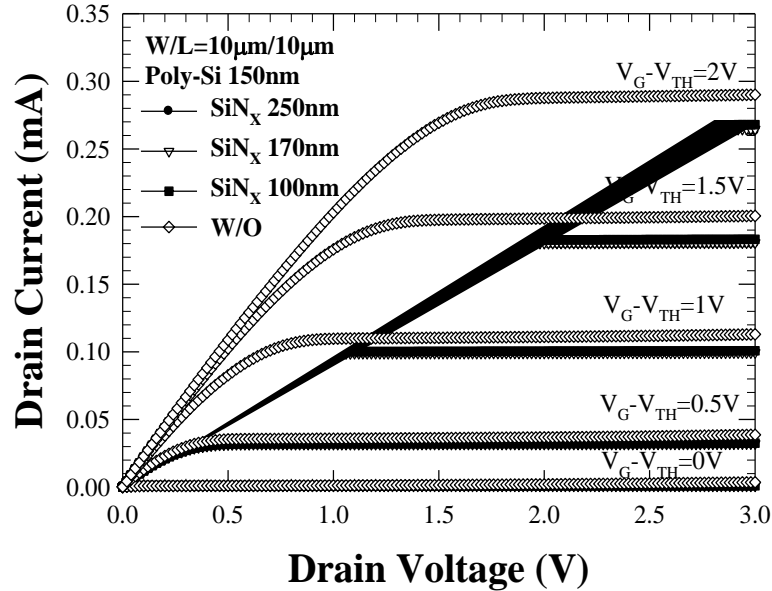


圖 2.7(b) 複晶矽 150nm 和不同氮化矽厚度之驅動電流圖形
(W/L=10µm/10µm)

為了解釋在大尺寸下為何會有相反的趨勢，因此，我們試著藉由

量測 Charge pumping method 來觀察在氧化層與矽基座界面缺陷。不過為了不受漏電流影響，而準確地萃取介面狀態密度的值。我們依據漏電流不會因為頻率影響而改變的特性，於是將高頻量測的數據(1MHz)扣掉低頻量測的數據(100KHz)，藉此可有效的消除掉漏電流造成的影響【37、38】。進而利用 Charge pumping method 來計算出介面狀態缺陷量(N_{it})

$$N_{it} = \frac{I_{cp}}{qfA} \quad \text{式(2.4) 【38】}$$

I_{cp} 是 Charge pumping 測量的電流， q 是(fundamental electronic charge)， f 是頻率， A 是面積。所以，在基板和閘極介面層的缺陷數量是可以容易地被判斷出來。圖2.8(a) 為複晶矽150nm條件下，不同氮化矽厚度之Charge Pumping Current ($W/L=10\mu\text{m}/0.4\mu\text{m}$)，所以由圖形以及公式2.4來推測，可以發現沒有氮化矽覆蓋層的條件有最小的介面狀態缺陷量，而有氮化矽覆蓋層的條件會因為應力的拉扯，造成介面缺陷的數量增加。不過，我們反而發現沒有氮化矽覆蓋層的條件其載子遷移率是最差的，因此我們推測元件的載子遷移率在小線寬時，區域性應變所造成的載子遷移率之影響遠大於缺陷數量對遷移率的影響。此外，由於氮化矽250nm所產生的應力最大，照理說缺陷的數量應該也會是最高的。不過，我們可以發現在複晶矽150nm時，氮化矽100nm的條件會有最大的介面缺陷量，其次是氮化矽170nm，再來

就是氮化矽 250nm。因此，我們推測在沈積氮化矽層時，會通入 NH_3 以及 SiH_4 兩種氣體來成長氮化矽，而其中的 NH_3 會產生氫鍵修補了缺陷，因此當氮化矽沈積時間越長，其缺陷量應當會減少。雖然含有氮化矽覆蓋層的條件，其缺陷量和沒有氮化矽覆蓋層的相較之下有較大的現象，但氮化矽覆蓋層所產生的伸張應力作用會遠大於缺陷的影響，因此才會有較好的載子遷移率。

另一方面，當元件尺寸為 $W/L=10\mu\text{m}/10\mu\text{m}$ 時，我們由圖 2.8(b) 及公式 2.4 發現在大線寬下，氮化矽覆蓋層伸張應力的影響則會因整體的介面缺陷量增大而變的微不足道，進而造成載子遷移率退化，在此時載子的遷移率則是受到介面缺陷量所主導。

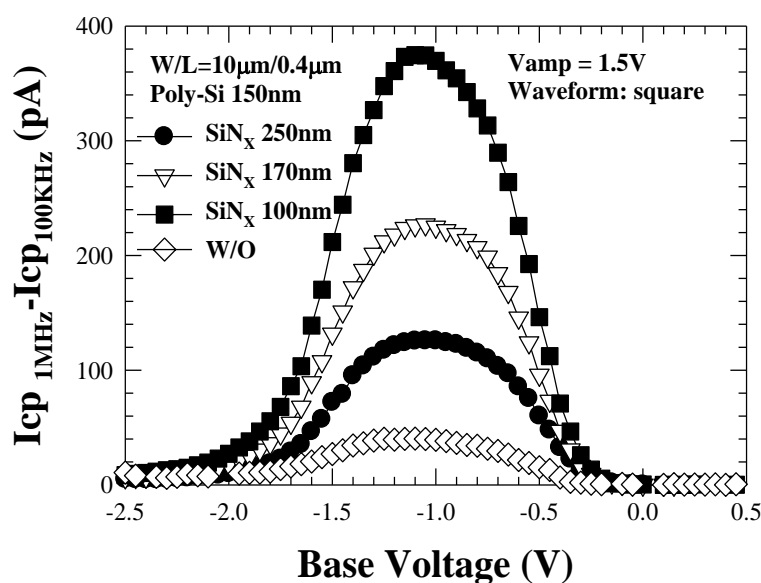


圖 2.8(a) 複晶矽 150nm 和不同氮化矽厚度的 Charge Pumping Current ($W/L=10\mu\text{m}/0.4\mu\text{m}$)

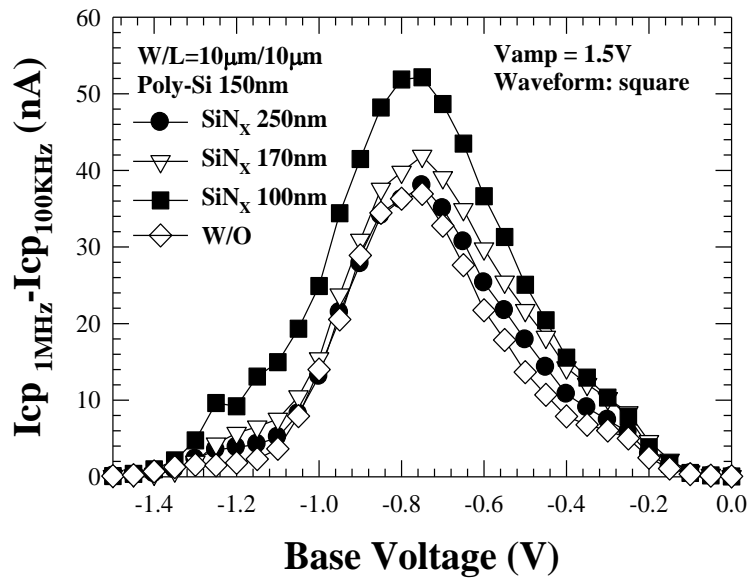


圖 2.8(b) 複晶矽 150nm 和不同氮化矽厚度的 Charge Pumping Current (W/L=10µm/10µm)

圖2.9(a) 表示在複晶矽220nm條件下，不同氮化矽厚度的轉換電導圖形 (W/L=10µm/0.4µm)，由圖可以看出，在氮化矽250nm的條件下，因為伸張應力的增加，載子遷移率會比氮化矽厚度較薄的條件來的高，而且載子遷移率的改善幅度和複晶矽150nm的條件比較起來，如圖2.6(a)，似乎也有較好的現象。然而，元件尺寸在W/L=10µm/10µm的情況下，如圖2.9(b)，載子遷移率的表現和複晶矽150nm的條件是一致的，如圖2.6(b)。換句話說，就是在通道長度為10µm時，增加氮化矽的厚度反而會因缺陷變多而使載子遷移率變的比較差。

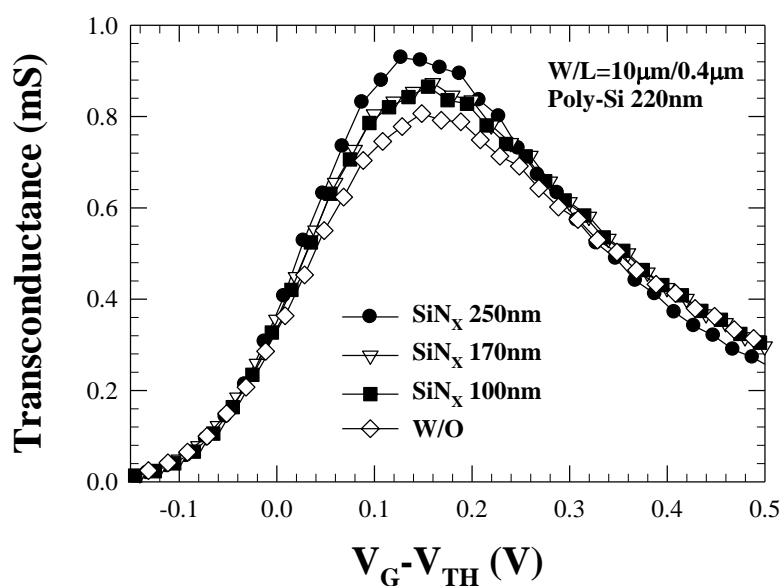


圖 2.9(a) 複晶矽 220nm 和不同氮化矽厚度的轉移電導圖形
(W/L=10µm/0.4µm)

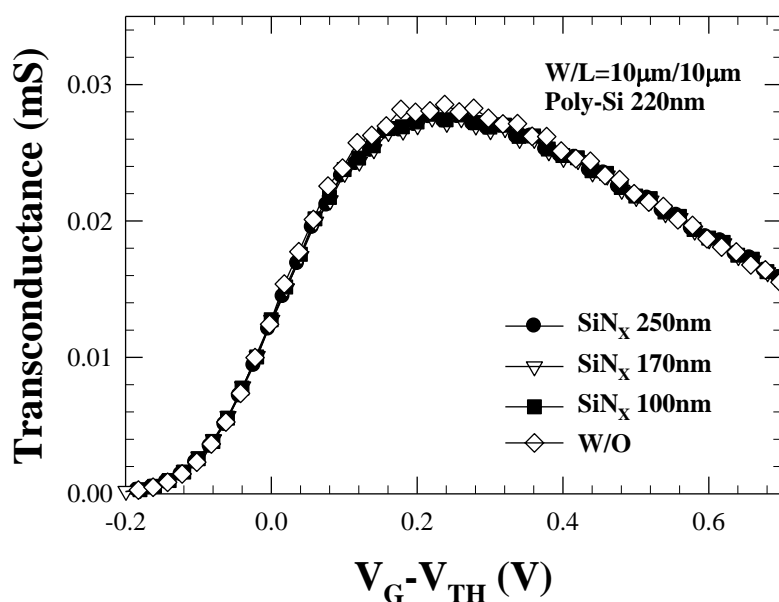


圖 2.9(b) 複晶矽 220nm 和不同氮化矽厚度的轉移電導圖形
(W/L=10µm/10µm)

圖 2.10(a) 表示出在複晶矽 220nm 的條件下，不同氮化矽厚度的驅動電流圖形 ($W/L=10\mu\text{m}/0.4\mu\text{m}$)，我們可以看出在不同的氮化矽厚度中，因氮化矽 250nm 擁有較大伸張應力，所以元件驅動能力會很明顯的好很多。此外，由公式 2.3 來推斷，氮化矽 250nm 因有較大驅動電流，所以在 nMOSFETs 元件中氮化矽 250nm 就會有較大的載子遷移率。另外，由圖 2.10(b) 可以發現元件尺寸在 $W/L=10\mu\text{m}/10\mu\text{m}$ 的情況下，沒有氮化矽覆蓋層的條件會有較佳的電流驅動能力，所以也可以推測在大尺寸的元件中，沒有氮化矽覆蓋層的條件，會有較佳的載子遷移率。

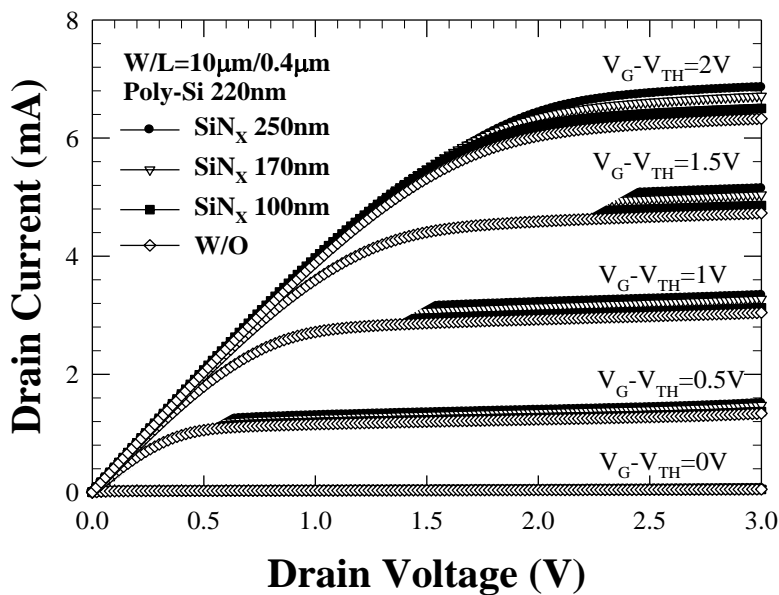


圖 2.10(a) 複晶矽 220nm 和不同氮化矽厚度之驅動電流圖形
($W/L=10\mu\text{m}/0.4\mu\text{m}$)

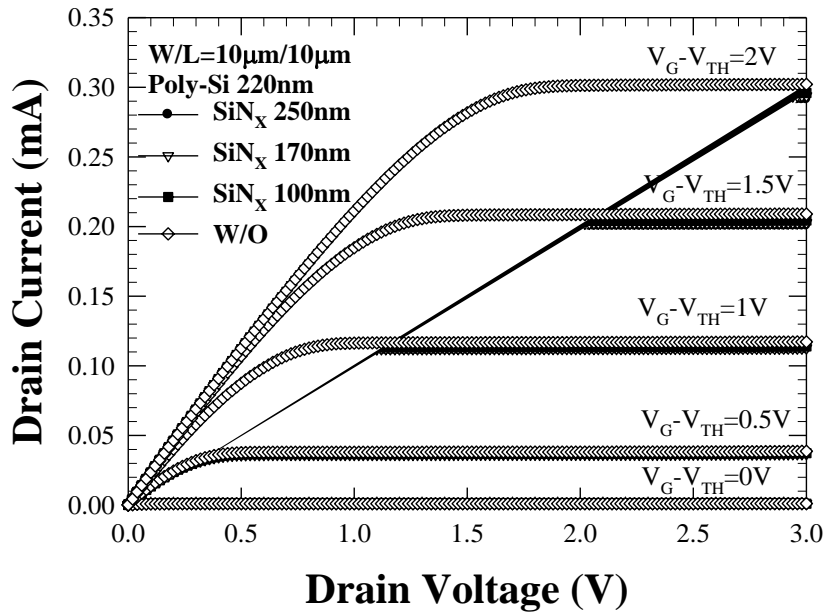


圖 2.10(b) 複晶矽 220nm 和不同氮化矽厚度之驅動電流圖形
(W/L=10μm/10μm)

圖 2.11(a)為複晶矽 220nm 條件下，不同氮化矽厚度之 Charge Pumping Current (W/L=10μm/0.4μm)。在沈積氮化矽層時，會產生氫鍵來修補缺陷，因此當氮化矽沈積時間越長，其缺陷數量會越少。不過由圖形來看，可以發現在複晶矽 220nm 的條件下，氮化矽 170nm 的條件下會有最大的介面缺陷數量，其次是氮化矽 100nm，再來就是氮化矽 250nm，而沒有氮化矽覆蓋層的條件依舊是最小的。不過，氮化矽 250nm 其載子遷移率在這幾種條件裡是較好的，因此我們可以推測區域性應變的影響對於小線寬元件來說，其影響的程度會非常的高，因此能夠抵抗缺陷所造成的退化，進而有效的提高元件的載子遷

移率。

另一方面，在大線寬下($W/L=10\mu\text{m}/10\mu\text{m}$)，如圖 2.11(b)，介面缺陷的數量會影響載子遷移率的大小，主要是因為在大尺寸下缺陷的數量急遽增加，而且氮化矽覆蓋層所產生的應力相對於較短通道的條件，其影響程度是很有限的，幾乎沒有作用，所以在大尺寸下載子遷移率是受到缺陷所主宰。此外，我們也發現氮化矽覆蓋層的應力作用也會使得介面缺陷數量增加，進而造成載子遷移率退化。因此，區域性應變這項技術適合應用於小尺寸元件上，在大尺寸的元件裡反而變成一個不利的因素。

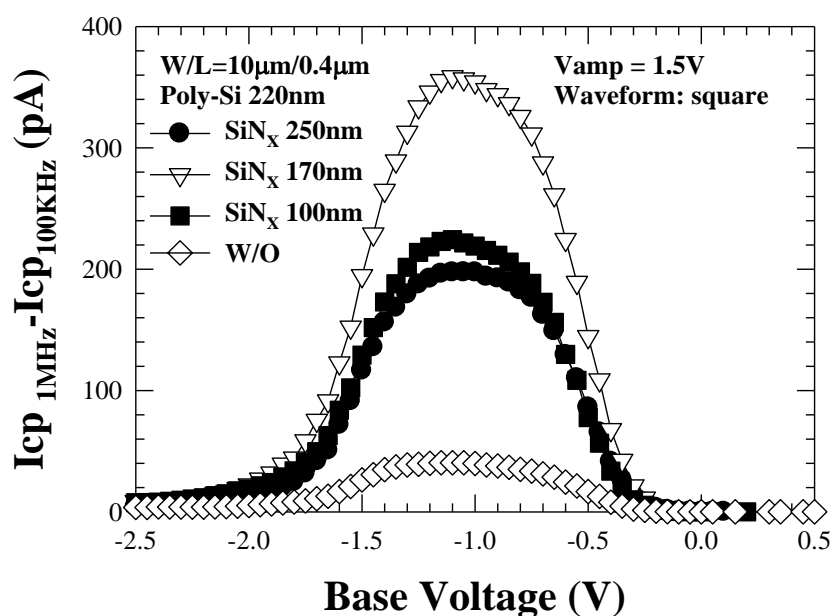


圖 2.11(a) 複晶矽 220nm 和不同氮化矽厚度的 Charge Pumping Current ($W/L=10\mu\text{m}/0.4\mu\text{m}$)

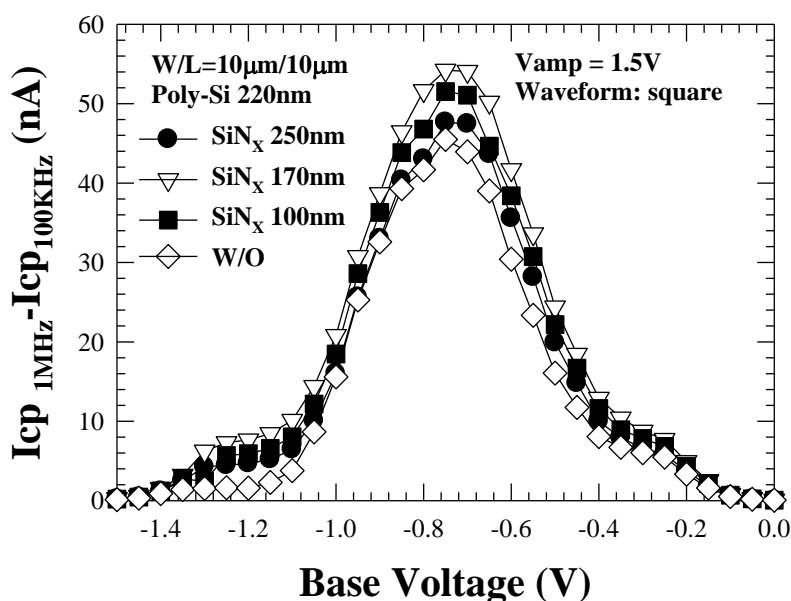


圖 2.11 (b) 複晶矽 220nm 和不同氮化矽厚度的 Charge Pumping Current (W/L=10µm/10µm)

由以上的結果顯示，在尺寸較小的元件中，隨著氮化矽的厚度增加(厚度從 0 nm 到 250nm)，通道表面所受的伸張應力會越大，所以載子遷移率也會跟著提高。相反的，在大尺寸的元件下，氮化矽的伸張應力影響程度會變的很微小，而且元件尺寸增大缺陷也會增加，所以受到缺陷較多的影響，載子遷移率在大尺寸下反而會有退化的情況。

2.4 結論

由以上的探討，我們可以發現在小尺寸下增加氮化矽的厚度，能

夠增加載子遷移率，而且複晶矽的厚度增加也能夠大幅提高載子的遷移率。另一方面，對於區域性應變對於元件尺寸大小的關係，先不論氮化矽覆蓋層的厚度影響，比較不同的複晶矽厚度，可以看出在短通道($L=0.4\mu\text{m}$)的條件下，複晶矽厚度的改變對載子遷移率的增加量並沒有太大差異；反而在長通道下($L=1\mu\text{m}$ 和 $10\mu\text{m}$)，複晶矽的厚度增加對載子遷移率的增加量則有明顯的差異。

反觀比較不同的氮化矽厚度，發現在較小尺寸($L=0.4\mu\text{m}$ 和 $1\mu\text{m}$)的條件下，氮化矽覆蓋層的厚度增加，對載子遷移率的增加量會有明顯的提升現象，而在大尺寸下($L=10\mu\text{m}$)，氮化矽厚度的增加對載子遷移率並不會有太大差異。

整體來說，元件的通道長度在越小的情況下，區域性應變的影響才會更加顯著。由於製程技術持續的進步，元件尺寸不斷縮小的情況下，對於應用區域性應變技術來改善元件的操作速度，將會是一項受人矚目方法。

第三章

總結以及未來方向

由實驗結果顯示，在載子遷移率方面，複晶矽220nm與氮化矽250nm的條件在小尺寸下會比沒有氮化矽的條件約高出約14%左右的特性。在複晶矽150nm方面，氮化矽250nm的條件也會比沒有氮化矽的條件高出約15%左右的特性。因此，不論複晶矽的厚度為何，當氮化矽的厚度增加會增加通道的伸張應力，進而有效的提高元件的操作速度。

雖然，在不同的複晶矽厚度下，氮化矽覆蓋層的厚度增加對於載子遷移率偏移大小是差不多的，但是單純就載子遷移率而言，複晶矽220nm會比複晶矽150nm擁有較佳的特性。另外，我們發現所有的條件會隨著通道長度或寬度的增加而使得載子遷移率的負偏移變大。不過，複晶矽220nm的條件會比複晶矽150nm的條件有延緩因尺寸的變化所造成載子遷移率的退化現象。而在溫度效應方面，也發現沒有氮化矽覆蓋層的條件其因為溫度所造成的載子遷移率衰退比有氮化矽覆蓋層的來得大。

此論文已研究了有關不同的複晶矽與氮化矽厚度對載子遷移率的問題，但是對於受到區域性應變的閘極氧化層可靠度方面，並沒有多

加做探討，因此在未來工作方面，應著手在穩定性研究，因為應力的伸張作用對於閘極氧化層會有一定的影響，受應力作用的閘極介電層在長時間的閘極偏壓壓迫下，有可能變的較容易造成元件的特性衰退，影響了元件的可靠度。在得知複晶矽220nm和氮化矽250nm的條件會擁有較佳載子遷移率之後，對於在穩定性方面的研究將變得更為需要，我們希望經由穩定性的表現來得知受到區域性應變作用後的氧化層品質是否能夠有效的維持一定的水準，以期望能將區域性應變技術應用在未來CMOS製程中。



參考文獻

- 【1】Ryuji Ohba and Tomohisa Mizuno, “Nonstationary Electron/Hole Transport in Sub-0.1 μ m MOS Devices: Correlation with Mobility and Low-Power CMOS Application,” in *IEEE Trans. Electron Devices*, vol. 48, pp. 338-343, Feb. 2001.
- 【2】Mark S. Lundstrom, “On the Mobility Versus Drain Current Relation for a Nanoscale MOSFET,” in *IEEE Electron Device Lett.*, vol. 22, pp. 293–295, Jun. 1994.
- 【3】Dimitri A. Antoniadis, “MOSFET Scalability Limits and “New Frontier” Devices,” in *Symp. VLSI Tech. Dig.*, 2002, pp. 2–5.
- 【4】Q. Q. Lo, D. L. Kwong, “Reliability characteristics of metal-oxide-semiconductor capacitors with chemical vapor deposited Ta₂O₅ gate dielectrics,” in *Appl. Phys. Lett.* 62, p.975, 1993
- 【5】Xu Zeng, P.T. Lai, W.T. Ng, “AC hot-carrier-induced degradation in NMOSFETs with N₂O-based gate dielectrics,” in *IEEE Electron Device Lett.*, vol. 18, pp. 39–41, Feb. 1997.
- 【6】M. Bhat, J. Kim, J. Yan, G.W. Yoon, L.K. Han and D.L. Kwong, “MOS characteristics of ultrathin NO-grown oxynitrides,” in *IEEE Electron Device Lett.*, vol. 15, pp. 421–423, Oct. 1994.
- 【7】G. D. Wilk, R. M. Wallace, and J. M. Anthony, “Hafnium and zirconium silicates for advanced gate electrics,” in *J. Appl. Phys.*, vol. 87, no. 1, pp. 484–492, Jan. 2000.
- 【8】Wen-Jie Qi, Renee Nieh, Byoung Hun Lee, Laegu Kang, Yongjoo Jeon, Katsunori Onishi, Tat Ngai, Sanjay Banerjee and Jack C. Lee,
- 【9】“MOSCAP and MOSFET characteristics using ZrO₂ gate dielectric

- deposition directly on Si.” in *IEDM Tech. Dig.*, 1999, p.145.
- 【10】 K. Onishi, C. S. Kang, R. Choi, H.-J. Cho, S. Gopalan, R. Nieh, S. Krishnan, and J. C. Lee, “Improvement of surface carrier mobility of HfO₂ MOSFETs by high-temperature forming gas annealing,” in *IEEE Trans. Electron Devices*, vol. 50, pp. 384–390, Feb. 2003.
- 【11】 C.-H. Ge, “Process-Strained-Si (PSS) CMOS technology featuring 3–D strain engineering,” in *IEDM Tech. Dig.*, 2003, pp. 73–76.
- 【12】 K. Rim, S. Koester, M. Hargrove, J. Chu, P.M. Mooney, J. Ott, T. Kanarsky, P. Ronsheim, M. Jeong, A. Grill, H.-S.P. Wong, “Strained-Si NMOSFETs for high-performance CMOS technology,” in *Symp. VLSI Tech. Dig.*, 2001, pp. 59–60.
- 【13】 J. L. Hoyt, H. M. Nayfeh, S. Eguchi, I. Aberg, G. Xia, T. Drake, E. A. Fitzgerald, and D. A. Antoniadis, “Strained silicon MOSFET technology,” in *IEDM Tech. Dig.*, 2002, pp. 23–26.
- 【14】 T. Mizuno, N. Sugiyama, T. Tezuka, T. Numata, S. Takagi, “High Performance CMOS Operation of Strained-SOI MOSFETs using Thin Film SiGe-on-Insulator Substrate,” in *Symp. VLSI Tech. Dig.*, 2002, pp. 106–107.
- 【15】 J. Welser, J.L. Hoyt, and J.F. Gibons, “NMOS and PMOS Transistors Fabricated in Strained Silicon/Relaxed Silicon-Germanium Structures,” in *IEDM Tech. Dig.*, 1992, pp. 1000-1002
- 【16】 J. Welser, J.L. Hoyt, and J.F. Gibons, “Evidence of Real-Space Hot-Electron Transfer in High Mobility, Strained-Si Multilayer

- MOSFETs,” in *IEDM Tech. Dig.*, 1993, pp. 545-548.
- 【17】 J. Welser, J. L. Hoyt, and J. F. Gibbons, “Electron mobility enhancement in strained-Si N-type metal-oxide-semiconductor field-effect transistors,” in *IEEE Electron Device Lett.*, vol. 15, pp. 100–102, Feb. 1994.
- 【18】 K. Rim, J. Welser, J.L. Hoyt, and J.F. Gibbons, “Enhanced Hole Mobilities in Surface-channel Strained-Si *p*-MOSFETs,” in *IEDM Tech. Dig.*, 1995, pp.517-520.
- 【19】 Deepak K. Nayak, K. Goto, A.Yutani, J. Murota, and Yasuhiro Shiraki, “High-Mobility Strained-Si PMOSFETs,” in *IEEE Trans. Electron Devices*, Vol. 43, pp. 1709-1716, Oct. 1996.
- 【20】 Tomohisa Mizuno, Naoharu Sugiyama, Atsushi Kurobe, and Shin-ichi Takagi, “Advanced SOI *p*-MOSFETs with Strained-Si Channel on SiGe-on-Insulator Substrate Fabricated by SIMOX Technology,” in *IEEE Trans. Electron Devices*, Vol. 48, pp. 1612-1618, Aug. 2001.
- 【21】 K. Rim, K. Chan, L. Shi, D. Boyd and J. Ott, “Fabrication and mobility characteristics of ultra-thin strained-Si directly on insulator (SSDOI) MOSFETs,” in *IEDM Tech. Dig.*, 2003, pp. 49–52.
- 【22】 Jung-Suk Goo, Qi Xiang, Y. Takamura, F. Arasnia, E.N. Paton, P. Besser, J. Pan and Ming-Ren Lin “Band offset induced threshold variation in strained-Si nMOSFETs,” in *IEEE Electron Device Lett.*, vol. 24, pp. 568–570, 2003.
- 【23】 A. Lochtefeld and D. A. Antoniadis, “Investigating the relationship between electron mobility and velocity in deeply

- scaled NMOS via mechanical stress,” in *IEEE Electron Device Lett.*, vol. 22, pp. 591–593, Aug. 2001.
- 【24】 J. Welser, J.L. Hoyt, S.Takagi, and J.F. Gibbons, “Strain Dependence of the Performance Enhancement in Strained-Si n-MOSFETs,” in *IEDM Tech. Dig.*, 1994, pp. 373-376.
- 【25】 S. Thompson, N. Anand, M. Armstrong, C. Auth, B. Arcot, M. Alavi, “A 90-nm logic technology featuring 50-nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 μm^2 SRAM cell,” in *IEDM Tech. Dig.*, 2002, pp. 61–64.
- 【26】 Sugii, N. Hisamoto, D. Washio, K. Yokoyama, N. Kimura, S., “Enhanced performance of strained Strained-Si MOSFETs on CMP sige virtual substrate,” in *IEDM Tech. Dig.*, 2001, pp. 737-740
- 【27】 K. Rim, J. Chu, H. Chen, K.A. Jenkins, T. Kanarsky, K. Lee, A. Mocuta, H. Zhu, “Characteristics and device design of sub-100-nm strained-Si N- and PMOSFETs,” in *Symp. VLSI Tech. Dig.*, 2002, pp. 98–99.
- 【28】 Mizuno, T. Sugiyama, N. Tezuka, T. Numata, T. Maeda, T. Takagi, S. , “Design for scaled thin film strained-SOI CMOS devices with higher carrier mobility,” in *IEDM Tech. Dig.*, 2002, pp. 31-34
- 【29】 K. Rim. Hoyt, J.L. Gibbons, J.F. “Transconductance enhancement in deep submicron strained Si n-MOSFETs,” in *IEDM Tech. Dig.*, 1998, pp. 707-710
- 【30】 T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, “A 90-nm high volume manufacturing logic technology featuring novel 45-nm gate length

- strained silicon CMOS transistors,” in *IEDM Tech. Dig.*, 2003, pp. 978–980.
- 【31】 S. Ito *et al.*, “Mechanical stress effect of etch-stop nitride and its impact on deep submicrometer transistor design,” in *IEDM Tech. Dig.*, 2000, pp. 247–250.
- 【32】 A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato, F. Ootsuka, “Local mechanical-stress control (LMC): A new technique for CMOS-performance enhancement,” in *IEDM Tech. Dig.*, 2001, pp. 433–436.
- 【33】 K. Ota, K. Sugihara, H. Sayama, T. Uchida, H. Oda, T. Eimori, H. Morimoto, and Y. Inoue, “Novel Locally Strained Channel Technique for High Performance 55nm CMOS,” in *IEDM Tech. Dig.*, 2002, pp. 358-361.
- 【34】 F. Ootsuka, S. Wakahara, K. Ichinose, A. Honzawa, S. Wada, H. Sato, T. Ando, H. Ohta, K. Watanabe, and T. Onai, “A Highly Dense, High-Performance 130nm node CMOS Technology for Large Scale System-on-a-chip Applications,” in *IEDM Tech. Dig.*, 2000, pp. 575-578.
- 【35】 S. Pidin, T. Mori, R. Nakamura, T. Saiki, R. Tanabe, S. Satoh, M. Kase, K. Hashimoto, T. Sugii, “MOSFET Current Drive Optimization Using Silicon Nitride Capping Layer for 65-nm Technology Node,” in *Symp. VLSI Tech. Dig.*, 2004, pp. 54-55.
- 【36】 S. E. Thompson, M. Armstrong, C. Auth, S. Cea, R. Chau, G. Glass, T. Hoffman, “A logic nanotechnology featuring strained silicon,” in *IEEE Electron Device Lett.*, vol. 25, pp. 191–193, Mar. 2004.

- 【37】 “Semiconductor Physics & Devices”, 2nd ED, Donald A. Neamen, Chapter 10
- 【38】 Chung, Steve S., et al., “A Novel and Direct Determination of the Interface Traps in sub-100nm CMOS Devices with Direct Tunneling Regime (12~16Å) Gate Oxide,” VLSI Tech. Digest of Tech. Papers., pp. 74-75, 2002.
- 【39】 G. Groeseneken, H.E. Maes, N. Beltran, and R.F. De Keersmaecker, in *IEEE Trans. Electron Devices.*, vol. 31, pp. 42-53, 1984.

