



逢甲大學學生報告 ePaper

報告題名：

電漿處理或快速熱回火於 MOHOS 電容器儲存層之研究

作者：莊仲豪

系級：電子四乙

學號：D9572975

開課老師：李景松

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年：98 學年度 第一 學期



Abstract

In the TaN / SiO₂ / HfO₂ / SiO₂ / Si structure, the HfO₂ charge storage layer was treated by H₂ or NH₃ plasma treatment for three minutes. The power of the plasma treatment is 200 watt and the gas flow is 200 sccm. The results indicate the direction of C-V hysteresis curve is counterclockwise and the voltage is 4.5V and 4V respectively. The defects resulting from hydrogen atoms can induce the fixed positive charges and result in charging or discharging on the HfO₂ film. After N₂ plasma treatment, the hysteresis phenomenon of the C-V hysteresis curve disappeared. The reason is that the defects in the HfO₂ film could be passivated by nitrogen atoms. In the memory window, the electrons stored on the film could be discharged easily after H₂ plasma treatment owing to the shallow electron traps. But, the electrons do not discharge easily after NH₃ plasma treatment. The reason is the shallow electron traps could be passivated by nitrogen atoms. Experimental results indicate the memory window (2V ~ 3 V) could be obtained after H₂ or NH₃ plasma treatment after discharging for 1000 sec.

Keywords: HfO₂, Plasma treatment, Anneal, Hysteresis loop, Charge retention, Memory Window

目 錄

摘要.....	1
目錄.....	2
圖目錄.....	4
表目錄.....	6
第一章 緒論.....	7
1.1 前言.....	7
1.2 研究動機.....	8
1.3 非揮發性記憶體的演變.....	10
1.4 高介電材料的選擇與應用.....	11
1.5 電漿系統.....	12
1.5.1 電漿在半導體上的應用.....	12
1.5.2 電漿的基本原理.....	13
1.6 量測方法.....	14
1.6.1 電容對電壓(C-V)特性量測.....	14
1.6.2 電流對電壓(I-V)特性量測.....	14
1.6.3 歐傑電子能譜儀分析(AES).....	15

第二章 非揮發性記憶體的基本原理.....	20
2.1 穿隧機制.....	20
2.1.1 福樂-諾德漢穿隧(Fowler-Nordheim Tunneling).....	20
2.1.2 直接穿隧(Direct Tunneling).....	21
2.2 過度抹除(Over-Erase).....	21
2.3 電荷保持力(Charge Retention).....	22
2.4 耐久度(Endurance).....	23
第三章 藉製程改變對電荷儲存效應之研究.....	26
3.1 電漿製程對 MOSOS 電容儲存層之研究.....	26
3.1.1 實驗步驟.....	26
3.1.2 結果與討論.....	27
第四章 結論.....	45
4.1 電漿製程對 MOHOS 電容儲存層之研究.....	45
參考文獻.....	46

圖目錄

第一章

圖 1-1	記憶體元件的發展分類.....	16
圖 1-2	為目前快閃記憶體演進的趨勢.....	16
圖 1-3	早期的浮動閘非揮發性記憶體結構.....	17
圖 1-4	傳統的 SONOS 非揮發性記憶體結構.....	17
圖 1-5	AES構造示意圖.....	18
圖 1-6	分別為(a)Si ₃ N ₄ 與(b)HfO ₂ 的理想能帶圖.....	19
圖 1-7	在相同(a)寫入操作和(b)抹除操作下，Si ₃ N ₄ 與HfO ₂ 的 SONOS結構能帶示意圖.....	19

第二章

圖 2-1	通道熱電子穿隧機制示意圖.....	24
圖 2-2(a)	福樂-諾德漢穿隧示意圖.....	24
圖 2-2(b)	直接穿隧示意圖.....	24
圖 2-3	缺陷協助穿隧機制圖.....	25

第三章

- 圖 3-1-1 MOHOS 電容結構製程流程圖.....32
- 圖 3-1-2 為剛沉積的HfO₂，僅RTA通氮氣在400°C持溫30秒，未經電漿處理的C-V遲滯曲線圖.....36
- 圖 3-1-3 為HfO₂經過N₂電漿處理後，隨後RTA於阻障氧化層通氮氣在400°C持溫30秒的C-V遲滯曲線圖.....36
- 圖 3-1-4 為HfO₂經過H₂電漿處理後，隨後RTA於阻障氧化層通氮氣在400°C持溫30秒的C-V遲滯曲線圖.....37
- 圖 3-1-5 為HfO₂經過NH₃電漿處理後，隨後RTA於阻障氧化層通氮氣在400°C持溫30秒的C-V遲滯曲線圖.....37
- 圖 3-1-6 (a)為HfO₂經過N₂電漿處理後，立即做RTA通氮氣在400°C持溫30秒的製程示意圖，(b)為C-V遲滯曲線圖.....38
- 圖 3-1-7 (a)為HfO₂經過H₂電漿處理後，立即做RTA通氮氣在400°C持溫30秒的製程示意圖，(b)為C-V遲滯曲線圖.....39
- 圖 3-1-8 (a)為HfO₂經過NH₃電漿處理後，隨後RTA通氮氣在400°C持溫30秒的製程示意圖，(b)為C-V遲滯曲線圖.....39
- 圖 3-1-9 分別於(a) HfO₂/SiO₂/p-sub 和(b)SiO₂/HfO₂/SiO₂/p-sub 結構做歐傑電子能譜縱深濃度分析圖。(a)HfO₂表面上做N₂電漿處理後立即做 RTA 和(b)HfO₂表面上做 N₂電漿

處理先沉積阻擋氧化層隨後再 RTA 熱處理.....	40
圖 3-1-10 分別於(a) $\text{HfO}_2/\text{SiO}_2/\text{p-sub}$ 和(b) $\text{SiO}_2/\text{HfO}_2/\text{SiO}_2/\text{p-sub}$ 結構做歐傑電子能譜縱深濃度分析圖。(a) HfO_2 表面上做 NH_3 電漿處理後立即做 RTA 和(b) HfO_2 表面上做 NH_3 電漿處理先沉積阻擋氧化層隨後再 RTA 熱處理.....	41
圖 3-1-11 為剛沉積電容結構未電漿處理僅RTA之 HfO_2 ，經過 10^3 秒後的電荷保持力特性圖.....	42
圖 3-1-12 為 H_2 電漿處理隨後再RTA於阻障氧化層，經過 10^3 秒後的電荷保持力特性圖.....	42
圖 3-1-13 為 NH_3 電漿處理隨後再RTA於阻障氧化層，經過 10^3 秒後的電荷保持力特性圖.....	43

表目錄

表 3-1-1 HDPCVD電漿處理參數條件.....	32
-----------------------------	----

第一章 緒論

1.1 前言

基本上記憶體分為兩種。一種是揮發性記憶體 (Volatile memory)、另一種是非揮發性記憶體 (Non-volatile Memory)。揮發性記憶體指的是電源供應中斷後，記憶體內儲存的資料便會消失，有兩種主要類型：(1)動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM)，(2)靜態隨機存取記憶體 (Static Random Access Memory, SRAM)。而非揮發性記憶體是在電源停止供應時能保有其儲存資料，重新供電後，就能讀取內部資料，其可分為：(1)唯讀記憶體 (Read-Only Memory, ROM)，(2)可程式唯讀記憶體 (Programmable ROM, PROM)，(3)可擦拭可程式唯讀記憶體 (Erasable PROM, EPROM)，(4)可用電擦拭可程式唯讀記憶體 (Electrically EPROM, EEPROM)，以及(5)快閃記憶體 (Flash memory) 等，詳細的記憶體元件發展分類如圖 1-1 所示。

在近十年的電子產品演進中，舉凡日常生活到軍事前瞻科技都可以見識其身影，實際感受到科技進步真正帶給大眾的便利性。隨著數位可攜式電子產品的廣泛應用之下，輕、薄、短、小及可攜帶性成為業者及消費者追求的目標，如數位相機的記憶卡、隨身碟、MP3 隨身聽、PDA 等。如圖 1-2 所示，目前快閃記憶體因為體積小、耗電少、易攜

帶、存取速度和價格上的優勢，已在日常生活中變成不可或缺的 3C 電子產品。然而隨著元件尺寸微縮法則趨勢，同時也不斷要求記憶體能夠朝大容量、低操作電壓、低消耗功率改良。

1.2 研究動機

由於傳統過抹除的現象和寫入速度可透過使用氧化鈣取代氮化矽作為儲存層加以改善。圖 1-6 分別為 Si_3N_4 與 HfO_2 的理想能帶圖。由於氧化鈣的導電能帶對於矽的導電能帶僅差 1.5 電子伏特。因此，圖 1-7 顯示在同樣的閘極電壓操作下，電子較易穿隧到儲存層的導帶上。在本論文的研究中分成兩個主題進行討論。第一部分製程上製備了 $\text{TaN}/\text{SiO}_2/\text{HfO}_2/\text{SiO}_2/\text{Si}$ 的 MOHOS 電容結構，主要針對 HfO_2 當電荷儲存層做電漿處理的探討。過去文獻研究中，因為 HfO_2 在沉積的過程中就帶有很多本體缺陷(Intrinsic Defects)或是氧空缺(Oxygen Vacancies)會對電性有負面的影響且導致較大的漏電流[1]。之後有人使用(N_2 與 NH_3)電漿處理來降低漏電，由於 N 原子的擴散。一般而言，適當的使用電漿製程在 HfO_2 薄膜上進行改質，對於修補 HfO_2 的懸空鍵(Dangling Bonds)或是缺陷使得應用在 CMOS 的元件上的電性都有顯著的改善[2-3]。另外，常見用來沉積 High-k 的方法，如 ALD 和 MOCVD 等，皆使用有機金屬的前驅物(Organometallic Precursors)，然而這會殘留不同 H 的種類在薄膜裡面，所以也有研究推測 HfO_2 的

缺陷應與 N 原子或 H 原子的殘留脫離不了關係[5-7]。在本論文中，由於電荷儲存層的陷阱多寡與陷阱種類，均會顯著地影響遲滯迴路與電荷保持力(記憶視窗)的優劣。所以本論文在實驗設計上，將分別使用高密度電漿(High Density Plasma, HDP)系統，選擇電漿系統中的三種氣體，氫(H₂)、氮(N₂)和氨氣(NH₃)氣體電漿處理，分別從 C-V 與 I-V 電性量測中觀察，電漿處理之後，創造出來的有效陷阱(Trap)數量以及電荷保持力的退化速度。主要探討先覆蓋完阻障氧化層後再 RTA 熱處理後，二氧化鈣經由 H 原子與 N 原子的擴散後，三種不同氣體所產生對電荷儲存層的變化，並與電漿處理之後，隨即 RTA 熱處理的條件做比較，最後再以歐傑電子能譜儀(AES)做原子擴散深度的分析。期望大量的 N 和 H 原子能夠擴散到 HfO₂ 薄膜裡面，進而引發很多的缺陷。藉此方法應用在非揮發記憶體上。

1.3 非揮發性發記憶體的演變

1967 年，姜大元(D.kahng) 與施敏(S.M.Sze)教授於貝爾實驗室發明了非揮發性浮動式閘極記憶體[8]。浮動閘極記憶體主要是藉由堆疊在浮動閘極上方的三層 ONO 結構來當作阻障層，利用 ONO 擁有較高的崩潰電壓及較低的漏電流來防止儲存在浮動閘中的電荷流失[9]。經過簡化只留下 ONO 而衍生出一複晶矽/阻障氧化層/氮化矽/穿隧氧化層/矽(SONOS)結構，如圖 1-5 所示，不僅穿隧氧化層能夠做到遠小於 10nm 之下，可以暫時紓解浮動閘尺寸微縮的問題。與 FG 比較後，SONOS 結構的優點有：(1)製程簡單、(2)低寫入/抹除操作電壓、(3)可以克服源極引發導通現象(Drain-Induced Turn On)、(4)改善電荷保持力(Charge Retention)和(5)耐久度(Endurance)的特性[10,11]。傳統的 SONOS 記憶體中，有過抹除飽和(Over-Erase)以及儲存電荷垂直移動(Vertical Migration)等主要的缺點[12]。這將會導致寫入速度降低和電荷儲存能力的缺失。為了紓解 SONOS 型記憶體的穿隧氧化層厚度的限制問題，使記憶體元件能持續縮小，操作電壓能持續下降，將高介電常數的材料應用於非揮發性記憶體成為必然的趨勢。

1.4 高介電材料的選擇與應用

電晶體的特徵尺寸幾乎隨著莫爾定律的預測，快速的以每兩、三年一個世代的腳步持續縮小。在早期微米世代以二氧化矽(SiO_2)當作閘極介電層，因 SiO_2 有較大的能矽(Bandgap)，故有較小的漏電流，且在 SiO_2/Si 之間可以控制良好的介面品質，所以缺陷少，熱穩定性佳，可以忍受高溫而不會結晶化。在高介電常數材料應用上，首先是在 MOS 結構，當互補式金氧半元件進入奈米等級時 ($\leq 0.1\mu\text{m}$ Device)，如果依然使用傳統的閘氧化層，其厚度必須小於 1.3 nm 左右。根據文獻數據顯示，其閘氧化層的極限約在 1.5 nm 左右，主要原因是漏電流及可靠度等問題，使得閘氧化層無法再更薄[13-15]。一開始受重視的是有較好的熱溫穩定性的 HfO_2 及 ZrO_2 等材料[16-20]。為了促使電晶體的性能得以提升，在極低工作電壓的條件範圍 ($\leq 1\text{V}$) 增加驅動電流、提升電路的操作速度而能成功地避免短通道效應的出現，超薄的氧化層大概只由 3、4 層原子所組成，首先面對的是生產上厚度的均勻性的控制，再者就是元件的電性還有以下幾的問題：(1) 薄氧化層已經不是一個良好絕緣體，漏電的機制由 F-N 穿隧轉變為直接穿隧，使得漏電流的大小隨厚度減少呈現指數增加。(2) 太大的漏電流使得電子無法在通道中累積，降低元件電流的趨動力。(3) 氧化層厚度的減少使得垂直於通道的電場快速增加，因此表面散射的效應增

強，導致通道中的載子遷移率下降。尋找取代二氧化矽的新材料變成是目前最重要的課題之一，目的是希望能以較厚的物理厚度但極薄的等效氧化層厚度(Equivalent Oxide Thickness, EOT)之材料來取代 SiO_2 以降低垂直電場，減少漏電流，因此運用高電介電常數(High Dielectric Constant, High-k)材料是不錯的選擇。而要選用適合的高介電材料必須具備幾項考量[21-23]。

1.5 電漿系統

1.5.1 電漿在半導體上的應用

電漿(Plasma)製程被廣泛地使用在半導體製程上。舉例來說，在 IC 製造上所有圖案化蝕刻均為電漿蝕刻或是乾式蝕刻製程，電漿增強式化學氣相沉積(PECVD)和高密度電漿化學氣相沉積(HDP-CVD)則廣泛地用於介電質的沉積上。離子佈植機使用一個電漿源來製造晶圓摻雜所需的離子，並且提供電子以中和晶圓表面上的正電荷離子。物理氣相沉積(PVD)製程中也會使用電漿，在製程中利用離子轟擊金屬靶的表面，使之濺鍍沉積在晶圓表面上。遠端電漿(Remote Plasma)系統被廣泛地使用在清潔製程機台的反應室、薄膜剝除，以及薄膜沉積的製程中。

1.5.2 電漿的基本原理

電漿是由中性原子或分子、負電(電子)和正電(離子)所構成，且是一種區域性的電解氣體粒子(Local Ionized Gas)，可以用直流或交流電源產生。當兩極中有射頻高電壓通過時，它們之間就會產生一個交流電場。如果射頻能量夠高的話，自由電子就會受到交流電場的影響而被加速，直到它得到足夠的能量來和反應室中的原子或分子碰撞以產生一個離子和另一個自由電子。由於離子化碰撞是一連串的反應，因此整個反應室就迅速地充滿了等量的電子和離子，也就充滿了電漿。而高密度電漿的產生主要需滿足兩大條件：(1)增加電子的動能，(2)增加電子與氣體分子的碰撞(Collision)機會。若電子動能很小，則電子與氣體分子的碰撞皆是無效碰撞，因其能量無法讓氣體分子解離形成自由基(Radical)。反之，若電子動能很大但其軌跡為直線，則電子極易直接與反應室壁或電極撞擊而損耗；但其軌跡是螺線型，多次撞擊氣體分子可增加氣體分子的解離率與自由基數目。

1.6 量測方法

1.6.1 電容對電壓(C-V)特性量測

C-V 特性曲線量測是使用 HP4284A precision LCR meter。量測頻率皆固定在 1MHz，閘極加正負電壓來回掃描的 C-V 量測(在本文中均以 $\pm 8\text{V}$ 來回掃描為 C-V 電性的參考指標)，當兩條電容-電壓曲線形成封閉迴路，稱為遲滯迴路(Hysteresis Loop)。利用來回掃描所得到的平帶電壓偏移量(V_{fb} Shift)觀察 trapped charge 的數量。而電荷保持力(Charge Retention)方面則使用 HP4284A 再搭配 HP4156C stress 量測，量測方法為，一開始先 stress 所需的電壓及秒數，靜待一定的時間，再從量測中粹取其電容值的變化，最後經由計算轉換成平帶電壓的偏移量，觀察電荷流失(Charge Loss)的趨勢，為判別記憶視窗(Memory Window)寬度的參考指標。

1.6.2 電流對電壓(I-V)特性量測

I-V 特性曲線的量測是使用 HP4156C 半導體參數量測系統。以 50mV 漸昇的電壓和最大限制電流為 100mA，藉以量測出在非揮發記憶體中各層薄膜品質的電流對電壓的特性曲線圖，再分別量測出 I-V 漏電流密度與 C-V 遲滯迴路的分布做對照。探討不同製程處理下漏電流對元件特性的影響。

1.6.3 歐傑電子能譜儀分析(AES)

歐傑電子能譜儀原理係利用一電子束激發試片表面，以造成表面原子發射歐傑電子，在量測歐傑電子的動能後，就可以研判表面元素成分或其化學態[24]。由於低能電子(0~1000eV)在固態材料的平均自由路徑很短(5~20Å)，故歐傑電子能譜儀檢測的深度大致上在 50Å 以內，可用於表面成分的分析。如果一邊以電子束激發歐傑電子，一邊利用離子束濺射試片表面，以便產生新的試片表面，每一新的表面所測得的歐傑電子能譜便可反映出試片內部不同深度之元素組成，當以試片縱深為橫軸，對各元素原子濃度做關係圖便可得到試片自表面到內部的成分縱深分佈(Depth Profile)，因此適合薄膜濃度縱深分析。組成機構如圖 1-12 所示。

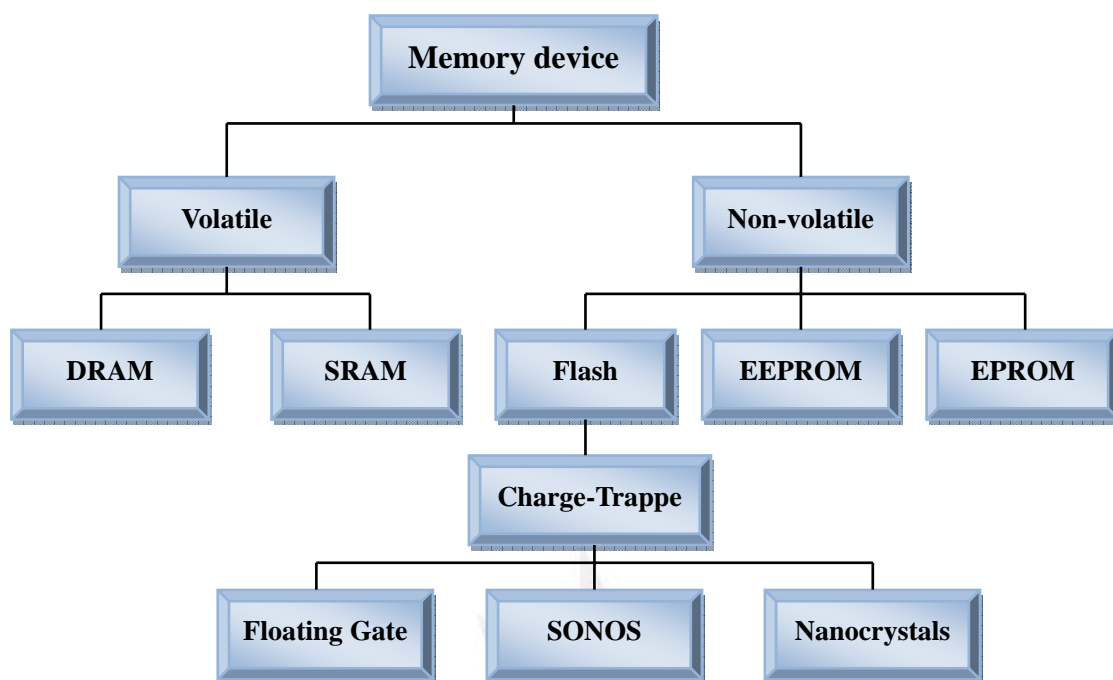


圖 1-1 記憶體元件的發展分類。



圖 1-2 為目前快閃記憶體演進的趨勢。

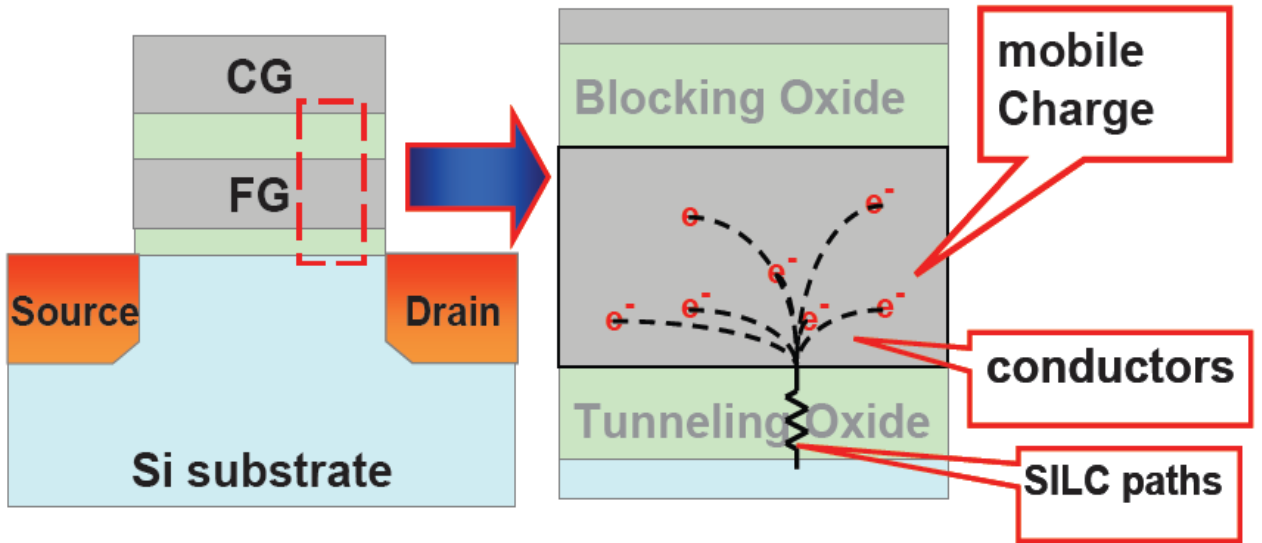


圖 1-3 早期的浮動閘非揮發性記憶體結構

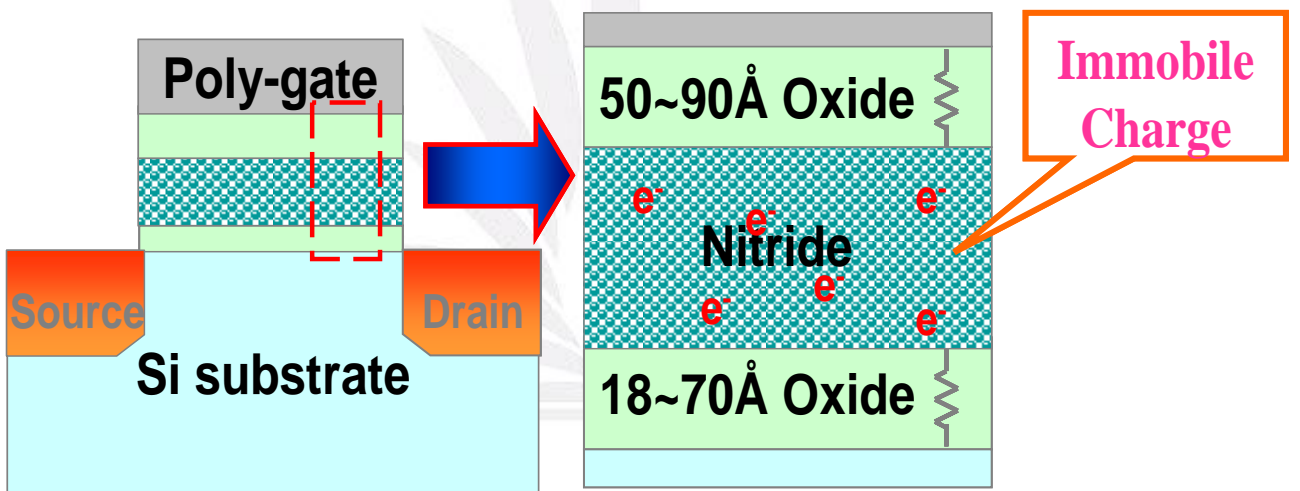


圖 1-4 傳統的SONOS非揮發性記憶體結構[8]。

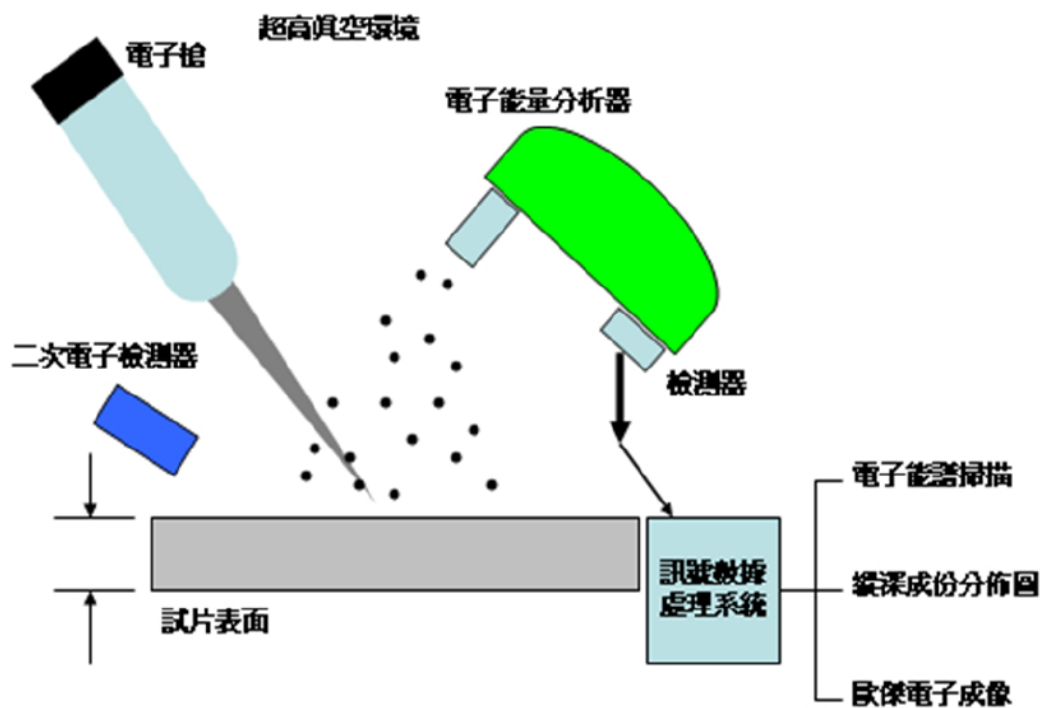


圖 1-5 AES構造示意圖。

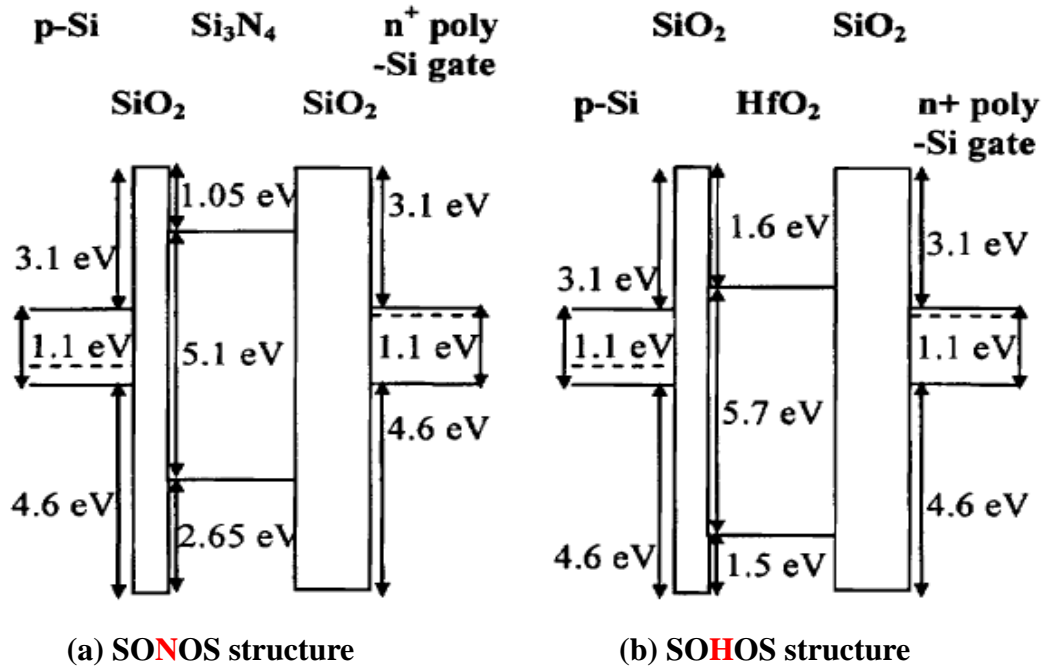


圖 1-6 分別為(a)Si₃N₄與(b)HfO₂的理想能帶圖[25]。

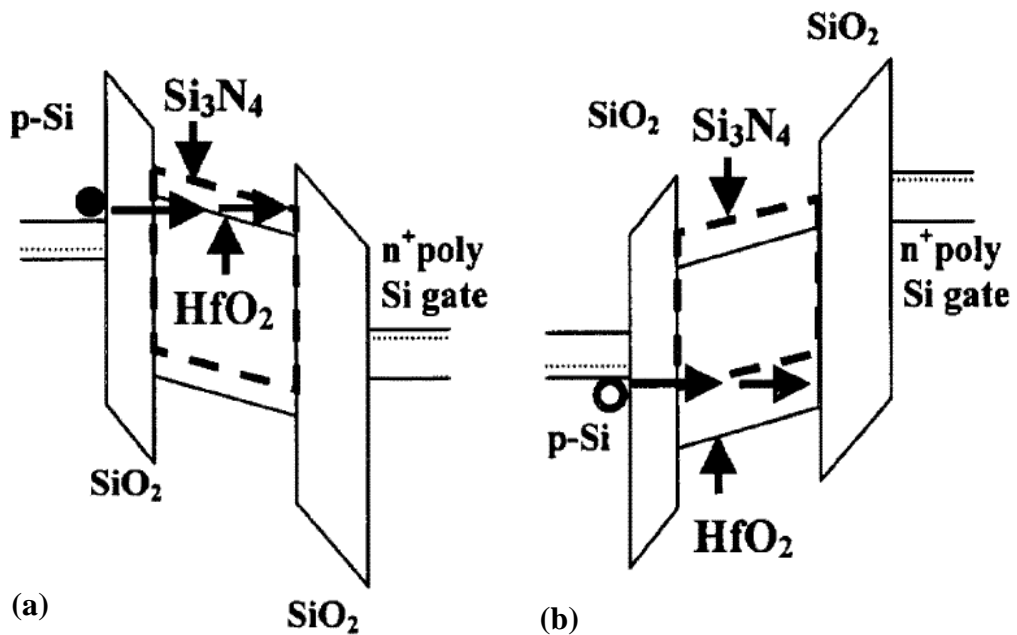


圖 1-7 在相同(a)寫入操作和(b)抹除操作下，
Si₃N₄與HfO₂的SONOS結構能帶示意圖[25]。

第二章 非揮發性記憶體的基本原理

2.1 穿隧機制

當非揮發記憶體要進行寫入/抹除的動作時，由於電荷必須反覆來回穿隧過穿隧氧化層與電荷捕捉層之間來完成操作，與通道熱載子注入(Channel Hot Electron Injection, CHEI)圖 2-1 不同，穿隧是一個量子力學的現象，在穿隧情形發生的過程中，沒有任何能量的損失(與矽晶格保持熱平衡的載子穿過很薄的氧化層)。常見記憶體的穿隧機制，大致可分為兩種：(1)福樂-諾德漢穿隧(Fowler-Nordheim Tunneling, F-N Tunneling)和(2)直接穿隧(Direct Tunneling, DT Tunneling)來進行寫入操作。以下將對不同穿隧機制逐一說明[26,27]。

2.1.1 福樂-諾德漢穿隧 (Fowler-Nordheim Tunneling)

福樂-諾德漢穿隧是一種電場協助穿隧的機制，如圖 2-2(a) 所示。當所外加在氧化層兩端的電場到達一定的值或是降在氧化層上面的電壓大於另一側電子所看到的能障電位，使其氧化層尖端部份達到變成一個非常薄的狀態，似於三角形位能障，提供了電子移動路徑，從基底穿隧到薄氧化層直接穿隧過去，最後電子被收集在電荷捕捉層。

2.1.2 直接穿隧 (Direct Tunneling)

直接穿隧的機制，如圖 2-2(b) 所示。與福樂-諾德漢穿隧最大不同之處，就是降在閘極氧化層上面的電壓不用很高即可造成電子穿隧。原因是當希望對元件的性能再度提升時，設計上自然會降其等效氧化層厚度，等效電場就可以降低，只是當氧化層厚度薄到一定的物理極限時，其電流跟閘極氧化層的厚度平方成正比，漏電流會變大。在記憶體的研究中，雖然直接穿隧能夠讓在低電壓下也能夠有更高的操作速度，卻又出現電荷保持力及可靠度的問題，尚還有改善的空間。

2.2 過度抹除 (Over-Erase)

過度抹除就是指記憶體元件在抹除時臨界電壓過低沒有飽和的現象。若有過度抹除發生，該位元的臨界電壓很低而有大大電流通過，造成共用位元線的元件在讀取時，會因為有如此一大電流存在，導致感應放大器無法正確分辨同一位元線上每一位元的狀態，造成資料讀取錯誤。在非揮發性記憶體中的浮動閘極結構已經面臨了此種問題，使得記憶體的操作區間 (Memory Window) 變小，同時漏電流及電荷保持力等特性也會變差；如果沒有此種問題，在時間持續的增加時， V_{th} 會呈現飽和值，使得情況不會惡化。

2.3 電荷保持力 (Charge Retention)

非揮發性記憶體的一項最基本的要求，就是在沒有任何更新、補充(Refresh)的條件下，寫入的資訊不能損失，必須提供長時間資料保存。記憶體儲存資料保持力的定義是指從資料儲存進去到無法正確被判讀出來的時間長短，一般文獻上顯示的測試方法為外加一個偏壓寫入，量測至 10^3 或 10^4 秒之後，再利用外插法預測超過十年線是否仍有 ($> 0.5v$)，可判讀資料的記憶視窗。想要有很快的寫入/抹除操作速度，就需要有高的電壓來驅動，但是對於氧化層的退化的速度也越快。一般文獻中認為幾個電荷保持力退化的主要因素為:(1)在電荷捕捉層中比較淺的陷阱(Traps)，因束縛住電子的能力稍弱，所以電子很容易就流失掉。(2)穿隧氧化層太薄，經過大量次數的寫入/抹除之後，使得氧化層內部或氧化層介面開始形成很多缺陷導致陷阱輔助穿隧(Trap-Assisted Tunneling)效應，伴隨漏電流增加，使得電荷保持特性衰減，如圖 2-3 所示。

2.4 耐久度 (Endurance)

耐久度是指經過一定的寫入/抹除次數後元件的退化程度，也就是指寫入後的高臨界電壓與擦拭後的低臨界電壓的差值對讀寫循環次數的關係。其退化程度相依於寫入/抹除的方式和介電層的品質。一般測試耐久度的方法是：利用寫入之後的高臨界電壓與擦拭之後的低臨界電壓對循環次數的關係。常見的耐久度特性，在經過多次重覆的寫入、擦拭循環之後，寫入與擦拭的效率均會呈現衰減的現象，意指寫入後的臨界電壓將逐漸下降，而擦拭後的臨界電壓將逐漸上升，亦即臨界電壓可接受的範圍縮小；若狀況持續惡化，寫入與擦拭後的狀態將無法被辨識，元件即無法正常工作。由於寫入/抹除的循環過程中，操作時的電子穿會破壞到氧化層而形成介面陷阱，因此電荷流失也將更嚴重。此外，介電層的陷阱也有可能捕捉住大量的電子，這些電子一旦釋放，將使臨界電壓大幅下降。以上現象與寫入/抹除的操作條件、介電層的品質和對於外加偏壓造成破壞的忍受力息息相關。

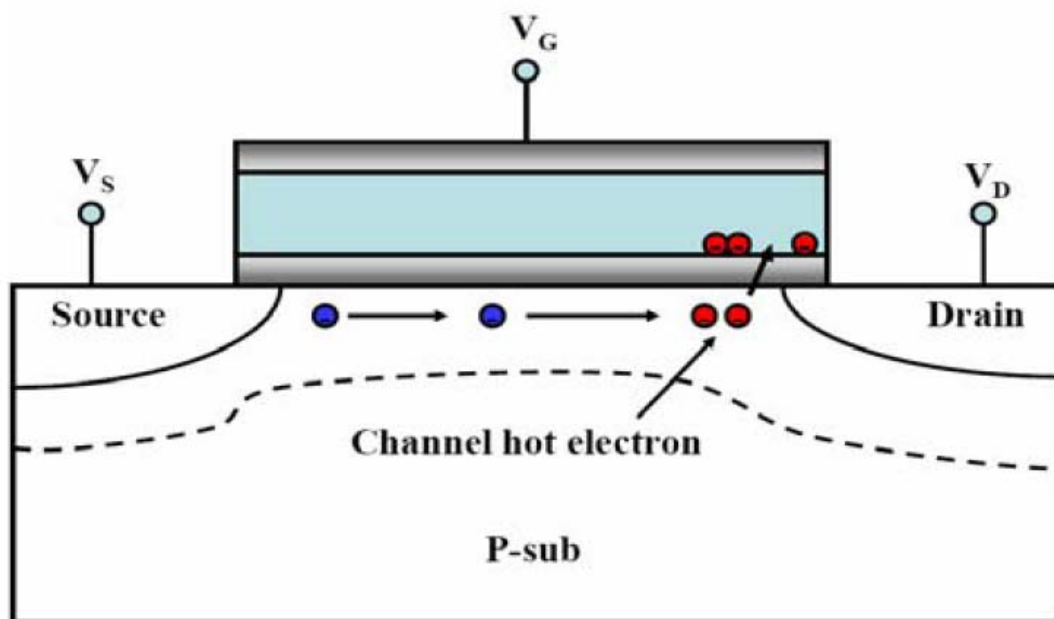


圖 2-1 通道熱電子穿隧機制示意圖。

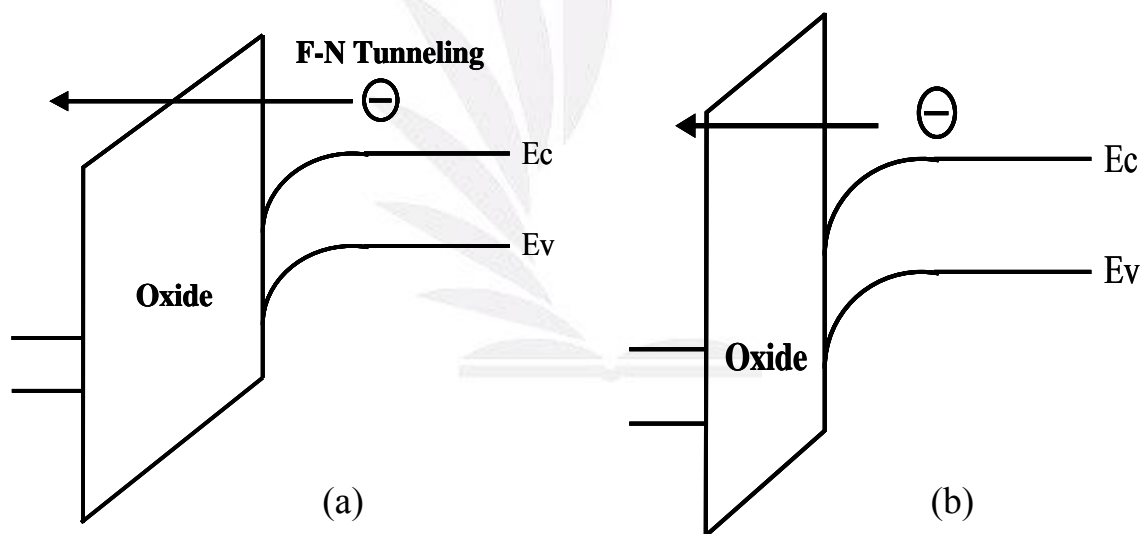


圖 2-2 (a) 福樂-諾德漢穿隧 (b) 直接穿隧。

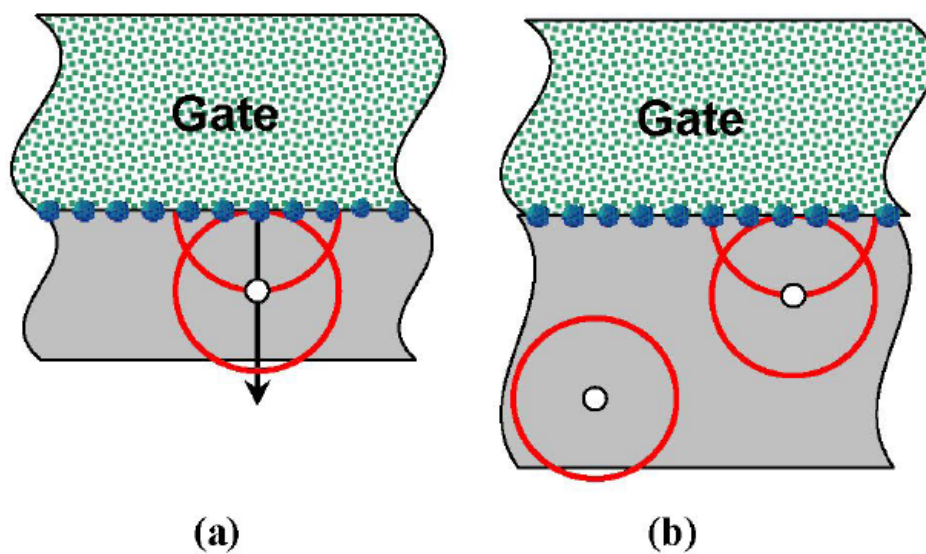


圖 2-3 缺陷協助穿隧機制圖。(a)薄的氧化層容易因缺陷引發漏電流，(b)厚的氧化層則不易因缺陷造成漏電流[28]。



第三章 藉製程改變對電荷儲存效應之研究

3.1 電漿製程對 MOHOS 電容儲存層之研究

3.1.1 實驗步驟

實驗內容主要使用高介電材料二氧化鈦(HfO_2)作為電荷儲存層 (Charge Storage Layer)之 MOHOS 電容結構。所使用的矽晶片為 P 型 6 吋(100)方向，電阻率為 15~25 Ω -cm，經過 RCA 清洗後，利用垂直爐管乾氧化成長二氧化矽 3nm 穿隧氧化層(Tunnel Oxide Layer)，金屬有機化學氣相沉積系統(Metal Organic Chemical Vapor Deposition，MOCVD)沉積二氧化鈦(HfO_2)10nm 當電荷捕捉層，沉積完立即使用 HDPCVD 電漿系統做氫氣(H_2)、氮氣(N_2)和氨氣(NH_3)電漿處理，電漿處理參數見表 3-1-1 所示。隨後 PECVD 沉積二氧化矽 10nm 當作阻障氧化層(Blocking Oxide Layer)，接著使用 RTA 系統做熱處理，通氮氣 RTA 400 $^{\circ}\text{C}$ 的環境下持溫 30 秒。最後利用 DC Sputter 系統在製程壓力 6×10^{-3} torr 時，分別濺鍍 50nm 的 TaN 並以 lift-off 的技術定義出上電極和沉積 200nm 的鋁下電極，如此就完成 MOHOS 的電容結構，詳細製程流程如圖 3-1-1 所示。

3.1.2 結果與討論

電性的量測方法皆統一從-8伏掃回+8伏(累積區→反轉區)，再從+8伏掃至-8伏(反轉區→累積區)作為遲滯迴路寬度偏移量的判斷基準。圖 3-1-2為剛沉積的 HfO_2 未經過電漿處理，僅經過RTA熱處理於阻障氧化層之C-V遲滯曲線圖。顯示約有0.4伏的逆時針遲滯迴路。由於 HfO_2 本身薄膜的特性在沉積時就會形成比較多的本體缺陷、氧空缺和局部結晶的現象，所以在正偏壓下有電子被陷阱捕捉及負偏壓下有電子被釋放所造成的遲滯現象[29-31]。無論如何，其遲滯迴路寬度都不會太大。圖3-1-3為經過 N_2 電漿處理隨後再RTA熱處理於阻障氧化層之C-V遲滯曲線圖。與圖3-1-2所示未經過電漿處理對照之下，結果指出遲滯的行為幾乎消失，且平帶電壓有些微的向右邊偏移。N原子可以修補 HfO_2 之缺陷使遲滯迴路縮小，但也因為N原子的擴散可能產生更多能捕捉電子的陷阱[32,33]。圖3-1-4為經過 H_2 電漿處理隨後再RTA熱處理於阻障氧化層的C-V遲滯曲線圖。與圖3-1-2比較下，平帶電壓往左偏移且約有4.5伏明顯的逆時針遲滯迴路被觀察出。除了沉積時產生的本體氧空缺的缺陷會有捕捉/釋放電子造成遲滯的現象。Peacock et al. [34]提到另一個可能原因就是目前沉積high-k的技術，多使用含有H有機金屬的前趨物，容易在沉積完之後有H相關種類的殘留物，還有理論的計算結果，都傾向H的擴散可以創造大量的陷阱來

捕捉fixed positive charge的行為，實驗上針對H直接對high-k擴散之影響文獻上也略少。而在本論文中實驗顯示，若通入大量的H進行電漿處理確實發生且會增強文獻上相似的遲滯行為，並且獲得4.5伏的逆時針遲滯迴路。圖 3-1-5為經過NH₃電漿處理隨後再RTA熱處理於阻障氧化層的C-V遲滯曲線圖。顯示略往右偏移且約有4伏的逆時針遲滯迴路被觀察出。由於NH₃會從電漿解離出H原子與N原子會且同時對薄膜進行擴散的機制行為。其實H原子或N原子本身擴散在不同材料上，都有創造陷阱與修補陷阱的功能，而影響介電層內部電荷的變化量[35-37]。但是在本論丈量測數據的呈現，與圖3-1-3，圖3-1-4對照之後便可知，主要還是以H原子的擴散可以引發大量的陷阱導致很大的逆時針遲滯迴路的偏移量，另一方面又有N原子的擴散，使捕捉電子的陷阱增加，所以逆時針遲滯迴路偏移量分別為(H₂ (4.5伏) > NH₃ (4伏) > N₂ (0.1伏))介於兩者之間。

為了進一步佐證是由H原子與N原子的擴散才會創造缺陷捕捉電子，進而導致不同的逆時針遲滯迴路寬度的偏移量。接下來除了實驗步驟上做了些微改變外，同時使用歐傑電子能譜儀做縱深原子濃度分析驗證。意即在製程上，HfO₂經過同樣電漿處理條件後，如表3-1-1所示，立即就進行RTA 400°C熱處理並與先沉積阻障氧化層隨後再RTA熱處理做比較。圖3-1-6顯示為經過N₂電漿處理立即做RTA熱處理

的C-V遲滯曲線圖。與圖3-1-2、圖3-1-3對照就可以清楚被觀察出，遲滯迴路不僅消失而且平帶電壓回到約(-1伏)的位置。這是因為N原子除了修補了缺陷外，同時受到熱處理的影響導致N原子也會釋出(Out-Diffusion)，讓平帶電壓不會帶有缺陷捕捉/釋放電子只受到Ta₂N₅閘極功函數差的影響。圖3-1-7顯示為經過H₂電漿處理立即做RTA熱處理的C-V遲滯曲線圖。發現逆時針的遲滯迴路完全消失了。與圖3-1-4所示先沉積阻障氧化層再進行RTA熱處理所顯示出4.5伏逆時針遲滯迴路的結果完全截然不同。圖3-1-8顯示為經過NH₃電漿處理立即做RTA熱處理的C-V遲滯曲線圖。發現還有1.9伏的逆時針遲滯迴路可以被觀察出。推測受到N原子的擴散可以增強與H原子之間的鍵結，讓H原子不容易跑掉還有陷阱存在所反應的遲滯行為。由此也反應出，相對於H₂電漿，NH₃電漿引發的遲滯效應就明顯穩定許多，隨後可在電荷保持力之電性中進一步做解釋。分別於圖 3-1-9(a)HfO₂/SiO₂/p-sub和圖 3-1-9(b)SiO₂/HfO₂/SiO₂/p-sub結構做歐傑電子能譜縱深濃度分析圖。從圖3-1-9(a)顯示HfO₂表面上做N₂電漿處理後立即做RTA得知歐傑電子分析偵測不到N原子擴散的訊號，而圖3-1-9(b)顯示HfO₂表面上做N₂電漿處理先沉積阻障氧化層隨後再RTA熱處理卻有偵測到N原子累積(Pile Up)在HfO₂/SiO₂(穿隧氧化層)介面附近的訊號，而不是在HfO₂的表面，由於HfO₂薄膜的高缺陷密度讓N原子很容易擴散進而累

積在穿遂氧化層之間[38]，這證明N原子的擴散會發揮對修補缺陷的行為。圖3-1-10所示，分別於圖3-1-10(a)HfO₂/SiO₂/p-sub和圖3-1-10(b)SiO₂/HfO₂/SiO₂/p-sub結構做歐傑電子能譜縱深濃度分析圖。從圖3-1-10 (a) HfO₂表面上做NH₃電漿處理後立即做RTA得知歐傑電子分析偵測不到N原子擴散的訊號，由於經過RTA熱處理過後，導致NH₃氣體釋出，而圖3-1-10(b)HfO₂表面上做NH₃電漿處理先沉積阻障氧化層隨後再RTA熱處理卻有偵測到N原子累積在HfO₂/SiO₂介面附近的訊號，顯示阻障氧化層可以有效抑制NH₃氣體釋出。另外值得注意的是，NH₃含有N原子與H原子，N原子可以累積在HfO₂/SiO₂介面附近，可見得H原子也會有相似的行為發生，累積在HfO₂/SiO₂介面處。再由圖3-1-5與圖3-1-8在電性上互相比較後，明顯可知遲滯迴路的偏移量多寡與N原子或H原子的擴散程度有很直接的對應關係。

在電荷保持力的量測上，在此統一寫入電壓+8 伏 10 秒和抹除電壓-8 伏 10 秒下進行量測。圖 3-1-11 為剛沉積未做電漿處理僅 RTA 於阻障氧化層通氮氣在 400°C 持溫 30 秒之 HfO₂，經過 10³ 秒後的電荷保持力特性圖。顯示初始有 0.8v 的記憶視窗，經過 10³ 秒過後只有微量電荷的流失，記憶視窗還保持 0.73 伏，由於大部分內建電荷為 HfO₂ 沉積時就已決定的固定本體缺陷(Bulk Defects)數量所產生，容易讓元件的臨界電壓偏移不穩定，一般將此歸類為較不佳的缺陷。圖 3-1-12

為 H₂ 電漿處理再於阻障氧化層通氮氣 400°C 熱處理持溫 30 秒後，經過 10³ 秒的電荷保持力特性圖。初始有 6.52 伏的記憶視窗，卻在 10³ 秒後衰退剩下 2.93 伏。我們可以從圖中觀察出，在寫入操作時，電子比電洞還容易流失，造成電荷保持力嚴重的退化，而且電子是分為兩個階段流失。由於 H₂ 電漿所引發的缺陷種類，涵蓋了淺的陷阱 (Shallow Trap) 與深的陷阱 (Deeper Trap)，其分別表現出不同電荷保持力的行為。意即比較淺的陷阱，束縛電子的能力稍弱，所以在一開始的時間電子就會迅速的流失；相對於比較深的陷阱，束縛電子的能力較佳，不易讓電子很快的流失掉，故電子一開始呈現快速衰退然後轉變緩慢的流失趨勢[39]。圖 3-1-13 為 NH₃ 電漿處理再於阻障氧化層通氮氣 400°C 熱處理持溫 30 秒後，經過 10³ 秒後的電荷保持力特性圖。初始有 3.57 伏的記憶視窗，在 10³ 秒後還有 2.08 伏的記憶視窗。圖中可以觀察出電子僅呈現出緩慢的流失速度，與 H₂ 保持力的特性表現大不相同，相對上 NH₃ 電漿穩定許多。機制上與圖 3-1-12 H₂ 電漿的差異，在於 NH₃ 電漿多了 N 原子的擴散，由於多數淺的缺陷已經被擴散的 N 原子修補掉，只遺留大部分相對較深的陷阱，故呈現較穩定的電荷保持力特性。

	Power	Flow rate	Substrate temperature	Time
As-deposition	X	X	X	X
H ₂ plasma	200 W	200 sccm	300°C	3 min
N ₂ plasma	200 W	200 sccm	300°C	3 min
NH ₃ plasma	200 W	200 sccm	300°C	3 min

表 3-1-1 HDPCVD電漿處理參數條件。

1. 先在矽基板上利用垂直爐管，乾式氧化成長二氧化矽(SiO₂)厚度為30Å，作為穿隧氧化層(Tunnel Oxide Layer)。
2. 利用MOCVD，沉積二氧化鈦(HfO₂)厚度為100Å當電荷儲存層(Charge Storage Layer)。
3. 沉積完緊接著在電荷儲存層上使用HDPCVD電漿系統，做氫氣(H₂)、氮氣(N₂)和氨氣(NH₃)電漿處理。

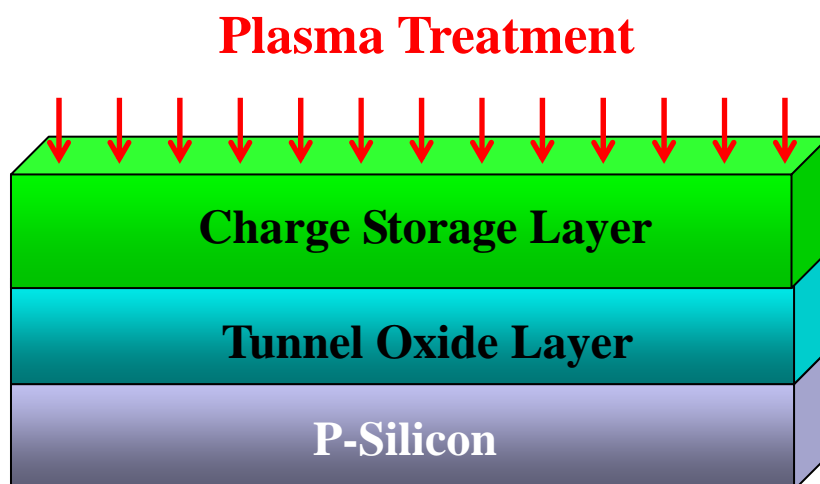


圖 3-1-1 MOHOS電容結構製程流程圖。

4. 接著使用PECVD沉積SiO₂ (TEOS Oxide)厚度為100Å作為阻障氧化層(Blocking Oxide Layer)。

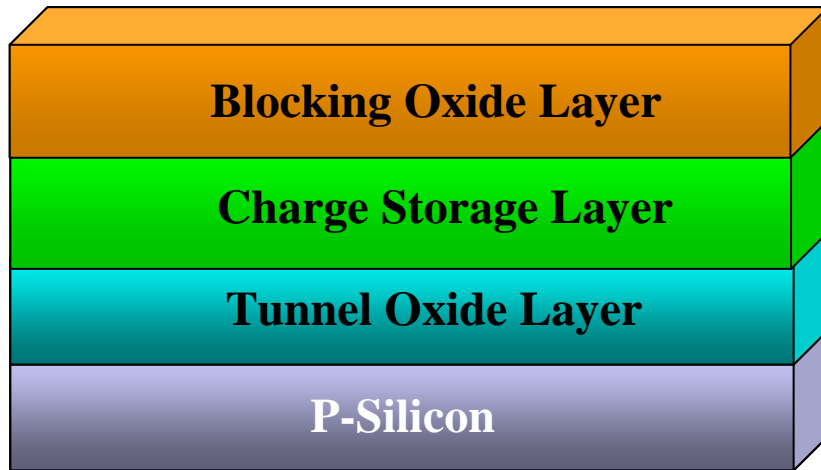


圖 3-1-1 MOHOS電容結構製程流程圖。

5. 使用RTA系統做熱處理，通氮氣在400°C的環境下持溫30秒。

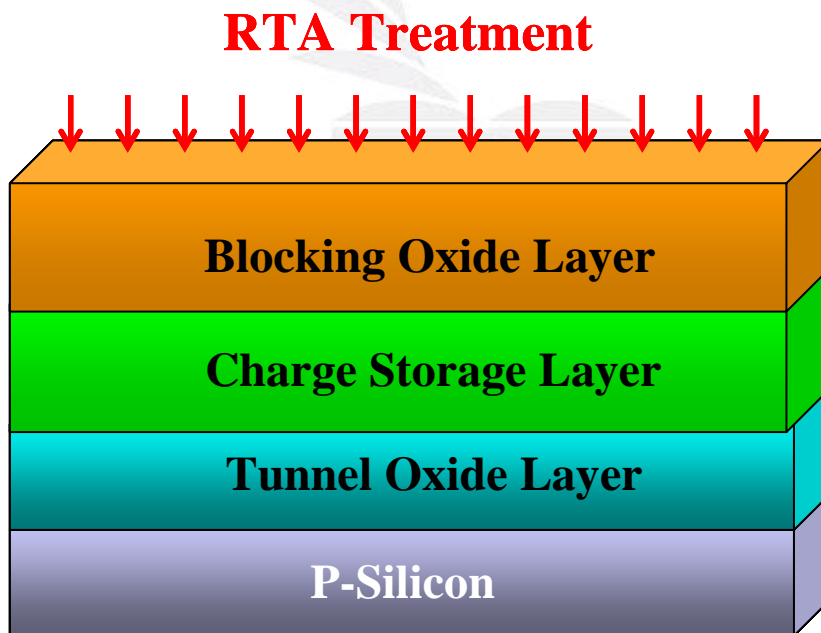
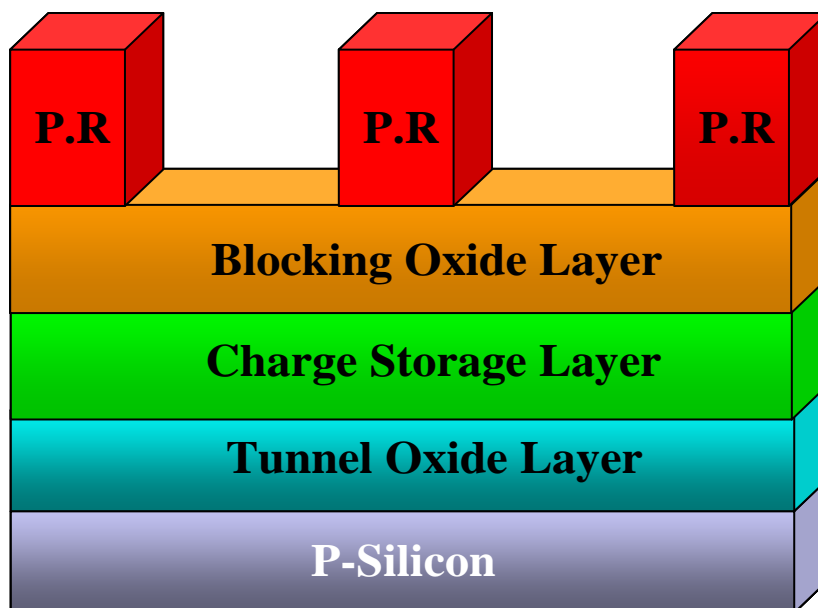


圖 3-1-1 MOHOS電容結構製程流程圖。

6. 接著利用一道黃光製程，留下下圖所示的光阻。



7. 直接在還有光阻的情形下，利用DC Sputter 系統沉積上電極TaN
厚度為500Å。

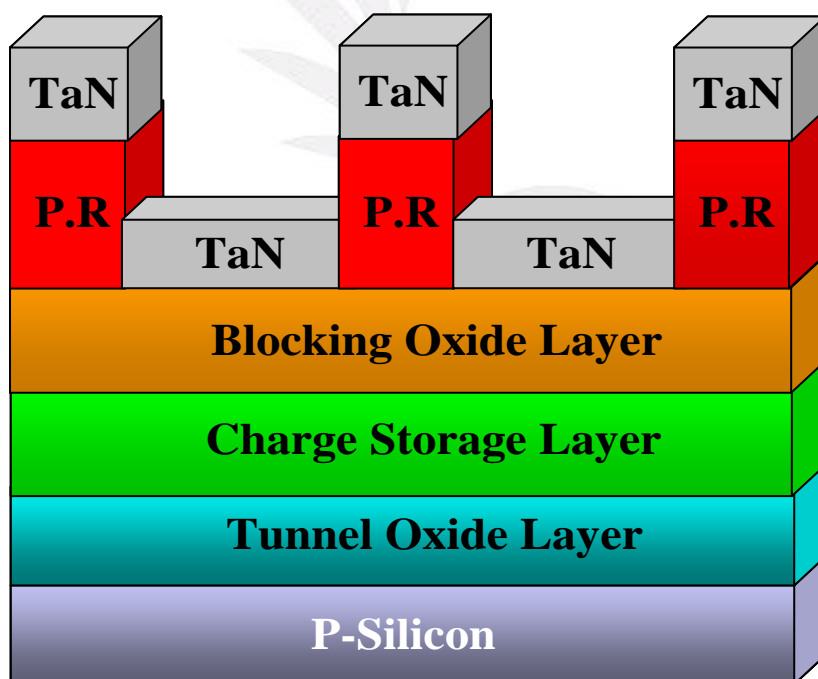


圖 3-1-1 MOHOS電容結構製程流程圖。

8. 使用丙酮(ACE)和利用(Lift-Off)的技術，將光阻去除掉，即完成定義TaN上電極。

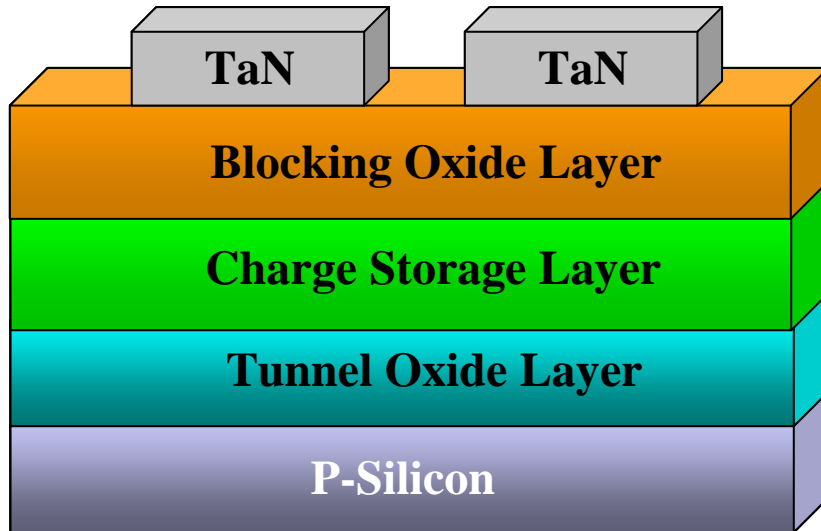


圖 3-1-1 MOHOS電容結構製程流程圖。

9. 最後再利用利用DC Sputter 系統，沉積2000Å的Al當作背電極，就完成整個MOHOS的電容結構。

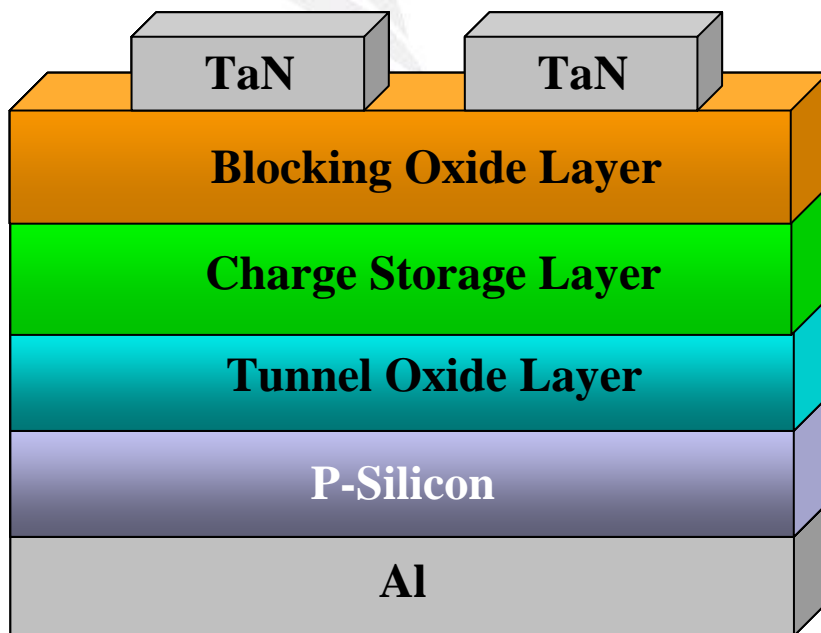


圖 3-1-1 MOHOS電容結構製程流程圖。

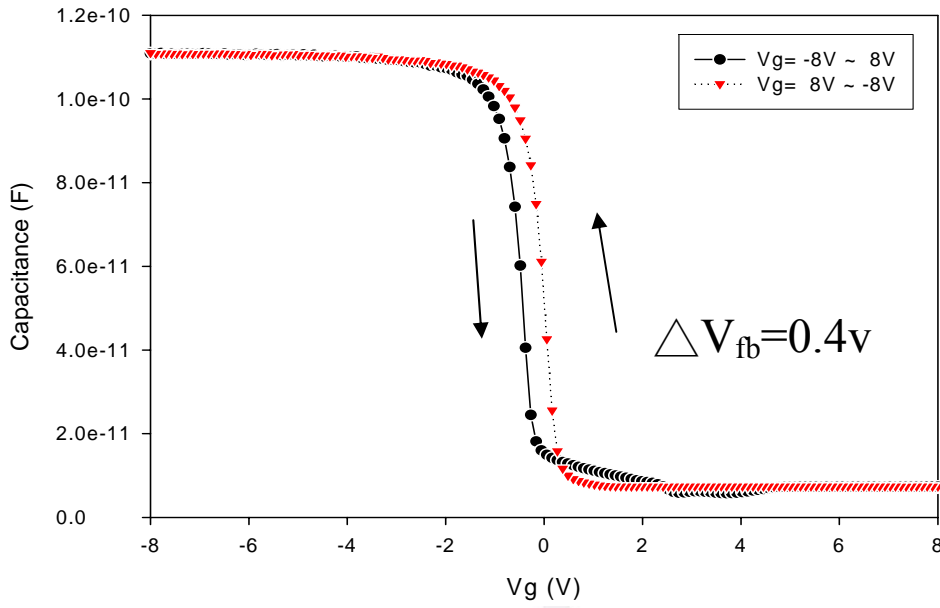


圖 3-1-2 為剛沉積的HfO₂，僅RTA通氮氣在400°C持溫30秒，未經過電漿處理的C-V遲滯曲線圖。

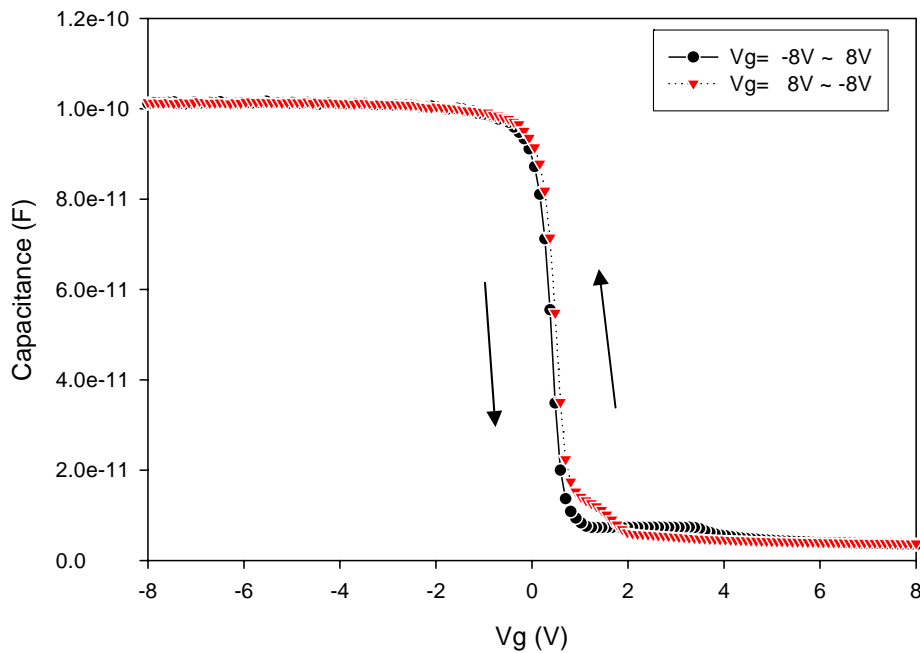


圖 3-1-3 為HfO₂經過N₂電漿處理後，隨後RTA於阻障氧化層通氮氣在400°C持溫30秒的C-V遲滯曲線圖。

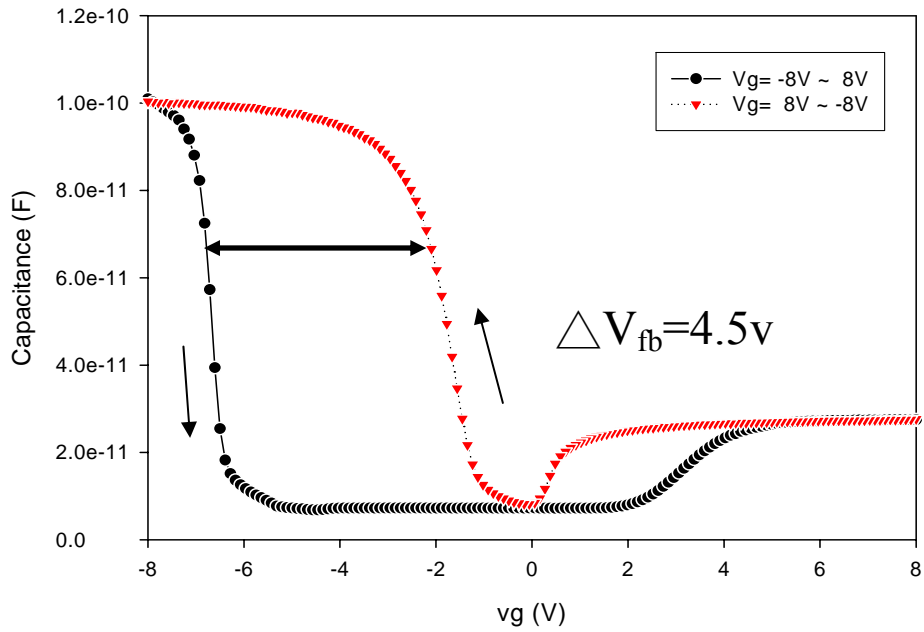


圖 3-1-4 為HfO₂經過H₂電漿處理後，隨後RTA於阻障氧化層通氮氣在400°C持溫30秒的C-V遲滯曲線圖。

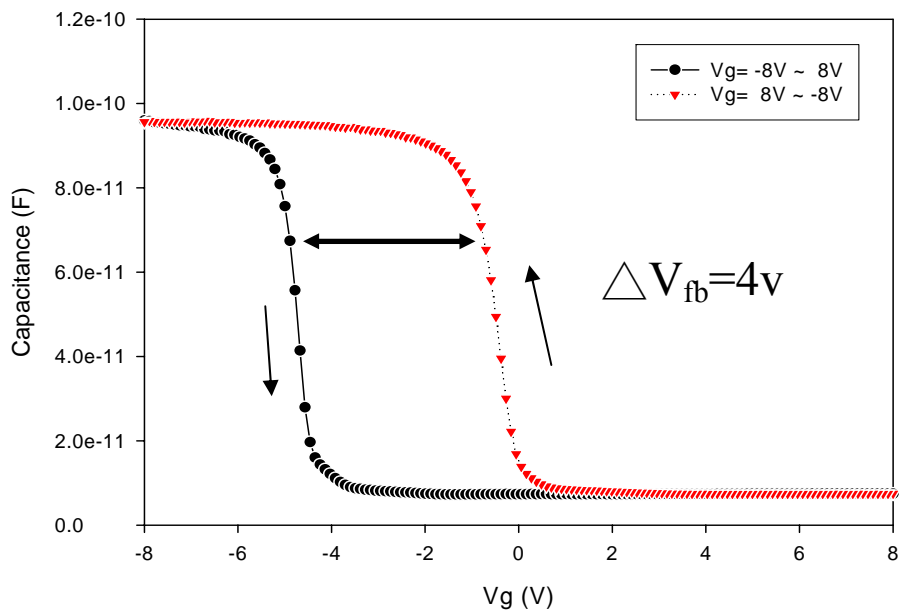


圖 3-1-5 為HfO₂經過NH₃電漿處理後，隨後RTA於阻障氧化層通氮氣在400°C持溫30秒的C-V遲滯曲線圖。

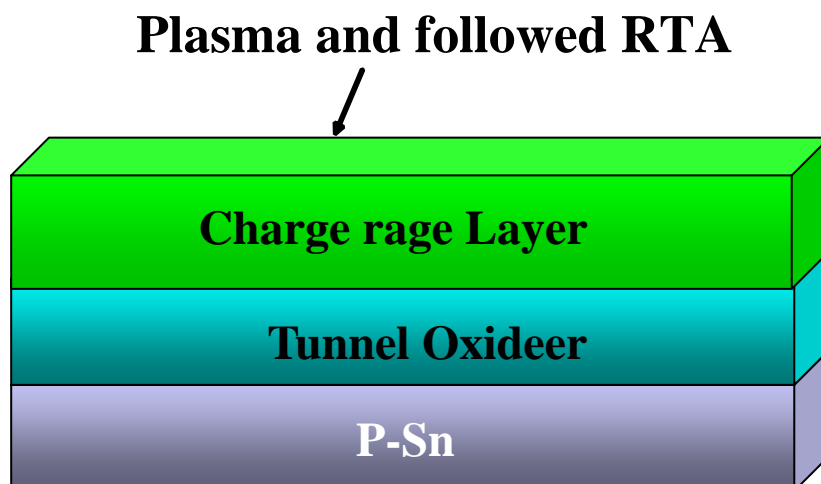


圖 3-1-1 MOHOS電容結構製程流程圖。

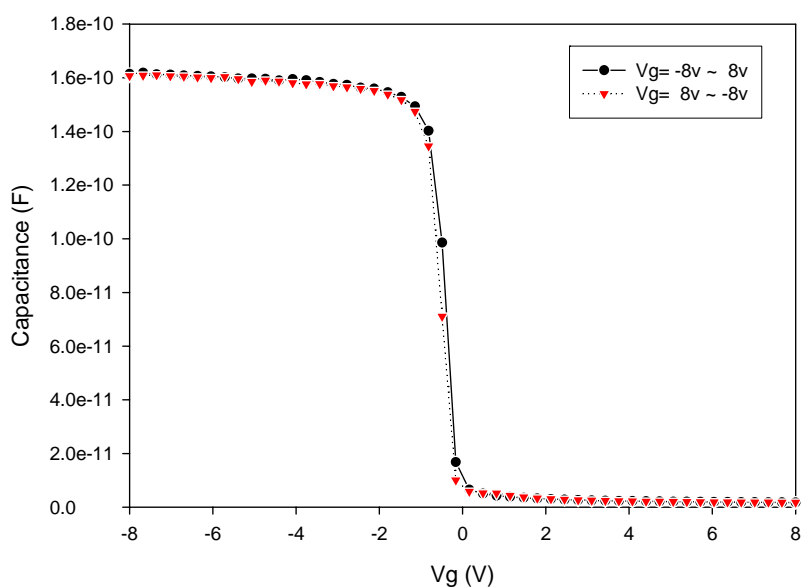


圖 3-1-6 為HfO₂經過N₂電漿處理後，立即做RTA通氮氣在400°C持溫30秒的C-V遲滯曲線圖。

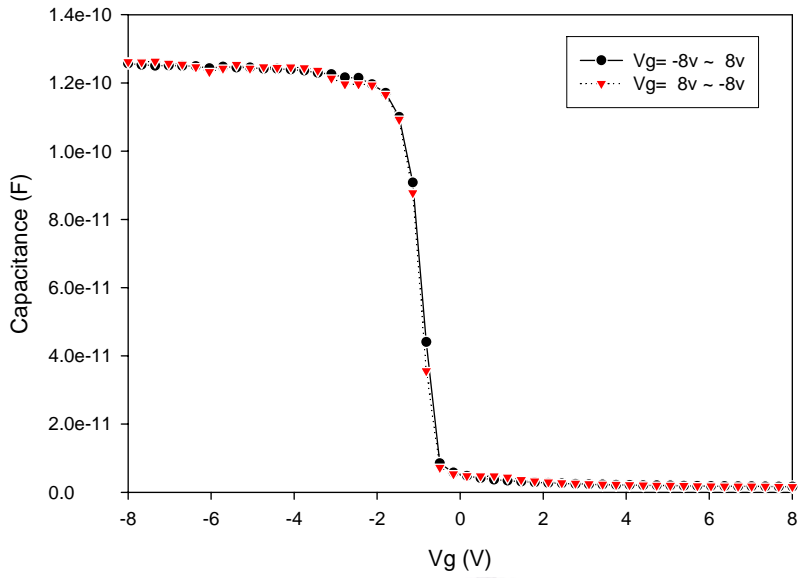


圖 3-1-7 為HfO₂經過H₂電漿處理後，立即做RTA通氮氣在400°C持溫30秒的C-V遲滯曲線圖。

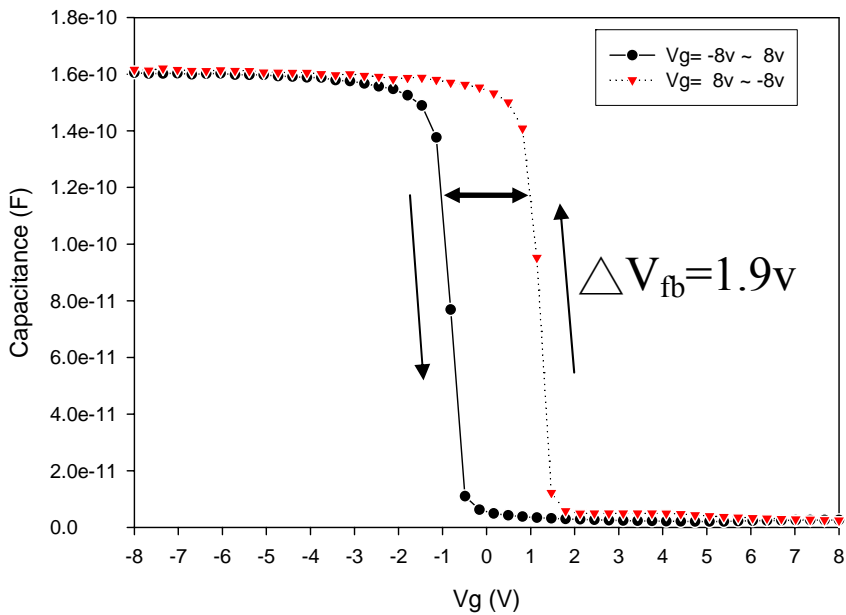


圖 3-1-8為HfO₂經過NH₃電漿處理後，立即做RTA通氮氣在400°C持溫30秒的為C-V遲滯曲線圖。

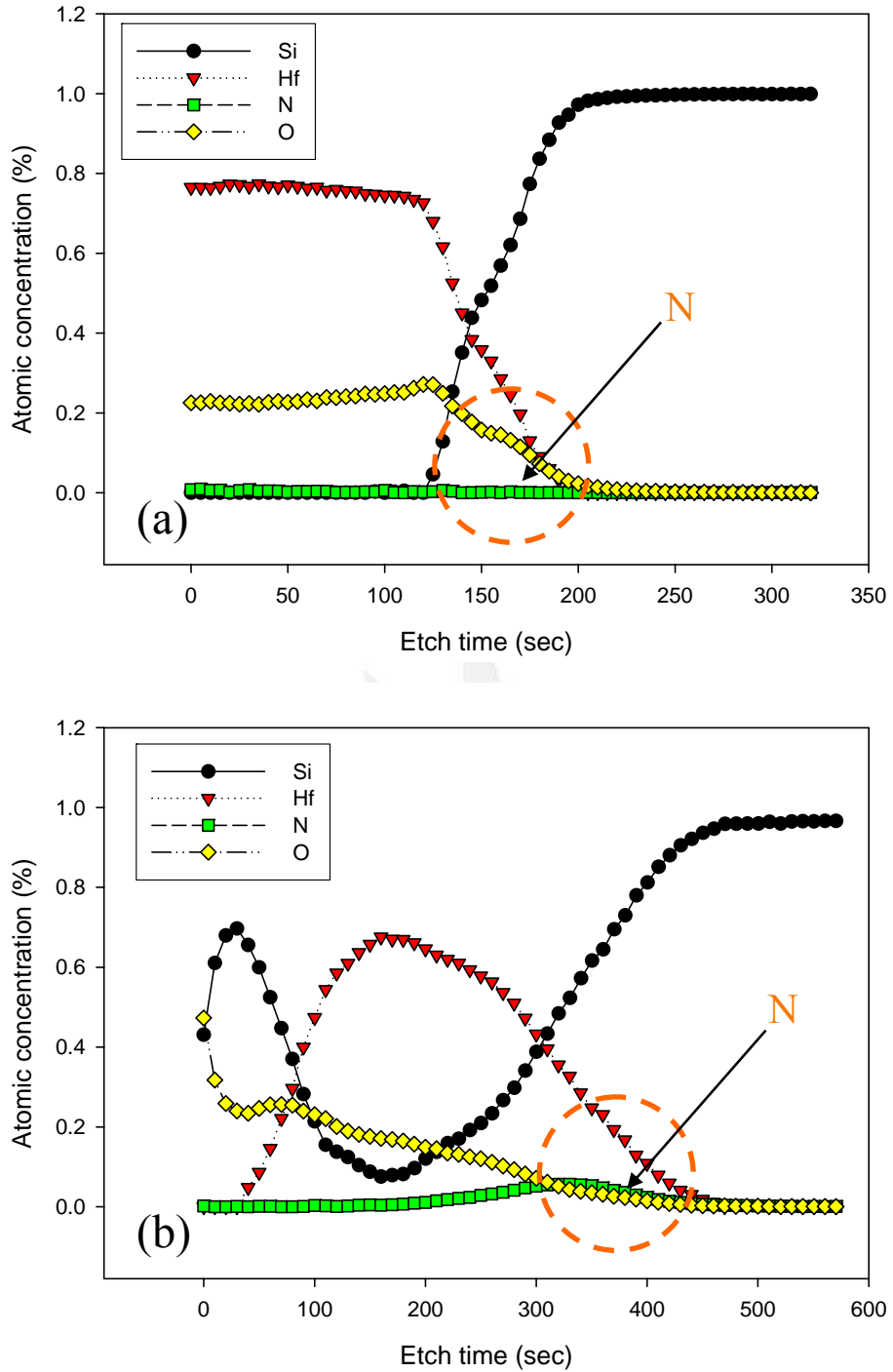


圖 3-1-9 分別於(a)HfO₂/SiO₂/p-sub和(b)SiO₂/HfO₂/SiO₂/p-sub結構做歐傑電子能譜縱深濃度分析圖。(a)HfO₂表面上做N₂電漿處理後立即做RTA和(b)HfO₂表面上做N₂電漿處理先沉積阻擋氧化層隨後再RTA熱處理。

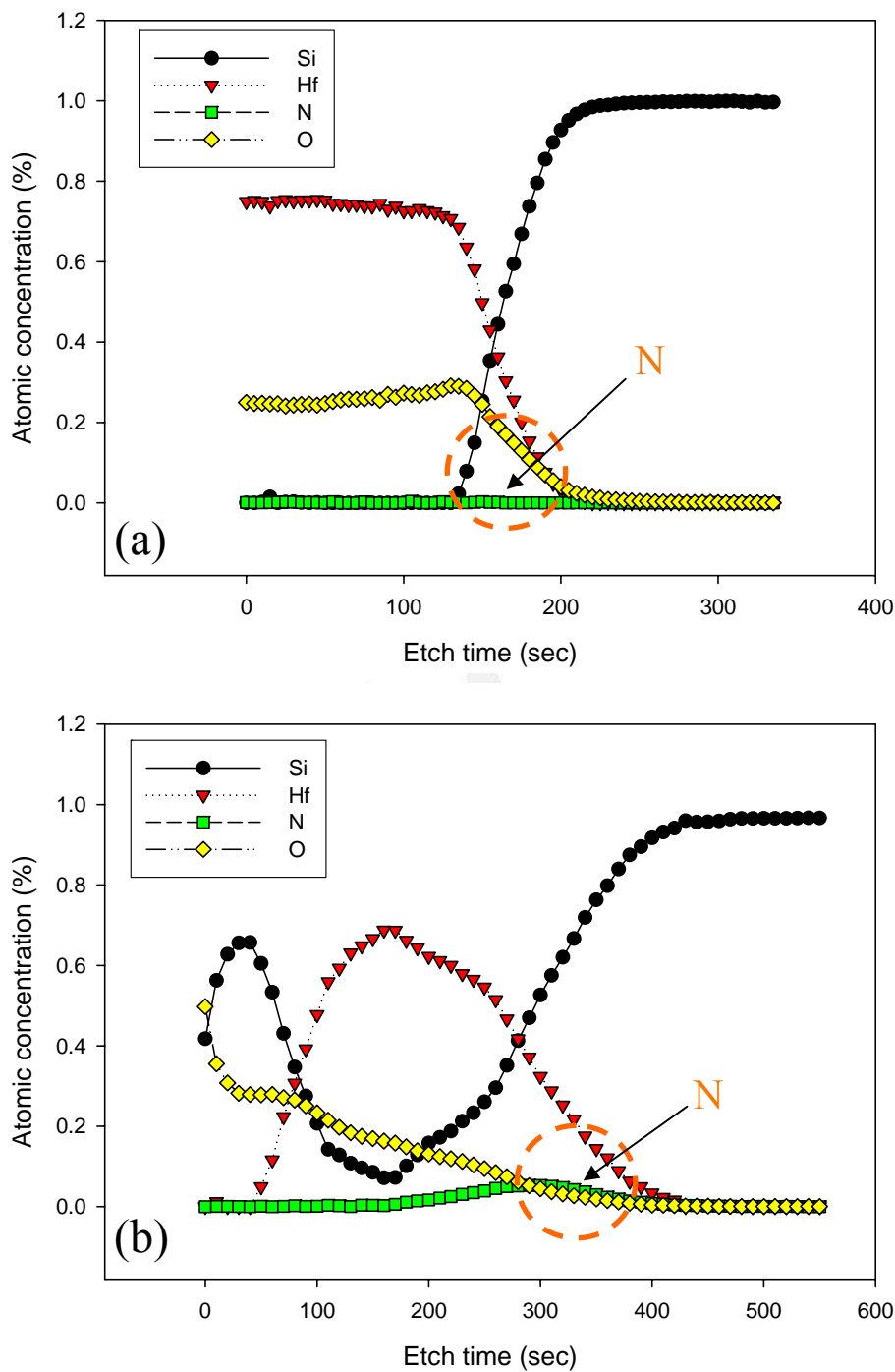


圖 3-1-10 分別於(a) $\text{HfO}_2/\text{SiO}_2/\text{p-sub}$ 和(b) $\text{SiO}_2/\text{HfO}_2/\text{SiO}_2/\text{p-sub}$ 結構做歐傑電子能譜縱深濃度分析圖。(a) HfO_2 表面上做 NH_3 電漿處理後立即做RTA和(b) HfO_2 表面上做 NH_3 電漿處理先沉積阻擋氧化層隨後再RTA熱處理。

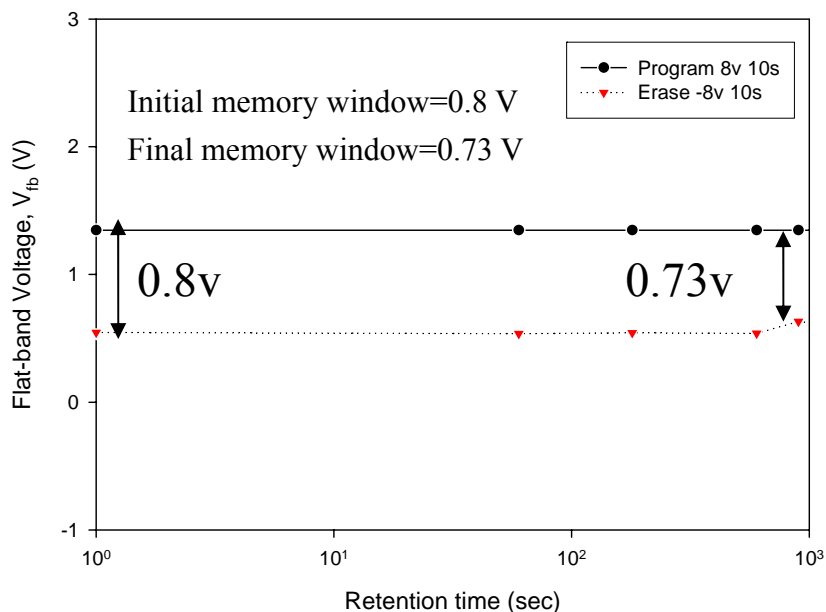


圖 3-1-11 為剛沉積電容結構未電漿處理僅RTA之 HfO_2 ，經過 10^3 秒過後的電荷保持力特性圖。

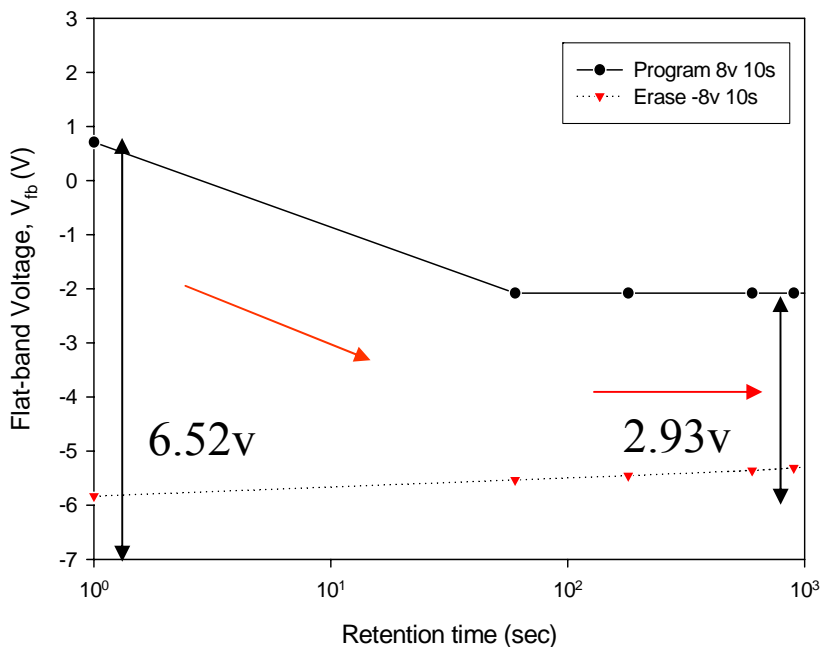


圖 3-1-12 為 H_2 電漿處理隨後再RTA於阻障氧化層，經過 10^3 秒後的電荷保持力特性圖。

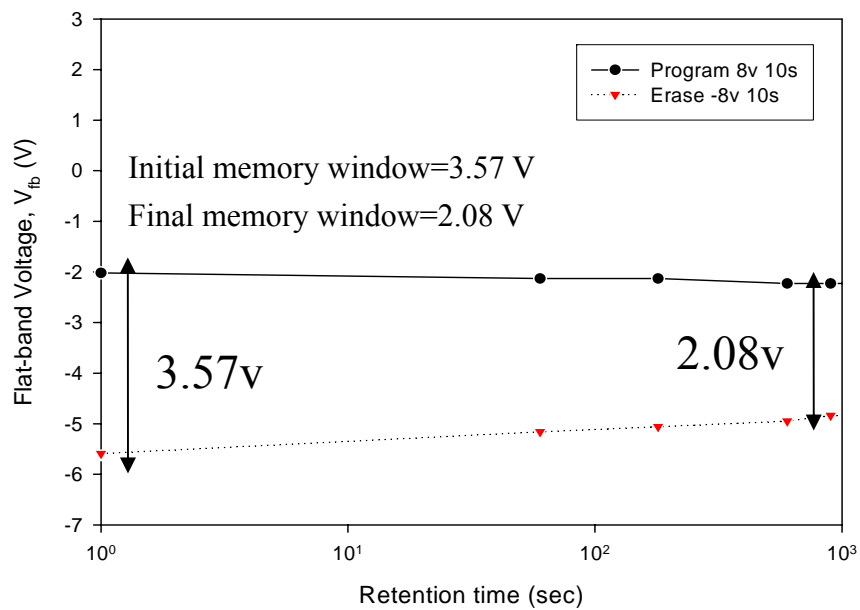


圖 3-1-13 為 NH_3 電漿處理隨後再RTA於阻障氧化層，經過 10^3 秒後的電荷保持力特性圖。

第四章 結論

4.1 電漿製程對 MOHOS 電容儲存層之研究

經過 H_2 與 NH_3 電漿處理之後，有大量的 fixed positive charge 可以被創造讓 C-V 遲滯曲線落在負平帶電壓的範圍。在電荷保持力的量測部分， H_2 電漿處理會同時創造淺的陷阱與深的陷阱，而淺的捕捉電子陷阱初始會讓已經儲存的電子容易的流失掉，然後才逐漸穩定下來。 NH_3 電漿處理，電荷保持比較穩定。由於多數淺的陷阱已經被 N 原子修補掉，只儀留下大量較深的陷阱，故只呈現緩慢的電子流失速度。實驗結果指出在 H_2 與 NH_3 電漿處理，經過 10^3 秒後仍有(2 伏 ~ 3 伏)的記憶視窗被獲得。

參考文獻

- [1] D. Y. Cho, J. M. Lee, S. J. Oh, H. Jang, J. Y. Kim, J. H. Park and A. Tanaka, “Influence of oxygen vacancies on the electronic structure of HfO₂ films”, PHYSICAL REVIEW B vol.76, 165411 Oct. (2007).
- [2] T. K. Kang, C. W. Chen, C. L. Lin, and W. F. Wu, “Study of Annealing and Plasma Process on Analog Characteristics for High-k Material Capacitors”, J. Appl. Phys., (47) 5374 (2008).
- [3] K. Xiong, J. Robertson and S. J. Clark, “Passivation of oxygen vacancy states in HfO₂ by nitrogen”, JOURNAL OF APPLIED PHYSICS 99, 044105 (2006).
- [4] Jeon-Ho Kim, Kyu-Jeong Choi and Soon-Gil Yoon, “Electrical and reliability characteristics of HfO₂ gate dielectric treated in N₂ and NH₃ plasma atmosphere”, Applied Surface Science, pp. 313-317 242 (2005).
- [5] P. W. Peacock and J. Robertson, APPLIED PHYSICS LETTERS, 83, NUMBER 10, (2003).
- [6] N. J. Seong and S. G. Yoon, APPLIED PHYSICS LETTERS 87, 132903 (2005).
- [7] J. L. Gavartina and A. L. Shluger, JOURNAL OF APPLIED PHYSICS 97, 053704 (2005).
- [8] Timothy R. Oldham, Mohammed Suhail, Peter Kuhn, Erwin Prinz, Hak S. Kim, and Kenneth A. LaBel, “Effects of Heavy Ion Exposure on Nanocrystal Nonvolatile Memory”, IEEE TRANSACTIONS ON

- NUCLEAR SCIENCE, VOL. 52, NO. 6, pp.2366-2371, DECEMBER (2005).
- [9] Mori, E. Sakagami, H. Araki, Y. Kaneko, K. Narita, Y. Ohshima, N. Arai and K. Yoshikawa, "ONO Inter-poly Dielectric Scaling for Nonvolatile Memory Applications", IEEE Transactions on Electron Device, Vol.38 NO.2, FEB (1991).
- [10] Jiankang Bu and Marvin H. White, "Electrical characterization of ONO triple dielectric in SONOS nonvolatile memory devices ", Solid-State Electronics 45, pp. 47-51 (2001).
- [11] PAOLO PAVAN, ROBERTO BEZ, PIERO OLIVO AND ENRICO ZANONI, "Flash Memory Cells-An Overview", PROCEEDING OF THE IEEE, VOL. 85, NO. 8, pp. 1248-1271 AUGUST (1997).
- [12] T. Sugizaki, M. Kohayashi, M. Ishidao, H. Minakata, M. Yamaguchi, Y. Tamura, Y. Sugiyama, T. Nakanishi, and H. Tanaka, "Novel Multi-bit SONOS Type Flash Memory Using a High-k Charge Trapping Layer", Symposium on VLSI Technology Digest of Technical Papers, pp. 27-28 (2003).
- [13] J. H. Stathis and D. J. DiMaria, "Reliability Projection for Ultra-Thin Oxides at Low Voltage", IEEE International Electron Devices Meeting (IEDM '98), San Francisco, pp. 167 (1998).
- [14] D. A. Buchanan, "Scaling the gate Dielectric : Materials, Integration, and Reliability", IBM J. Res. Develop., vol.43, No.3, p. 245 (1999).
- [15] N. Yang, W. K. Henson, and J. J. Wortman, "Analysis of Tunneling Currents and Reliability of MOSFET's with Sub-2 nm Gate Oxides", IEEE International Electron Devices Meeting (IEDM '99),

- Washington D.C., p. 453 (1999).
- [16] B. H. Lee, L. kang, W. J. Qi, R. Nieh, Y. Jeon, K. Onishi, and J. C. Lee, “Ultrathin Hafnium Oxide with Low Leakage and Excellent Reliability for Alternative Gate Dielectric Application”, IEEE International Electron Devices Meeting (IEDM '99), Washington D.C., p. 133 (1999).
- [17] W. Qi, R. Nieh, B. Lee, L. Kang, Y. Jeon, K. Onishi, T. Ngai, S. Barieilee and J. Lee, “MOSCAP and MOSFET Characteristics Using ZrO₂ Gate Dielectric Deposited Directly on Si”, IEEE International Electron Devices Meeting (IEDM '99), Washington D.C., pp.145 (1999).
- [18] Y. Ma, Y. Ono, L. Stecker, D. R. Evans, and S. T. Hsu, “Zirconium Oxide Based Gate Dielectrics with Equivalent Oxide Thickness of Less Than 1.0 nm and Performance of Submicron MOSFET Using a Nitride Gate Replacement Process”, IEEE International Electron Devices Meeting (IEDM '99), Washington D.C., p. 149 (1999).
- [19] S. J. Lee, H. F. Luan, W. P. Bai, C. H. Lee, T. S. Jeon, Y. Senzaki, D. Roberts, and D. L. Kwong, “High Quality Ultra Thin CVD HfO₂ Gate Stack with Poly-Si Gate Electrode”, IEEE International Electron Devices Meeting (IEDM '00), San Francisco, p. 31(2000).
- [20] B. H. Lee, R. Choi, L. Kang, S. Gopalan, R. Nieh, K. Onishi, Y. Jeon, W. J. Qi, C. Kang and J. C. Lee, “Characteristics of TaN gate MOSFET with ultrathin hafnium oxide (8Å-12Å)”, IEEE International Electron Devices Meeting (IEDM '00), San Francisco, p. 39 (2000).
- [21] G. D. Wilk, R. M. Wallace and J. M. Anthony, “High-k gate

- dielectrics: Current status and materials properties considerations”, JOURNAL OF APPLIED PHYSICS, VOLUME 89, NUMBER 10, pp. 5243-5275 (15) MAY (2001).
- [22] Stephen Hall, Octavian Buiu, Ivona Z, Mitrovic, Yi Lu and Willian M.Davey, “Review and perspective of high-k dielectrics on silicon”, JOURNAL OF TELECOMMUNICATIONS AND INFORMATION TECHNOLOGY, pp. 33-43, (2007).
- [23] K. Kukli, J. Niinisto , A. Tamm , J. Lu , M. Ritala , M. Leskela , M. Putkonen , L. Niinisto , F. Song , P. Williams and P. N. Heys, “Atomic layer deposition of ZrO₂ and HfO₂ on deep trenched and planar silicon”, Microelectronic Engineering 84 , pp. 2010-2013, (2007).
- [24] 汪建民, ”材料分析”, 中國材料科學學會.
- [25] Yan-Ny Tan, Wai-Kin Chim, Byung Jin Cho, and Wee-Kiong Choi, “Over-Erase Phenomenon in SONOS-Type Flash Memory and its Minimization Using a Hafnium Oxide Charge Storage Layer”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 51, NO. 7, pp. 1143-1147 JULY (2004).
- [26] H. Bachhofer, H.Reisinger, E.bertagnolli and H. von philipsborn, “Transient conduction in multielectric silicon-oxide-nitride-oxide semiconductor structures”, JOURNAL OF APPLIED PHYSICS , VOLUME 89, NUMBER 5, 1 MARCH (2001).
- [27] Marvin H. White, Dennis A. Adams, James R. Murray, Stephen Wrazien, Yijie (Sandy) Zhao¹, Yu (Richard) Wang, Bilal Khan, Wayne Miller and Rajiv Mehrotra, “Characterization of Scaled

- SONOS EEPROM Memory Devices for Space and Military Systems”, IEEE, pp. 51-58, (2004).
- [28] Chih-Yuan Lu, Tao-Cheng Lu, and Rich Liu, “NON-VOLATILE MEMORY TECHNOLOGY - TODAY AND TOMORROW”, IEEE, Proceedings of 13th IPFA, Singapore , pp. 18-23 (2006).
- [29] L. Pantisano, E. Cartier, A. Kerber, R. Degraeve, M. Lorenzini, M. Rosmeulen, G. Groesenken, H.E. Maes, Tech. Dig. VLSI (2003).
- [30] K. Torii, K. Shirashi, S. Miyazaki, K. Yamabe, M. Boero, T. Chikyow, K. Yamada, H. Kitajima and T. Arikado, Tech. Dig. IEDM , 129 (2004).
- [31] S. Zafar, A. Kumar, E. Gusev and E. Cartier, IEEE Trans. Dev. Mater. Reliab. 5 , 45 (2005).
- [32] K. Xiong, J. Robertson, M.C. Gibson and S.J. Clark, Appl. Phys. Lett. 87, 183505 (2005).
- [33] C. Lee, J. Choi, M. CHO, J. Park, C. S. Hwang and H. J. Kim, JOURNAL OF VACUUM SCIENCE & TECHNOLOGY B 22, 1838 (2004).
- [34] P. W. Peacock and J. Robertson, APPLIED PHYSICS LETTERS 83, p. 2025 (2003).
- [35] D.M. Fleetwood, “Effects of hydrogen transport and reactions on microelectronics radiation response and reliability”, Microelectronics Reliability 42, pp.523–541 (2002).
- [36] Vikkram J. Kapoor, Robert S. Bailey and Herman J. Stein, “Hydrogen-related memory traps in thin silicon nitride films”, J. Vac. Sci Technol. A, Vol. 1, No. 2, pp.600-603, Apr.-June (1983).
- [37] H. k. Sii, J. F. Zhang, R. Degraeve and Groeseneken, “Relation

- between hydrogen and generation of interface state precursors”, *Microelectronic Engineering* 48, pp. 135-138 (1999).
- [38] Chang-Hee Cho, Baek-Hyun Kim, Tae-Wook Kim, Seong-Ju Park Nae-Man Park and Gun-Yong Sung, “Effect of hydrogen passivation on charge storage in silicon quantum dots embedded in silicon nitride film”, *APPLIED PHYSICS LETTERS* 86, 143107 (2005).
- [39] Jer Chyi Wang , De Ching Shie, Tan Fu Lei and Chung Len Lee, “Characterization of Temperature Dependence for HfO₂ Gate Dielectrics Treated in NH₃ Plasma”, *ELECTROCHEMICAL AND SOLID STATE LETTERS*, pp. F34-F36 6 (10) (2003).
- [40] S. Dueñas, H. Castán, H. García, A. Gómez, L. Bailón, K. Kukli, J. Aarik, b M. Ritala, and M. Leskelä, ”Comparative Study of Flatband Voltage Transients on High-k Dielectric-Based Metal –Insulator–Semiconductor Capacitors”, *Journal of The Electrochemical Society*, pp. G241-G246 155 (11) (2008).